64chPMTを用いたガンマ線イメージャの開発 およびプリアンプLSIの設計・開発

青井 敏浩

M042652

広島大学大学院理学研究科物理科学専攻 高エネルギー宇宙・素粒子実験研究室

2006年2月10日

天体現象の解明において、X線・ガンマ線領域での天文観測は非常に重要な手段の一つ である。1960年代以降、観測衛星が数多く打ち上げられ、X線・ガンマ線をともなう天 体現象が宇宙のいたるところで起こっていることが明らかになった。しかし、数 100 keV から 数 MeV のエネルギー領域ではコンプトン散乱が支配的であるため、光子の到来方 向を特定することは難しい。この領域を精度よく観測する検出器としてコンプトンカメラ が考えられる。我々は、近年メタルパッケージ化により小型化が進んできた多チャンネル 光電子増倍管(64chPMT)とGSOシンチレータを用いたガンマ線検出器の開発、および その検出器とフォトダイオード (PD) を組み合わせたガンマ線コンプトンカメラの開発を 行なっている。本論文において、64chPMT(+GSO)とアレイ型 PD を組み合わせたコン プトンカメラを試作したが、位置決定精度の指標である角分解能が実用レベルに達してお らず、コンプトンカメラとして用いることは困難であるという結果を得た。この角分解能 低下の主要因は、64chPMT(+GSO)が期待されるエネルギー分解能を実現できていない ことであり、その原因を調査するため、シンチレータサイズに対する依存性、ピークホー ルド回路の有無、温度依存性、ガンマ線の入射位置による分解能・ゲインのゆらぎについ て検証した.その結果、入射位置によってゲインのバラツキがあることがわかり、これが エネルギー分解能低下の要因であることがわかった.

コンプトンカメラ等のX線・ガンマ線検出器は、小型化・多チャンネル化が進んでおり、 検出器からの信号を高速かつ低雑音で処理する小型の読み出しシステムとしてアナログ VLSIのニーズが高まっている。我々はISAS・KEKの協力を得て、64chPMTからの信号 を読み出すことを目標としたアナログVLSIの開発を行なっている。昨年度開発したチッ プ(K02-32SA)の評価を行なった結果、要求どおりの性能を実現できていたが、このチッ プには設計が難しいプリアンプ回路は組み込まれていない。そこで本論文では、K02-32SA と組み合わせるプリアンプ回路の仕様を決定することを目的として、プリアンプLSIの 設計・開発を行なった。回路設計を行なうにあたり、ISASの池田先生の指導をうけるこ とができ、低ノイズ (等価雑音電荷 1000 electron (RMS) 以下) 広ダイナミックレンジ (50倍程度)を有するプリアンプ回路を設計することができた。今回、今までは外注し ていたレイアウト設計も、LSIに対する知識を深めることを目的として、広大工学部岩田 研の協力を得ながら我々で行なった。できあがったチップの評価を行なった結果、ノイズ レベル、出力波形、リニアリティはほぼシミュレーションどおりの結果を得ることができ た。また、実際に 64chPMT(+GSO) に接続しダイノード信号を読み出しところ、100 keV |程度のガンマ線を識別するのに十分なエネルギー分解能を有しており、現在使用している| ディスクリートな素子で構成した 64chPMT 用読み出し回路と同等の性能があることがわ かった。今後さらなる改良を重ね、K02-32SAの回路と組み合わせることで、1チップで 64chPMTの信号処理の全行程を行なうことのできるVLSIを開発することが可能となる。

目 次

| 第1章 | 序論 | 9 |
|-----|---|----|
| 1.1 | X 線・ガンマ線天文学 | 9 |
| 1.2 | 研究の背景 | 9 |
| 1.3 | 研究の概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 10 |
| 第2章 | 放射線検出器 | 11 |
| 2.1 | シンチレーション検出器 | 11 |
| | 2.1.1 シンチレータ | 11 |
| | 2.1.2 光電子増倍管 | 12 |
| | 2.1.3 位置検出型光電子増倍管 | 12 |
| | 2.1.4 64chPMT:H7546 | 12 |
| 2.2 | 半導体検出器 | 13 |
| | 2.2.1 フォトダイオード | 15 |
| | 2.2.2 アレイ型 PD:SPL PD typeB | 15 |
| 2.3 | コンプトンカメラ | 15 |
| 第3章 | 64chPMT を用いたガンマ線イメージャの開発 | 17 |
| 3.1 | はじめに.................................... | 17 |
| 3.2 | 64chPMT とアレイ型 PD を用いたコンプトンイメージング | 17 |
| | 3.2.1 目的 | 17 |
| | 3.2.2 セットアップ | 19 |
| | 3.2.3 イメージング能力の評価方法 | 21 |
| | 3.2.4 角分解能の見積もり | 21 |
| | 3.2.5 イメージング測定の結果 | 22 |
| | 3.2.6 考察 | 23 |
| 3.3 | 64chPMT のエネルギー分解能の検証 | 25 |
| | 3.3.1 目的 | 25 |
| | 3.3.2 セットアップ | 25 |
| | 3.3.3 シンチレータの大きさに対する依存性 | 25 |
| | 3.3.4 温度による依存性 | 26 |
| | 3.3.5 ピークホールド回路を用いた測定 | 26 |
| | 3.3.6 LED スポット照射 | 28 |
| | 3.3.7 考察 | 30 |
| 3.4 | まとめ | 30 |
| 第4章 | 放射線計測用 VLSI(K02-32SA) の開発 | 31 |
| 4.1 | · VLSI 開発の目的 · · · · · · · · · · · · · · · · · · · | 31 |
| 4.2 | 基本事項 | 31 |

| | 4.2.1 ASIC | . 31 |
|-----|--|------|
| | 4.2.2 CMOS プロセス | . 31 |
| | 4.2.3 LSI 設計の流れ | . 32 |
| 4.3 | 1 次元アナログ VLSI(K01) | . 35 |
| | 4.3.1 開発目的 | . 35 |
| | 4.3.2 K01 の概要 | . 35 |
| | 4.3.3 評価結果 | . 36 |
| 4.4 | 1 次元アナログ VLSI(K02) | . 37 |
| | 4.4.1 開発目的 | . 37 |
| | 4.4.2 K02-32SA の概要 | . 38 |
| | 4.4.3 アナログ処理回路の性能評価 | . 40 |
| | 4.4.4 リニアリティ | . 44 |
| | 4.4.5 まとめ | . 44 |
| 第5章 | プリアンプ LSI の設計・開発 | 47 |
| 5.1 | 開発目的.................................... | . 47 |
| 5.2 | 設計条件.................................... | . 47 |
| | 5.2.1 要求及び設計仕様 | . 47 |
| | 5.2.2 検出器の性状 (64chPMT(アノード)+GSO) | . 48 |
| 5.3 | 開発スケジュール・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | . 48 |
| 5.4 | システム設計 | . 49 |
| | 5.4.1 試作案 | . 49 |
| | 5.4.2 回路構成 | . 50 |
| | 5.4.3 チップの構成 | . 50 |
| 5.5 | 回路設計.................................... | . 53 |
| | 5.5.1 荷電増幅回路の構成 | . 53 |
| | 5.5.2 増幅要素の構成 (タイプ A1) | . 54 |
| | 5.5.3 増幅要素の構成 (タイプ A2) | . 54 |
| | 5.5.4 高抵抗回路の構成 | . 55 |
| | 5.5.5 バイアス回路の構成 | . 55 |
| 5.6 | 回路シミュレーション | . 57 |
| | 5.6.1 シミュレーション用回路の構成 | . 57 |
| | 5.6.2 パルス波形 | . 58 |
| | 5.6.3 負電荷を入力したときのプリアンプ出力のリニアリティ | . 59 |
| | 5.6.4 正電荷を入力したときのプリアンプ出力のリニアリティ | . 60 |
| | 5.6.5 ノイズ評価 | . 61 |
| | 5.6.6 正極電源 (VDD) に対するノイズ感度 | . 61 |
| | 5.6.7 負極電源 (VSS) に対するノイズ感度 | . 62 |
| | 5.6.8 スキュー解析 | . 63 |
| | 5.6.9 消費電力 | . 64 |
| 5.7 | レイアウト設計 | . 65 |
| | 5.7.1 レイヤの定義 | . 65 |
| | 5.7.2 デザインルール | . 65 |
| | 5.7.3 レイアウト | . 66 |
| | 5.7.4 レイアウトの検証 (DRC,LVS) | . 66 |
| | | |

| | 5.7.5 注意事項 | 68 |
|-----|-----------------------------|----|
| 第6章 | プリアンプ LSI の評価 | 70 |
| 6.1 | セットアップ | 70 |
| 6.2 | 評価および結果 | 71 |
| | 6.2.1 消費電力 | 71 |
| | 6.2.2 出力波形 | 71 |
| | 6.2.3 負電荷を入力したときのリニアリティ | 72 |
| | 6.2.4 正電荷を入力したときのリニアリティ | 74 |
| | 6.2.5 ノイズ評価 | 74 |
| | 6.2.6 64chPMT の信号入力 (アノード) | 76 |
| | 6.2.7 64chPMT の信号入力 (ダイノード) | 76 |
| 6.3 | まとめ | 79 |
| 第7章 | まとめ | 80 |
| 付録A | 、プリアンプ LSI のピン対応図および回路図 | 81 |
| A.1 | ピン配置一覧表 | 81 |
| A.2 | SPICE ネットリストと回路ブロック図 | 87 |

表目次

| 2.1 | シンチレータと特性・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 11 |
|-----|---|----|
| 2.2 | 64chPMT の仕様 | 14 |
| 2.3 | 64chPMT の特性(25 の時) | 14 |
| 3.1 | 角分解能の見積もりにおける各パラメータの値・・・・・・・・・・・・・ | 22 |
| 3.2 | 光電面の各領域毎の角分解能 | 23 |
| 4.1 | K01チップパラメータ | 35 |
| 4.2 | K02 シリーズ一覧表 | 38 |
| 4.3 | K02-32SA チップパラメータ | 39 |
| 5.1 | | 49 |
| 5.2 | MOS 精度の各パラメータへの影響 | 64 |
| 5.3 | シミュレーションにおける消費電力 | 64 |
| 5.4 | 主なレイヤ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 66 |
| 5.5 | デザインルールの例 | 67 |
| 6.1 | ピンの役割・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 71 |
| 6.2 | 実回路における消費電力 | 71 |

図目次

| 1.1 | 観測衛星の感度の比較 (横軸はX線・ガンマ線のエネルギー、縦軸は感度) | 10 |
|------|---|----|
| 2.1 | 典型的な PMT の構造 | 12 |
| 2.2 | メッシュ型 PMT の構造 | 13 |
| 2.3 | メタルチャンネル型 PMT の構造 | 13 |
| 2.4 | 64chPMT(H7546) の基本構造 | 13 |
| 2.5 | 典型的な半導体検出器の構造 | 14 |
| 2.6 | pn 接合面の状態 | 14 |
| 2.7 | PIN-PD の構造 | 15 |
| 2.8 | A-PD の構造 | 15 |
| 2.9 | アレイ型 PD (SPL PD typeB)の図面 | 16 |
| 2.10 | コンプトンカメラの原理 | 16 |
| 2.11 | 多重コンプトンカメラの原理 | 16 |
| 3.1 | データ集録の全体の流れ | 17 |
| 3.2 | フロントパネル | 18 |
| 3.3 | ブロックダイアグラム | 18 |
| 3.4 | ガンマ線イメージャのセットアップ...................... | 19 |
| 3.5 | データ集録のタイミングチャート | 20 |
| 3.6 | コリメータ通過後のガンマ線の経路.................... | 22 |
| 3.7 | 662 keV のガンマ線を PDarray に入射させたときの、PD 各チャンネルに | |
| | おけるエネルギースペクトル | 24 |
| 3.8 | アレイ型 PD で散乱されたガンマ線の 64chPMT のダイノードにおけるエ | |
| | ネルギースペクトル | 24 |
| 3.9 | イメージング測定によって得られた θ の分布 $\dots \dots \dots \dots \dots \dots \dots$ | 24 |
| 3.10 | Area1 の領域における θ の分布 | 24 |
| 3.11 | Area2の領域における θ の分布 | 24 |
| 3.12 | Area3の領域における θ の分布 | 24 |
| 3.13 | エネルギー分解能検証のためのセットアップ | 25 |
| 3.14 | GSO(24 mm × 24 mm × 5 mm)を用いて測定したエネルギースペクトル | 26 |
| 3.15 | GSO(18 mm × 18 mm × 5 mm)を用いて測定したエネルギースペクトル | 27 |
| 3.16 | GSO(10 mm × 10 mm × 10 mm)を用いて測定したエネルギースペクトル | 27 |
| 3.17 | -20 における GSO(10 mm × 10 mm × 10 mm)のエネルギースペクトル | 27 |
| 3.18 | | 28 |
| 3.19 | PH 回路を使用した時の GSO(10 mm × 10 mm × 10 mm)のエネルギー | |
| | | 28 |
| 3.20 | 64chPMT の光電面の分割位置の対応 | 29 |
| 3.21 | LED 照射実験のセットアップ | 29 |

| 3.22 | 分割数と ADC チャンネル (パルスハイト)の関係 | 29 |
|------|--|----|
| 3.23 | 分割数と分解能の関係・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 29 |
| 4 1 | | 22 |
| 4.1 | | 32 |
| 4.2 | | 33 |
| 4.3 | K01 チッノの1 チャンネル当りの回路構成 | 35 |
| 4.4 | | 37 |
| 4.5 | K02-32SA チッフの回路フロック図 | 40 |
| 4.6 | | 41 |
| 4.7 | | 41 |
| 4.8 | 負極性入力時の極性切替え回路後の波形 | 41 |
| 4.9 | 波形整形回路の出力波形 | 42 |
| 4.10 | 高抵抗回路の電流にて時定数を調整した時の波形整形回路後の出力波形 | 42 |
| 4.11 | 可変利得増幅回路の出力波形・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 42 |
| 4.12 | ゲインを2倍にした時の可変利得増幅回路後の出力波形 | 42 |
| 4.13 | K02-32SA チップからの出力 | 43 |
| 4.14 | LabVIEW を用いて得られたスペクトル (TP= $50mV, 80mV, 100mV$) | 43 |
| 4.15 | 可変利得増幅部までのリニアリティ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 44 |
| 4.16 | CH2 のリニアリティ(入力極性:正) | 45 |
| 4.17 | CH9のリニアリティ(入力極性:正) | 45 |
| 4.18 | CH2 のリニアリティ(入力極性:負) | 45 |
| 4.19 | CH9 のリニアリティ(入力極性:負) | 45 |
| 4.20 | $CH23 $ のリニアリティ(入力極性: $\overline{\mathbf{L}}$) | 46 |
| 4.21 | $CH25 $ のリニアリティ(入力極性:正) \ldots \ldots \ldots \ldots \ldots | 46 |
| 4.22 | 入力電圧 50 mV に対する各 CH の出力電圧のばらつき | 46 |
| F 1 | | 10 |
| 5.1 | | 48 |
| 5.2 | | 49 |
| 5.3 | | 49 |
| 5.4 | | 50 |
| 5.5 | ブーステッドカスコード型増幅回路の例 | 50 |
| 5.6 | | 51 |
| 5.7 | 荷電増幅回路のブロック図 (左) と回路図 (右) | 53 |
| 5.8 | フォールデッドカスコード型増幅要素 (タイプ A1)の回路図 (左) とブロッ | |
| | ク図(右) | 54 |
| 5.9 | ブーステッドカスコード型増幅要素 (タイプ A2) の回路図 (左) とブロック | |
| | 図 $(右)$ | 55 |
| 5.10 | 高抵抗回路の回路図 (左) とブロック図 (右上) | 56 |
| 5.11 | バイアス回路の回路図 (左) とブロック図 (右上) | 56 |
| 5.12 | シミュレーション用回路 | 57 |
| 5.13 | 入力電荷が -1.6 pC のときの出力波形 (タイプ A1) | 58 |
| 5.14 | 入力電荷が -1.6 pC のときの出力波形 (タイプ A2) | 58 |
| 5.15 | 入力電荷が 1.6 pC のときの出力波形 (タイプ A1) | 59 |
| 5.16 | 入力電荷が 1.6 pC のときの出力波形 (タイプ A2) | 59 |
| 5.17 | 負電荷が入力されたときのプリアンプ出力のリニアリティ(タイプ A1) | 60 |
| 5.18 | 負電荷が入力されたときのプリアンプ出力のリニアリティ(タイプ A2) | 60 |
| J.TO | | 00 |

| 5.19 | 正電荷が入力されたときのプリアンプ出力のリニアリティ(タイプ A1) | 60 |
|------|--|----|
| 5.20 | 正電荷が入力されたときのプリアンプ出力のリニアリティ(タイプA2) | 60 |
| 5.21 | タイプ A1 のノイズ評価 | 61 |
| 5.22 | タイプ A2 のノイズ評価 | 61 |
| 5.23 | タイプ A1 の容量勾配 | 62 |
| 5.24 | タイプ A2の容量勾配 | 62 |
| 5.25 | タイプ A1の正極電源 (VDD) に対するノイズ感度 | 62 |
| 5.26 | タイプ A2 の正極電源 (VDD) に対するノイズ感度 | 62 |
| 5.27 | タイプ A1 の負極電源 (VSS) に対するノイズ感度 | 63 |
| 5.28 | タイプ A2の負極電源 (VSS) に対するノイズ感度 | 63 |
| 5.29 | MOS 精度の出力波形への影響 (タイプ A1) | 64 |
| 5.30 | MOS 精度の出力波形への影響 (タイプ A2) | 64 |
| 5.31 | レイアウト例とその断面 | 65 |
| 5.32 | デザインルールの例 | 67 |
| 5.33 | レイアウトエディタ画面 | 68 |
| 5.34 | 完成したレイアウト・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ | 69 |
| | | - |
| 6.1 | | 70 |
| 6.2 | テストバルス(-1.6 V)を入力したときのチッフ(No.1)の出力波形(上:タ | |
| | イフA1、下:タイフA2) | 72 |
| 6.3 | テストパルス(1.6 V)を入力したときのチッフ(No.1)の出力波形(上:タ | |
| | | 72 |
| 6.4 | テストバルス(-1.6 V)を入力したときのチッフ(No.2)の出力波形(上:タ | |
| | | 73 |
| 6.5 | テストバルス(1.6 V)を入力したときのチッフ(No.2)の出力波形(上:タ | |
| | イフA1、下:タイフA2) | 73 |
| 6.6 | テストバルス (-1.6 V) を入力したときのチッフ (No.3) の出力波形 (上:タ | |
| | | 73 |
| 6.7 | テストバルス(1.6 V)を入力したときのチッフ(No.3)の出力波形(上:タ | |
| | | 73 |
| 6.8 | タイフA1の負電荷が入力されたときのリニアリティ | 74 |
| 6.9 | タイフA2の負電荷が入力されたときのリニアリティ | 74 |
| 6.10 | | 75 |
| 6.11 | タイフA2の止電荷が入力されたときのリニアリティ | 75 |
| 6.12 | タイフ A1 のフリアンフの容量勾配 | 75 |
| 6.13 | | 75 |
| 6.14 | タイフA1の人刀とノイスレベルの関係 | 76 |
| 6.15 | | 76 |
| 6.16 | 662 keV (¹³ Cs) のカンマ線が入射したときのアノードのスペクトル (タイ プロン | |
| · · | | 77 |
| 6.17 | 662 keV (¹³ Cs) のカンマ線が入射したときのアノードのスペクトル (タイ | |
| | 7 A2) | 77 |
| 6.18 | 662 keV (¹³ Cs) のガンマ線が入射したときのダイノードのスペクトル (タ | |
| | イフA1) | 78 |

| 6.19 | 662 ke | $V^{(13)}$ | ⁸⁷ C | (s) | の | ガ | ン | マ | 線 | カ | ヾ ノ | 、身 | 时日 | 1 | 20 | とき | ₹(| D' | ダ・ | 1 | ノ | _ | ド | ກ. | ス | ペ | ク | \vdash | ル | • (• | タ | | - |
|---------------|-------------------|-----------------|-----------------|------|------|------------|-------|------|-----|------------|------------|-----|----|------------|----|----|----|---------------------------------------|-----|---|---|----|-------|----|--------|---|---|----------|-------|-------|---|---|----|
| <i>c</i> . 20 | | $\frac{2}{109}$ | • • | •••• | ~ - | ഥം < | · · | •••• | رە | _w | | 5-1 | • | + | 1. | + | ক | , , , , , , , , , , , , , , , , , , , | | • | • | | | | • | Б | | | • • | – | • | • | 78 |
| 6.20 | 88 keV | (103 | Cd |) (| りフ | כר | | く殺 | 尿7. | ינ | Υì | 刃 | U | 1C | E | ਣੇ | 0) | ツ | 1 |) | _ | ٢ | 0) | ス | ~ | 1 | Γ | λ | , (, | У· | 1 | | 70 |
| C 01 | \mathcal{J} AI) | · · | | | | ピヽ | · · · | | د م | _w | ۲ | 64 | | + | ما | + | Ф | H | | • | · | 1* | ~ | – | •° | Б | | | • • | – | • | · | 78 |
| 6.21 | 88 keV | (100 | Cd |) 0 | נ נו | <u>ر</u> ر | | く殺 | 永7. | ア ノ | Λ; | 刉 | U | <i>ו</i> כ | C | ਣ | 0) | 9 | 1 |) | _ | Γ | 0) | く | \sim | 2 | Γ | π | • (• | У · | 1 | | 70 |
| | J A2) | • • | • | ••• | • | • | • • | • | • | • | • | • | • | • • | • | • | • | • | • • | • | • | • | | • | • | • | • | • | • | • | • | • | 18 |
| A.1 | ピン配置 | 置対 | 応 | 义 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 84 |
| A.2 | パッケ | ジ | ピ | ン | 接 | 続 | 対ル | 心 | 义 | • | | | | | | | | | | | | | | | | | | | | | | • | 85 |
| A.3 | チップ | パッ | ۴i | 配 | 置 | 义 | | • | | | | | | | | | | | | | | | | • | | | | | | | | • | 86 |
| A.4 | PAD . | | | | | | | • • | | | | | | | | | | | | | | | | | | | | • | • | | | • | 87 |
| A.5 | ANAIC |). | | | | | | • | | | | | | | | | | | | | | | | • | | | | | | | | • | 87 |
| A.6 | IOR . | | | | | | | • | | | | | | | | | | | | | | | | • | | | | | | | | • | 88 |
| A.7 | BIASa | | | | | | | | | | | | | | | | | | | | | | | | | | • | | | | | | 89 |
| A.8 | BIASb | | | | | | | | | | | | | | | | | | | | | | | | | | • | | | | | | 89 |
| A.9 | BIASc | | | | | | | • | | | | | | | | | | | | | | | | | | | | | | | | | 89 |
| A.10 | BIASd | | | | | | | • | | | | | | | | | | | | | | | | | | | | | | | | | 90 |
| A.11 | CHAIN | 10 . | | | | | | | | | | | | | | | | | | | | | | | | | • | | | | | | 91 |
| A.12 | OP1B | | | | | | | | | | | | | | | | | | | | | | | | | | • | | | | | | 91 |
| A.13 | HiR . | | | | | | | • | | | | | | | | | | | | | | | | | | | | | | | | | 92 |
| A.14 | INV1. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 93 |
| A.15 | INV2 . | | | | | | | • | | | | | | | | | | | | | | | | | | | | | | | | | 93 |
| A.16 | PrC-A1 | L. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 94 |
| A.17 | STAGE | 21-A | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 95 |
| A.18 | CHAIN | 1-A | 1 | | | | | • | | | | | | | | | | | | | | | | | | | | | | | | | 95 |
| A.19 | PrC-A2 | 2. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 96 |
| A.20 | STAGE | E-A2 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 97 |
| A.21 | CHAIN | 11-A | 2 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 97 |
| A.22 | CORE | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 98 |
| A.23 | TOP . | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 99 |

第1章 序論

1.1 X線・ガンマ線天文学

X線・ガンマ線は地球大気により吸収されてしまい地表には届かないため、観測は大気 圏外で行わなければならない。X線・ガンマ線天文学が始まった頃は、ロケットや気球 による観測が行われていた。70年代になるとそれらに代わり人工衛星による観測が主と なり、長時間の観測が可能となった。UHURU(1970)、Einstein(1978)によるX線観測や OSO-3(1972)、SAS-2(1973)、COS-B(1975)などによるガンマ線観測により、本格的に宇 宙X線・ガンマ線の研究が行われるようになった。

コンプトン衛星(1991)の登場により、ガンマ線天文学の状況は大きく変わった。コン プトン衛星には総重量2トンに達する超大型ガンマ線検出器が搭載されており、多くの天 体からガンマ線が放射されていることが確認された。この結果、宇宙にはいたるところに 粒子が加速される場所があることが分かってきた。このような加速現場の多くが、超新星 爆発や中性子星、ブラックホ - ルなどが関わった天体に見られることも重要な発見であっ た。このような高エネルギ - 天体では、想像を絶するほどの強重力場、強磁場が存在す る。そこから発生したガンマ線を観測すれば、地上実験では実現不可能な物理状況での物 理現象を研究することができる。

数多くの業績を残したコンプトン衛星も 2000 年にその役目を終え、次に期待されるの は、2006 年打ち上げ予定の GLAST(Gamma-ray Large Area Space Telescope) である。 GLAST は、入射ガンマ線の到来方向とエネルギ - を同時に決定することができる電子陽 電子対生成型ガンマ線検出器を搭載し、数分角の空間分解能でのガンマ線撮像性能と全天 の約 20 % を一度にカバ - する広視野観測を実現することができる。すべての性能がいま までの観測衛星より優れているので、観測される高エネルギ - 天体の数が飛躍的に増える ことが期待される。また、日本でも X 線天文衛星である Astro-E2 が 2005 年に打ち上げら れた。Astro-E2 には X 線望遠鏡 (XRT) や CCD カメラ (XIS) などが搭載されるが、その 中の一つである硬 X 線検出器 (HXD-II) は、高エネルギー天体の観測を目的としている。

1.2 研究の背景

GLAST で 20 MeV ~ 300 GeV、HXD-II で 10 keV ~ 700 keV のエネルギ - 領域をカ バ - して感度の良い観測が期待されるが、コンプトン散乱が支配的である 100 keV ~ 1 MeV のエネルギ - 領域が、感度の悪いエネルギ - ギャップになりつつある (図 1.1)。そこ で、このエネルギー領域の観測を目的として、コンプトン散乱を積極的に利用したガンマ 線コンプトンカメラの開発がさかんに行なわれており、シリコンストリップと位置検出型 センサーを組み合わせたガンマ線多重コンプトンカメラなどの次世代高エネルギー観測 器の研究が行なわれている。

また、コンプトンカメラ等の検出器では小型化、多チャンネル化が進んでいるため、多 チャンネルの信号を高速かつ低雑音で処理する読み出しシステムとしてアナログ VLSIの



図 1.1: 観測衛星の感度の比較(横軸はX線・ガンマ線のエネルギー、縦軸は感度)

ニーズが高まってきている。現在、放射線計測用アナログ VLSI の技術は、ノルウェーの IDEAS 社や LBL のグループなど限られた所にしかない。

1.3 研究の概要

我々は、吸収体に多チャンネル光電子増倍管 (MA-PMT)、散乱体にフォトダイオード (PD)を用いた 100 keV ~ 1 MeV に感度をもつコンプトンカメラを独自に開発を行なっ ている。本論文で使用した MA-PMT は、64ch のアノードをもち入射位置検出が可能な 浜松ホトニクス社製の H7546(64chPMT) であり、散乱体として用いた PD は、信号処理 が容易な3×3のアレイ型構造をもつ浜松ホトニクス社製の SPL PD type B である。PD で散乱されたガンマ線を 64chPMT で検出するセットアップを組み、PD、64chPMT の信 号を National Instruments 社製の DAQ デバイスと LabVIEW ソフトウェアで取得した。 その取得データとコンプトン散乱の運動学から角分解能を計算し、コンプトンカメラとし ての性能を評価したが、十分な角分解能を得ることができなかった。これは、64chPMT が期待されるエネルギー分解能を実現できていないことが主な要因であったため、シンチ レータサイズに対する依存性、温度依存性、ピークホールド回路の導入、LED スポット 照射等の評価を行ない、エネルギー分解能低下の要因を調査した。

我々は多チャンネル検出器の信号を高速かつ低雑音で処理できるアナログ VLSI の開発 も行なっている。木原 (広大 理) らによって開発されたアナログ VLSI(K02-32SA) は、性 能はほぼ要求どおりであるが、設計が難しいプリアンプ部が組み込まれていない。そこで 本論文では、K02-32SA の回路と組み合わせるプリアンプ回路の仕様を決定することを目 的として、プリアンプ LSI の設計・開発を行なった。宇宙研・KEK の協力を得て、Tanner 社の回路設計ツール「Tanner ToolsPro」を利用し回路設計・回路シミュレーションを行な い、低ノイズ・広ダイナミックレンジを確保したプリアンプ回路を設計することができた。 次にレイアウト設計を行なうのであるが、これには独自のノウハウ・技術があり、我々で行 なうことが困難であったため、今まではレイアウト設計会社に外注していた。しかし今回、 広島大学先端研の協力を得ることができたため、LSI に対する知識を深めることを目的と して、このレイアウト設計も我々で行なった。レイアウト設計では、Cadence 社のレイア ウト設計ツール「virtuoso」、Mentor 社のレイアウト検証ソフトウェア「Calibre DRC」、 「Calibre LVS」を使用した。試作したチップの評価回路を製作し、リニアリティー、ノイ ズ評価、エネルギー分解能などの検証を行なった。

第2章 放射線検出器

2.1 シンチレーション検出器

シンチレーション検出器とは、X線やガンマ線などの放射線がシンチレータを通過する ときに発生するシンチレーション光を光電子増倍管で電気信号に変換し、電流パルスと して計測する検出器であり、シンチレータと光電子増倍管は隣接した一体構造となって いる。

2.1.1 シンチレータ

シンチレータは、放射線と相互作用をすることで、その放射線が失ったエネルギーに比 例した数の光子を放出する。この発光現象をシンチレーション、放出された光をシンチ レーション光と呼ぶ。このシンチレーション光を利用したのが、シチレーション検出器で ある。ガンマ線の場合、代表的なシンチレータとの相互作用としては、光電効果、コンプ トン散乱、電子対生成などがある。シンチレータには、その化学的組成から無機シンチ レータと有機シンチレータに分類することができる。代表的シンチレータの特性を表 2.1 に示す。

| | NaI | CsI | BGO | GSO | YAP |
|----------------------------|-------|-------|---|-------------|-------------------|
| 蛍光時間 (ns) | 230 | 1000 | 300 | 60 | 30 |
| 密度 $(g \cdot cm^{-3})$ | 3.67 | 4.51 | 7.13 | 6.71 | 5.52 |
| 蛍光出力 (NaI を 100 とする) | 100 | 47 | 12 | 20 | 40 |
| 発光ピーク波 長 (nm) | 410 | 565 | 430 | 480 | 347 |
| 組成式 | NaI | CsI | $\mathrm{Bi}_4\mathrm{Ge}_3\mathrm{O}_{12}$ | Gd_2SiO_4 | YAlO ₃ |
| ガンマ線 100 keV での平均自由行程 (cm) | 0.226 | 0.147 | 0.045 | 0.084 | 0.687 |

表 2.1: シンチレータと特性

無機シンチレータは、無機結晶中に非常に微量の不純物を混入させ発光中心を作っている。有機シンチレータに比べ、密度が高く、原子番号の大きな元素からなるので、シン チレータ中でのエネルギー損失が大きい。発光量も大きくなるので、よい分解能を持つ。 このような特性により、ガンマ線やアルファ線、電子・陽電子の測定に適している。最近 では、従来主流の NaI や CsI に比べて、さらに原子番号が大きく検出効率が高い BGO、 GSO が使われるようになってきている。

有機シンチレータにはプラスチックシンチレータ、液体シンチレータなどがある。無機 シンチレータに比べ 100 倍 前後の速い減衰時間を持ち、かつ時間光量が多い。有機シン チレータは水素原子主体で原子番号が小さい。そのため阻止能が低く、主に荷電粒子の測 定に使われている。



図 2.1: 典型的な PMT の構造

2.1.2 光電子増倍管

光電子増倍管 (photo multiplier tube: PMT) は、通常数 100 個 以下からなる微弱な光 信号を、電子回路で十分活用できるレベルの電流パルスに変換する検出器である。

PMT は、図 2.1 に示されているように入口に光電陰極、内側に数個のダイノードを取 り付け真空排気したガラス管である。シンチレータなどからの光は、まず光電陰極で光電 効果により光電子に変換される。この時の量子効率は、通常 5~20%である。発生した光 電子は強い電場により加速され、2次ダイノードをたたく。この時、ダイノードにより多 数の電子が放出される。さらに、ここで放出された電子は次のダイノードをたたき、さら に多くの電子を生成する。この繰り返しにより、1 個 の光子から 10⁴⁻⁷ 個 の電子が生成 され、電流として観測される。

PMTの優れている点は、入射光量に対する出力信号の比例性が良い点、内部利得が十分に大きいため微弱な信号でも検出出来る点、時間分解能がよい点などである。

2.1.3 位置検出型光電子増倍管

前節であげたような一般的 PMT(ボックス型) で、入射する光子に対して一つの信号出 力しかない。一方、位置検出型 PMT は格子状または直線状に複数のアノードを持ち、複 数の信号を出力できる。また、コンパクト化にも有利である。

位置検出型 PMT は複数のアノードを持つことの他に、電子の増倍を行なうダイノード の構造に特徴がある。その主な構造にはサーキュラケージ型、ボックス型、メッシュ型 (図 2.2)、メタルチャンネル型 (図 2.3) などがある。メッシュ型ダイノードは、微細なメッ シュ状の細線で形成されたダイノードを積み重ねた構造をしていおり、線形性に優れ、磁 界の影響を受けにくい。メタルチャンネル型ダイノードは、従来のダイノードに比べてダ イノード間が短く、高速応答を実現している。また、読み出しチャンネルを多チャンネル 化しやすいため、位置検出型 PMT に適している。

2.1.4 64chPMT:H7546

本研究で使用した 64chPMT は、浜松ホトニクス社製の位置検出型 PMT、Multianode Photomultiplier Tube Assembly H7546 である。その構造を図 2.4 に、諸元及び特性を表 2.2、2.3 に示す。この PMT はピクセル状に信号出力電極であるアノードが、8 × 8 の計 64 個並んでいるのが特徴である。電子増幅部にメタルチャンネルダイノードを使用し、非





図 2.2: メッシュ型 PMT の構造

図 2.3: メタルチャンネル型 PMT の 構造

常にコンパクトなものになっている。また、メタルチャンネルダイノードはダイノード間 が短く高速応答が可能であり、位置検出型 PMT に適している構造である。



図 2.4: 64chPMT(H7546)の基本構造

2.2 半導体検出器

半導体検出器として代表的なものとして、フォトダイオード (photodiode: PD) がある。 図 2.5、図 2.6 に示されているように、p型半導体とn型半導体をpn 接合したもので、低 エネルギーの荷電粒子、X 線、ガンマ線の測定によく用いられる。

半導体検出器がシンチレーション検出器と大きく異なる点は、ガンマ線が直接電気信号 に変換されるという点である。半導体検出器に入射したガンマ線は、半導体を構成する原 子と光電効果やコンプトン散乱などの相互作用をする。その時、発生する光電子や反跳電 子の運動エネルギーの付与によって、キャリアと呼ばれる電子と正孔が発生する。素子に 逆バイアス電圧を印加すると、高抵抗の絶縁層である空乏層が生じ、その中をキャリアは 正負の電極へ移動する。正の電圧が印加された電極には電子が、負の電圧が印加された電 極には正孔が移動する。その結果全体として電流が生じることになる。このように半導体 検出器では直接ガンマ線のエネルギーが電気信号に変換される。また、一対キャリアを発 生するために必要なエネルギーが3~5eVと小さいため、良いエネルギー分解能を得るこ とができる。

| | Parameter | Description/Value | Unit |
|------------------------|------------------|----------------------|-----------------|
| Spectral Respon | nse | 300 to 650 | nm |
| Wavelength of I | Maximum Response | 420 | nm |
| Photocathode | Material | Bialkali | - |
| Minimum Effective Area | | 18.1 × 18.1 | mm^2 |
| Window Mater | ial | Borosilicate | - |
| Dynode | Structure | Metal Channel Dynode | - |
| Number of Stages | | 12 | - |
| Anode Size | | 2 × 2 | mm^2 |
| Weight | | ~ 65 | g |

表 2.2: 64chPMT の諸元

| | Value(Typ.) | Unit | | | |
|-----------------------|---|----------------|---------|--|--|
| Cathode Sensitivity | 70 | $\mu \rm A/lm$ | | | |
| | Blue(CS 5-58 filter) | 8 | µA/lm-b | | |
| Quantum Efficiency a | at 390nm | 20 | % | | |
| Anode Sensitivity | 21 | A/lm | | | |
| Gain | 3.0×10^5 | - | | | |
| Anode Dark Current | per Channel(after 30min. storage in darkness) | 0.2 | nA | | |
| Time Response | Anode Pulse Rise Time | 1.5 | ns | | |
| (per Channel) | Transit Time Spread(FWHM) | 0.3 | ns | | |
| Pulse Linearity per C | Channel(± 5 % Deviation) | 0.6 | mA | | |
| Cross-talk(with 1mm | 2 | % | | | |
| Uniformity Among A | ll Anodes | 1:3 | - | | |

表 2.3: 64chPMT の特性(25 の時)



図 2.5: 典型的な半導体検出器の構造



図 2.6: pn 接合面の状態

2.2.1 フォトダイオード

本研究で使われている半導体検出器は、高速応答性を重視した PIN 型シリコンフォト ダイオード (PIN-PD) である (図 2.7)。この PD には、pn 結合の中間に空乏層のかわりを する真性半導体の i 型領域が挟みこんである。必ず逆バイアス電圧を加えて使用する。加 えた逆バイアス電圧はほとんど i 型領域に加わるため、障壁容量を無視することができ、 高速応答を妨げる端子間容量を非常に小さくすることができる。

高速応答性を重視した他の PD として、アバランシェ・フォトダイオード (A-PD) がある (図 2.8)。pn 接合に大きな逆バイアスを印加し、強い電界を生じさせる。キャリアはこの電界により加速され、衝突により二次キャリアを発生するという過程を次々と繰り返す (アバランシェ効果)。このような自己増幅作用により、出力電流を数十倍まで増幅し、端子間容量を等価的に下げることができる。



図 2.7: PIN-PD の構造



図 2.8: A-PD の構造

2.2.2 アレイ型 PD:SPL PD typeB

本研究で使用したアレイ型 PD は、浜松ホトニクス社製のシリコン PIN フォトダイオー ド SPL PD typeB であり、5 mm 四方の受光面を 3 × 3 のアレイ状に並べたものである (図 2.9)。厚さが 300 µm と通常の PD よりも厚くしているため、端子間容量が 10 pF 程 度と小さいものになっている。

2.3 コンプトンカメラ

コンプトンカメラは、基本的に二段階の光子計測によって一個の単光子の計数が行なわ れる。一段階目の検出器には半導体検出器が用いられ、この検出器内でコンプトン散乱し た光子の位置および落したエネルギーが測定される。二段階目の検出器では散乱した光子 を光電吸収などをさせて、すべてのエネルギーを付与させる。このカメラでは、それぞれ の検出器で記録されたエネルギーの和がガンマ線の初期エネルギーとなる。また、光子の 飛来方向は一段階目、二段階目の検出器における光子の計測位置を結んだ直線に対して、 コンプトン散乱角を有する円錐領域となる(図2.10)。このコンプトン散乱角は一段階目の 検出器で記録されたエネルギーから求めることができる。

入射ガンマ線のエネルギーを E_{in} とする。散乱体でのコンプトン散乱によるエネルギー 損失を E_1 、吸収体での光電吸収されたエネルギーを E_2 とする。この時、 $E_{in} = E_1 + E_2$



図 2.9: アレイ型 PD (SPL PD typeB)の図面

が成り立つ。コンプトン散乱の運動学より散乱角 θ は、

$$\cos\theta = 1 + \frac{m_e c^2}{E_1 + E_2} - \frac{m_e c^2}{E_2} \tag{2.1}$$

と表すことができる。これにより、入射ガンマ線光子の到来方向を頂点 *θ* を持つ円錐面上 に制限することができる。

最近研究されているガンマ線コンプトンカメラは、多層半導体コンプトンカメラであ リ、シリコンストリップ検出器を複数積み重ねたものが多く提案されている。複数のイベ ントについて、それぞれの円錐領域の交点を求めることにより、より正確な到来方向を決 定することができる(図2.11)。しかし、数万から数十万という多量の独立した信号の読み だしとその処理が必要となるため、まだ実現には至っていない。しかし近年、実現に向け た基礎実験が盛んに行われており、数年内に実現することが期待される。



図 2.10: コンプトンカメラの原理





第3章 64chPMTを用いたガンマ線イ メージャの開発

3.1 はじめに

我々は散乱体にフォトダイオード (PD)、吸収体に多チャンネル光電増倍管 (MA-PMT) を用いたシステムを構成し、現在エネルギーギャップになりつつある 100 keV ~ 1 MeV のガンマ線に感度をもつコンプトンカメラを開発を行なっている。今回その可能性を探 るため、64chPMT とアレイ型 PD を用いたシステム構成し、コンプトンイメージング実 験を行なった。しかし、試作した検出器は位置決定精度の指標である角分解能が実用レベ ルに達していないことが明らかになった。その原因を調査した結果、64chPMT のエネル ギー分解能が期待される値に達していないことに起因していることがわかった。そこで、 エネルギー分解能低下の原因の調査も行なった。

3.2 64chPMTとアレイ型PDを用いたコンプトンイメージ ング

3.2.1 目的

本実験は、散乱体にアレイ型 PD(SPL PD typeB)、吸収体に 24 mm × 24 mm × 5 mm の GSO シンチレータと 64chPMT を組み合わせたシンチレーション検出器を用いてガン マ線イメージャを構成し、このシステムのコンプトンカメラへの可能性を検証することを 目標とする。

行なったコンプトンイメージングのデータ収録の流れを図 3.1 に示す。本実験ではアレ イ型 PD にガンマ線を当て、散乱ガンマ線を 64chPMT で観測する。したがって、PD 側 と PMT 側で同時に発生した信号が意味を持ち、それぞれの discri 信号のコインシデンス をとったものをデータ収録のトリガ信号としている。



図 3.1: データ集録の全体の流れ

実際のデータ収録には、National Instruments 社製の LabVIEW ソフトウェアおよび DAQ デバイス (PCI-6071E、PCI-6024E) を使用した。

LabVIEW ソフトウェア

LabVIEW とは、Laboratory Virtual Instrument Engineering Workbench (ラボラトリ 仮想計測器エンジニアリングワークベンチ)を略したもので、グラフィカルプログラミン グ言語「G」をベースにした計測制御用プログラム開発環境である。LabVIEW はブロッ クダイアグラム形式でプログラムを作成することができるので、他のテキストベースの開 発環境に比べ、プログラムを短期間で作成することができる。また、LabVIEW は柔軟性 に優れた強力なプログラミング言語であり、テストや計測、データ集録や制御、科学的調 査、プロセス監視、工場の自動化などに使用されている。

LabVIEW で作成する仮想計測器 (Virtual Instruments: VI) には、「フロントパネル(図 3.2)」と「ブロックダイアグラム(図 3.3)」がある。フロントパネルには、スイッチやノ ブなどの制御器と、グラフなどの表示器を配置する。マウスやキーボードからデータを入 力することにより、画面に結果を表示することができる。ブロックダイアグラムには、VI のグラフィカルソースコードが含まれている。ここで、フロントパネルで作成した入力や 出力を制御したり、これらに対して関数を実行するための VI のプログラムを作成する。



図 3.2: フロントパネル



図 3.3: ブロックダイアグラム

DAQ デバイス

DAQとは、Data Acquisition(データ取得)を略したもので、DAQデバイスをコンピュー タに装着することで、LabVIEW ソフトウェアから直接データ取得のための操作を行うこ とができる。DAQデバイスを GPIB 等の高価な計測機器と比較すると、サンプリングレー トが小さくなるが、価格に対する性能はかなり高いものと言える。集録対象が超高速現象 といった特殊なものでなければ、十分な性能を発揮する。

今回使用した DAQ デバイスは、低コスト E シリーズマルチファンクション DAQ デ バイスである PCI-6071E と PCI-6024E である。PCI-6024E で PD 側のデータを処理し、 PCI-6071E で PMT 側のデータを処理する。

3.2.2 セットアップ

図 3.4 に構成したガンマ線イメージャのセットアップを、図 3.5 にタイミングチャートを示す。64chPMT の信号は、64ch プリアンプを介して、DAQ デバイス (PCI-6071E) によ リデータ収集される。アレイ型 PD からの信号は、4ch プリアンプで増幅された後、ピー クホールド回路を介し、DAQ デバイス (PCI-6024E) によりデータ収集される。実際に収 集される信号は、コインシデンスを取ることにより、2 つ検出器が同時に信号を出した時 に限定されている。



図 3.4: ガンマ線イメージャのセットアップ





3.2.3 イメージング能力の評価方法

2.3 節で示したコンプトン散乱の運動学から、散乱体及び吸収体におけるデポジットエネルギーと入射位置が分かると、入射ガンマ線のエネルギーと入射方向がわかる。その理論式から、アレイ型 PD と GSO シンチレータで落としたエネルギーから散乱光子の散乱角をもとめ、さらにアレイ型 PD と 64chPMT における検出位置からジオメトリ的に決まる散乱角をもとめた。この二つの散乱角の差から角分解能が見積もり、この角分解能と実際の測定から得られる角分解能を比較することにより、イメージング能力の評価を行なった。

3.2.4 角分解能の見積もり

角分解能の見積もりは、Geant4 などのシミュレータで行なう必要があるが、ここでは PMT、PD のエネルギー分解能、位置分解能から簡単に見積もった。線源に¹³⁷Cs(662 keV)を用い、鉛コリメータ(厚さ 50 mm、 $\phi = 6$ mm)を通して、ガンマ線をアレイ型 PD に入射した。図 3.6 にガンマ線のコリメータ後の経路を示す。

式 2.1 より、アレイ型 PD および GSO シンチレータにおけるデポジットエネルギー E_1 、 E_2 から理論的に θ_{theo} が求まる。ここで入射ガンマ線のエネルギーを Eとすると、 $E=E_1+E_2$ である。また、それぞれのエネルギー分解能を ΔE_1 、 ΔE_2 とすると θ_{theo} のゆらぎ $\delta \theta_{theo}$ は、

$$\delta\theta_{theo} \sim \sqrt{\left(\frac{\Delta E_1}{E_1}\right)^2 + \left(\frac{\Delta E_2}{E_2}\right)^2}$$
 (3.1)

と表される。また、アレイ型 PD および 64chPMT(+GSO) の位置検出能力より、アレイ 型 PD においてコンプトン散乱した位置($\pm O_{det}$)、GSO で光電吸収した位置($\pm P_{det}$) がわかるので、その位置よりジオメトリ的なガンマ線の散乱角 θ_{det} を求めることができ る。ただし、アレイ型 PD は 1ch の受光面の大きさが 5 mm × 5 mm 、チャンネル間の ギャップが 1 mm あり、ガンマ線の入射位置は各 PD 受光面の中心となるため、その位置 分解能 ΔX_{PD} を ~ 5 mm とした。64chPMT の位置分解能 ΔX_{PMT} は、富永(広島大 理) によって行なわれた 64chPMT の位置分解能の測定結果から ~ 4 mm とした。このとき θ_{det} のゆらぎ $\delta \theta_{det}$ は、

$$\delta\theta_{det} \sim \sqrt{\left(\frac{\Delta X_{PD}}{L_2}\right)^2 + \left(\frac{\Delta X_{PMT}}{L_2}\right)^2}$$
 (3.2)

と表される。ここで、 $\theta = \theta_{det} - \theta_{theo}$ とする。 θ_{theo} は、式 2.1 より理論的に求められ、散乱体及び吸収体で落としたエネルギーのみから計算できる。つまり、この理論的に求められる角度と、実際の検出器の観測位置から得られる角度 θ_{det} を比較することにより、検出器の検出精度を見積もることができる。しかし、散乱体及び吸収体で検出されるエネルギーも、その検出器のエネルギー分解能に依存してゆらぐため、 θ の角分解能 $\Delta \theta$ は、

$$\Delta \theta \sim \sqrt{\left(\delta \theta_{det}\right)^2 + \left(\delta \theta_{theo}\right)^2} \tag{3.3}$$

となる。つまり、この角分解能 Δθ がガンマ線イメージャの位置決定精度を表しており、 この値がゼロに近いほど精度が良い。

入射ガンマ線のエネルギーを E_{in} とすると、コンプトン散乱後のガンマ線のエネルギー Eは、___

$$E' = \frac{E_{in}}{1 + \frac{E_{in}}{m_e c^2} (1 - \cos \theta)}$$
(3.4)

となる。ここで $m_e c^2$ は電子の静止エネルギー(511 keV)である。¹³⁷Cs の 662 keV の ガンマ線がアレイ型 PD に入射したとき、90°方向にコンプトン散乱したとすると、散乱 ガンマ線のエネルギーは 288.4 keV となる。つまり、アレイ型 PD に落としたエネルギー は 373.6 keV となり、GSO で光電吸収されるガンマ線のエネルギーは 288.4 keV という ことなる。しかし、実際は 90°方向にのみ散乱されるわけではないため、PD と GSO で 落としたエネルギーは広がりをもつ。さらに、式 3.1、式 3.2、式 3.3 より、アレイ型 PD において 90°散乱する場合の $\Delta \theta$ を計算する。前述の通り、入射ガンマ線がアレイ型 PD で落とすエネルギーは約 374 keV で、このときのエネルギー分解能 ΔE_1 を ~ 10 keV 、 GSO で光電吸収されるエネルギーは約 288 keV で、このときのエネルギー分解能 ΔE_2 は ~ 88 keV である。また、アレイ型 PD の位置分解能は ~ 5 mm で、散乱ガンマ線の GSO への入射範囲を全面にしたときの位置分解能を ~ 10 mm としたとき、 $\Delta \theta$ ~ 27°となっ た。さらに、それぞれの値をまとめたものを表 3.1 に示す。

| | $\frac{\Delta E_1}{E_1}$ | $\frac{\Delta E_2}{E_2}$ | $\delta \theta_{theo}$ |
|-----------------|-----------------------------|------------------------------|------------------------|
| θ_{theo} | 0.03 | 0.31 | 18° |
| | $\frac{\Delta X_{PD}}{L_2}$ | $\frac{\Delta X_{PMT}}{L_2}$ | $\delta \theta_{det}$ |
| θ_{det} | 0.17 | 0.33 | 21 ° |
| $\Delta \theta$ | - | _ | 27° |

表 3.1: 角分解能の見積もりにおける各パラメータの値

3.2.5 イメージング測定の結果

実際のイメージング測定におけるアレイ型 PD、64chPMT のエネルギースペクトルを 図 3.7、図 3.8 に示す。横軸の単位はエネルギー [keV] であり、縦軸はカウント数である。 測定結果から得られる、アレイ型 PD および GSO シンチレータのデポジットエネルギー と検出位置より θ が求まる。この θ の分布を図 3.9 に示す。このスペクトルから角分解能 (FWHM) を求めると 67°であった。



図 3.6: コリメータ通過後のガンマ線の経路

使用した GSO シンチレータは、64chPMT の光電面サイズ (18.1 mm × 18.1 mm)より 大きく、光電面の端のほうでエネルギー分解能、位置分解能が低下していることが考えられ たため、64chPMT の光電面のより狭い領域で検出されたイベントを抜き出し、そのときの 角分解能も計算した。抜き出した領域は、Area1「 $-5mm \le x \le 5mm$ かつ $-5mm \le y \le 5mm$ 」、 Area2「 $-3 \le x \le 3mm$ かつ $-3mm \le y \le 3mm$ 」、Area3「 $-2.5mm \le x \le 2.5mm$ かつ $-2.5mm \le y \le 2.5mm$ 」 の領域である。それぞれの場合の分布を図 3.10、図 3.11、図 3.12 に示す。また、光電面 全面、Area1、Area2、Area3 の領域において求めた角分解能及び上と同じく計算より求 めた $\Delta\theta$ をまとめて表 3.2 に示す。

| | 全面 | Area1 | Area2 | Area3 |
|------|----------|----------|----------|----------|
| 測定結果 | 67±3 ° | 43±3° | 34±3° | 29±2 ° |
| 計算結果 | 27±0.3 ° | 23±0.3 ° | 18±0.3 ° | 17±0.3 ° |

表 3.2: 光電面の各領域毎の角分解能

3.2.6 考察

実際に測定された角分解能は 67°と計算値を大きく異なる結果となった。これは、実際は広がりをもつ PD における散乱ガンマ線の散乱角を 90°に限定し、計算を大まかに行なったことが原因である。したがって、前述のとおり角分解能の見積もりには、Geant4を用いたシミュレーションを行なう必要がある。

測定された角分解能を考えると、この検出器をガンマ線イメージャとして用いること は非常に困難であるといえる。角分解能を低下させる要因として、受光面が大きく、チャ ンネル数が少ない PD を用いたため、散乱体の位置分解能が非常に悪いことがあげられ る。これは、シリコンストリップ検出器を散乱体として用いることで改善できる。また、 64chPMT の光電面に対して GSO が大きすぎたため、GSO の端のほうでは、位置分解能 およびエネルギー分解能が低下していることも角分解能低下の原因として考えられた。そ こで、GSO に入射したイベントのうち、より内側のイベントに限って角分解能を求めた ところ、領域を狭めるにつれて角分解能良くなっていくことを確認した。この場合有効面 積が小さくなってしまうが、 2.5 mm × 2.5mm の有効面積で角分解能 29 °という結果を 得た。したがって、GSO シンチレータのサイズを最適化することにより、64chPMT のエ ネルギー分解能が改善され、角分解能が向上することが期待できる。

今回作成したガンマ線イメージャは目指す性能に及ばないが、今回用いたガンマ線のエ ネルギーは 662 keV で、我々が目指す MeV 領域ではシンチレーション光量が多くなるた め、位置分解能、エネルギー分解能の向上が期待され、角分解能はさらに良くなると考え られる。しかし、それでも角分解能数度という性能には及ばないと考えられるので、散 乱体にシリコンストリップ検出器を使用を検討し、吸収体においては 64chPMT に最適な GSO の形状を決定し、エネルギー分解能を改善する必要がある。





図 3.7: 662 keV のガンマ線を PDarray に入射させたときの、PD各チャンネル におけるエネルギースペクトル

図 3.8: アレイ型 PD で散乱されたガン マ線の64chPMTのダイノードにおける エネルギースペクトル



図 3.9: イメージング測定によって得られた θ の分布



おける θ の分布



図 3.10: Area1 の領域に 図 3.11: Area2 の領域に 図 3.12: Area3 の領域に おける θ の分布

おける
θの分布

3.3 64chPMTのエネルギー分解能の検証

3.3.1 目的

コンプトンイメージング実験の結果より、角分解能を向上させるためには64chPMTの エネルギー分解能の改善が必要であり、その方法としてシンチレータサイズの最適化が考 えられた。そこで、64chPMTのエネルギー分解能のGSOシンチレータサイズに対する依 存性を調査した。しかし、もっとも小さいGSOを用いても、一般的なPMTとGSOで実現 できるエネルギー分解能を実現できていないことが明らかになった。そこで、64chPMTの エネルギー分解能を低下させている原因を明らかにするためにいくつかの検証を行なった。

3.3.2 セットアップ

この検証におけるセットアップは、基本的に前節で行った実験のものを引き継いだもの を使用した。すなわち、DAQ デバイス (PCI-6071E) で取得したデータを LabVIEW ソフ トウェアで処理するというものである。その概略を図 3.13 に示す。



図 3.13: エネルギー分解能検証のためのセットアップ

3.3.3 シンチレータの大きさに対する依存性

64chPMTに用いられる GSO シンチレータは、 24 mm × 24 mm × 5 mm のものしか 手元になく、これが使われていた。これは光電面サイズ(18.1 mm × 18.1 mm)よりも 大きいため、このシンチレータを用いた場合、光電面に入射しないシンチレーション光が 多く存在し、これがエネルギー分解能低下につながっていることが考えられた(図 3.14)。 そこで、光電面とほぼ同じ面積を持つ 18 mm × 18 mm × 5 mm の GSO を取得し、こ れを用いて測定を行った。そのスペクトルは、図 3.15 のようになり、エネルギー分解能 は 24 mm × 24 mm × 5 mm のものに比べ確かに向上した(約 14 %)が、期待していた 程のエネルギー分解能を得ることはできなかった。加えて、10 mm × 10 mm × 10 mm GSO シンチレータを用いて測定を行った。そのスペクトルは図 3.16 でエネルギー分解能 は、 9.6 % 程度と一般的な PMT と GSO で実現できるエネルギー分解能(7%)には及 んでいないことがわかった。

これらの結果より、エネルギー分解能を悪化させる要因となるゆらぎがシンチレータ以外にあると考えられる。なお、示したエネルギースペクトルにおいて、ADC チャンネルがGSOのサイズによってオフセットしている。これは、GSOのサイズによって光量が変化することを考慮してHVにてゲイン調整を行ったため、若干のずれが生じているためである。



図 3.14: GSO(24 mm × 24 mm × 5 mm)を用いて測定したエネルギースペクトル

3.3.4 温度による依存性

前節において、エネルギー分解能悪化にはシンチレータ以外の要因があることが考えられたため、-20 において測定し、温度依存性について調査した。これは、熱ノイズを減少させることで、分解能が向上することが期待できたためである。

シンチレータは、GSO(10 mm × 10 mm × 10 mm)を使用し、ガンマ線源は ${}^{137}Cs$ (662 keV)を用いた。得られたスペクトルは図 3.17 のようになり、エネルギー分解能は 9.5% となった。この結果から、先の常温で測定した場合とあまり変化が見られないことから、熱ノイズは 662 keV のエネルギー分解能には影響しないことがわかった。

3.3.5 ピークホールド回路を用いた測定

64 chPMTのデータ取得に使用している DAQ デバイス (PCI-6071E) は、1 ch 当りの AD 変換に必要な時間は 0.8 μs である。すなわち、64 ch分の信号を AD 変換するには、 $52 \mu s$ 程度かかることになる。そのため、サンプル間で時間のずれが生じてしまい、分解能が低下してしまう可能性が考えられた。そこで、ピークホールド回路 (図 3.18) を製作し、こ



図 3.15: GSO(18 mm × 18 mm × 5 mm)を用いて測定したエネルギー スペクトル

図 3.16: GSO(10 mm × 10 mm × 10 mm)を用いて測定したエネ ルギースペクトル



図 3.17: -20 における GSO(10 mm × 10 mm × 10 mm)のエネルギースペクトル

のずれを無くすようにした。

シンチレータは、GSO(10 mm × 10 mm × 10 mm)を使用し、ガンマ線源は ^{137}Cs (662 keV)を用いた。得られたスペクトルは、図 3.19 のようになり、エネルギー分解能に 変化はあまり見られなかった。これは、64chPMT 用プリアンプの時定数が十分長く設定 されていたため、AD 変換による時間のずれは解消されていたと考えられる。



図 3.18: 製作したピークホールド回 路



図 3.19: PH 回路を使用した時の GSO(10 mm × 10 mm × 10 mm) のエネルギースペクトル

3.3.6 LED スポット照射

シンチレータをかえても、エネルギー分解能が改善しないという結果を受け、64chPMT に局所的に分解能・ゲインが揺らいでいる可能性も考えられた。そこで、光電面を図 3.20 のように 25 分割し、その各々に LED 光を照射、測定することで、局所的な分解能・ゲイ ン揺らぎの存在を調査した。

本実験のセットアップは、図 3.21 のように行い、LED は PMT が最も感度が高い緑色を 選択した。LED 光はコリメータで 2 mm × 2 mm に絞り、分割した光電面に照射した。 得られた結果は、図 3.22、図 3.23 である。これから、分解能とゲインには、位置によ るゆらぎが存在することが確かめられた。分解能のゆらぎは、PMT 内部で一段目のダイ ノードの電子収集率に変動があることが起因になっていることが考えられる。また、ゲ インのゆらぎについては、PMT 内部でのダイノードの増幅率に変動があることが起因に なっていることが考えられる。

| 5 | 10 | 15 | 20 | 25 |
|---|----|----|----|----|
| 4 | 9 | 14 | 19 | 24 |
| 3 | 8 | 13 | 18 | 23 |
| 2 | 7 | 12 | 17 | 22 |
| 1 | 6 | 11 | 16 | 21 |



図 3.20: 64chPMT の光電面の分割 位置の対応

図 3.21: LED 照射実験のセットアッ プ



図 3.22: 分割数と ADC チャンネル (パルスハイト)の関係





3.3.7 考察

64chPMTとGSOシンチレータを用いた検出器のエネルギー分解能を検証するため、い くつかの実験を行った。1つ目の実験では、GSOのサイズを小さくすることで、エネル ギー分解能は向上した。しかし、一般的なPMTにGSOを使用したときのエネルギー分 解能である7%を達成することはできなかった。このため、分解能低下の要因は他にあ ると考え、温度依存、DAQデバイスのAD変換速度を考慮した検証を行ったが、あまり 改善は見られなかった。そこで、64chPMTの入射位置によるゲイン・分解能を調査した 結果、局所的なゆらぎがあることが確かめられた。

以上の結果から、64chPMTのエネルギー分解能の向上には、64chPMT内部の電極構造 などを製造元である浜松ホトニクス社と相談し、改良していく必要があると考えられる。

3.4 まとめ

今回試作した 64chPMT(+GSO) とアレイ型 PD を用いたガンマ線検出器は、十分な角 分解能を有していないため、コンプトンカメラとして用いることは困難である。しかし、 散乱体としてシリコンストリップ等の多チャンネルの PD 検出器を用いたり、Geant4 な どのシミュレーションを用いてジオメトリを最適化することで十分な性能向上が期待で きる。また、64chPMT のエネルギー分解能が低いことも大きな要因であったが、これは 64chPMT の各 ch に分解能・ゲインにバラツキに起因していることがわかったため、開発 元の浜松ホトニクス社と相談し、改良していく必要がある。

第4章 放射線計測用VLSI(K02-32SA) の開発

4.1 VLSI 開発の目的

天文衛星に搭載される検出器は多チャンネル化が進んでおり、現在計画されている NeXT 衛星に搭載予定の硬X線撮像検出器では、そのチャンネル数は一万を越える。このような 多チャンネルを有する検出器の信号処理回路は、いわゆるディスクリートなものでは、大 きさ、消費電力の点から対応は困難である。よって、アナログ処理系を高密度に集積し、 小型化及び低消費電力を実現することが可能である VLSI の利用は必須である。

現在、放射線計測用 VLSI の技術は、ノルウェーの IDEAS 社や LBL のグループなど限 られた所にしかない。そこで我々は、ISAS の高橋研の協力、および池田先生からの指導 を受け、放射線計測用 VLSI の設計・製作に取り組むことにした。これにより、VLSI の基 本的な知識や技術を身につけ、独自に高性能な VLSI の設計を行なうことを目標である。

4.2 基本事項

4.2.1 ASIC

本研究で開発している放射線計測用 VLSI のように、特定の用途に設計された集積回路 を一般に ASIC(Application Specific Integrated Circuit) と呼ぶ。ASIC には、ゼロから回 路を設計するフルカスタムと、あらかじめ特定の機能を持った回路ブロックを組み合わせ たものを用意しておき、配線を変えることで要求に合わせるセミカスタムがある。フルカ スタムによる設計は自由度が高く、より高精度、より低消費電力な回路を実現することが 可能であり、アナログ回路の性能向上に有利である。したがって、本研究においてもフル カスタムによる設計を行なっている。

4.2.2 CMOS プロセス

CMOS(Complementary Metal Oxide Semiconductor)は、相補的な動作をするpMOSと nMOSの2種類のMOSFETを同一基板上に形成した回路である。例としてpMOSの構 造を図4.1に示す。MOSは、金属と酸化物、半導体を重ね合わせた構造の素子であり、電 圧で電流を制御するデバイスである。CMOSプロセスで製造されたトランジスタは、定 常状態では、ほとんど電流が流れないために、消費電力が抑えられる利点がある。また、 高速動作、製造コストが低いといった利点もある。本研究でもCMOSプロセスが使われ ている。

アナログ CMOS 設計の基礎となるドレイン電流 I_D は、次式のように与えられる。



図 4.1: pMOS デバイス構造

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2]$$
(4.1)

ここで、 μ_n は電子の移動度、 C_{ox} は単位面積あたりのゲート容量、 V_{GS} はゲート・ソース間の電圧、 V_{DS} はドレイン・ソース間の電圧ある。 V_{TH} はドレイン・ソース間に反転層が形成され、ドレイン電流 I_D が流れはじめるしきい値電圧である。L,W は図 4.1 に示した部分の長さで、それぞれチャネル長、チャネル幅といい、その比 W/L(アスペクト比) は、MOS の特性を決める重要なパラメータの一つである。

また、ゲート電圧 V_{GS} に対するドレイン電流 I_D の変化を表すトランスコンダクタンス g_m は次式のように与えられる。

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$$
(4.2)

これは、ゲート電圧 V_{GS} がドレイン電流 I_D を制御する能力を表す重要なパラメータとなる。

4.2.3 LSI 設計の流れ

図 4.2 に LSI 設計の大まかな流れを示す。

システム設計

最初に、製作する LSI の機能や仕様、回路方式などのシステムを決定する。具体的には、 用途に合わせて、信号処理回路の仕様、ノイズレベル、電力、電源電圧、チャンネル数、 チップサイズ等を考察していく。そして仕様が決定後、仕様するプロセスを決定する。開 発対象と半導体プロセスの間には適合性があり、これが合わない場合、問題が生じる可能 性もあるため、適切なプロセスを選択する必要がある。

回路設計・回路図入力

システム設計の要件を満たす回路を、トランジスタ、抵抗、コンデンサなどの実際の 回路素子で記述する。これには、回路シミュレータの入力言語である SPICE(Simulation Program for Integrated Circuit)記述が標準的に使われている。



図 4.2: アナログ ASIC 設計の流れ

回路シミュレーション

SPICE ネットリストを用いて、回路シミュレーションを行う。シミュレーションを行う ことにより、回路の不具合を発見し、それをフィードバックすることで、仕様通りに動作 する回路を実現していく。確認事項は出力波形だけではなく、温度特性、ノイズ評価、電 源電圧感度等も検証していく必要がある。また、MOSの動作特性や寄生効果をできるだ け厳密に再現するために、LSI 製造メーカーから提供されている MOS パラメータを使用 する必要がある。

レイアウト設計

SPICE 記述の物理的な素子や配線の配置を行なう。これはレイアウトエディタを用いて行なう。このソフトウェアには、レイアウトの要素となる図形(矩形、多角形など)を入力し、編集するコマンドが用意されている。

DRC

設計したパターンレイアウトがデザインルールを満たしているか検証する。デザイン ルールとは、プロセス技術者がプロセスの製造精度から決めたパターンの制約条件であ り、各層のパターン幅、間隔や各層の重なりなどの許容最小寸法を表したものである。こ のルールを満たすパターンレイアウトは、必ず動作することが保証されている。

LVS

レイアウトデータから回路の接続情報を抽出し、回路設計で作成した SPICE ネットリ ストと比較照合する。完全に一致するまで、レイアウトを修正していく必要がある。 マスクデータ変換

DRC、LVS を通すことができれば、レイアウト作業は終了となる。このレイアウトを LSI 製造メーカーに提出するため、GDS-II と呼ばれるマスクデータ (Stream Format) に 変換する。

マスクデータ提出

マスクデータを製造メーカーに渡し、ユーザーレベルの作業は終了となる。
4.3 1次元アナログVLSI(K01)

4.3.1 開発目的

NeXT 衛星搭載 HXI 検出器用に高度な VLSI を開発する必要がある。その前段階として 小林 (ISAS/JAXA) らによって、低ノイズ 16ch アナログ VLSI である K01 の開発が行な われた。

4.3.2 K01の概要

K01 チップは、CdTe(テルル化カドニウム) ストリップ検出器やピクセル検出器の信号 読み出しを目的とした VLSI である。ピクセル検出器に対応するため、16ch の入出力端子 をもつ。回路の仕様を以下に、チップパラメータを表 4.1 に、1ch 分の回路構成を図 4.3 に示す。

- 16ch チャンネルアナログ VLSI
- 正信号入力
- 各 ch 毎に、プリアンプ、PZC 付き微分回路、3 段積分回路、ピークホールド回路、 コンパレータ回路を内蔵
- プリアンプは、内蔵、外付けの選択が可能
- モニター端子付き (1ch のみ)

| プロセス | ローム社 CMOS 0.35 µm (東京大学 VDEC 経由) |
|---------|--|
| チップサイズ | 4.93 mm 角 |
| PolySi | 2 層 |
| メタル配線 | 3 層 |
| 電源電圧 | 3.3 V (VDD = 2.0 V, VSS = -1.3 V, GND = 0 V) |
| トランジスタ数 | 6904 個 |
| ロジックレベル | LVDS(Low : 0 mV , High : 350 mV) |

表 4.1: K01 チップパラメータ



図 4.3: K01 チップの1 チャンネル当りの回路構成

4.3.3 評価結果

K01 チップはすでに性能評価が行なわれており、アナログ部、デジタル部ともに正しく 動作することが確認されている。また、CdTe半導体検出器を用いてX線のスペクトルを 取得することにも成功している。一方で、明らかな問題点が2点見つかった。詳細は井上 修論(2004 東京大学)参照。一つめは、高抵抗回路を用いたことで、出力信号のオフセッ トにバラツキがみられたことであり、二つめは、CdTe半導体の等価雑音電荷が、目標の 100 electron の十倍程度になったことである。一つめの問題は、製造プロセス段階におい て CMOS の精度のずれ込みにより生じるものである。具体的には、高抵抗回路における CMOS の差動対のずれが原因と考えられる。二つめの問題は、シミュレーションによる 詳細な解析の結果、ポールゼロ補償回路が主な原因であることが明らかになった。

4.4 1次元アナログVLSI(K02)

4.4.1 開発目的

K02は、K01の問題点を改善し、チャンネル数を増加させた VLSI である。主な改良点は以下の 2 点である。

- オフセット対策・・・・カップリングコンデンサを積分回路の後段に挿入した。これにより、DC成分を除去してオフセットのバラツキを抑えられる。
- ノイズ対策・・・ポールゼロ補償回路が、主なノイズ源であることが明らかになったので、微分回路の前段に積分回路を挿入することでゲインをかせぎ、S/N比を向上させた。順序を入れ換えただけであるため応答には影響しない。

本チップは、Taiwan Semiconductor Manufacturing Company(TSMC) 社のデザインルー ル 0.35μ m プロセスを用いて試作した。図 4.4 のように 15mm 角の親チップの中に 6 種類 のサブチップを設計した。そのうちの 5 種類が K02 チップ、残りの 1 種類がカウンティン グ用チップ (T02) となっている。



図 4.4: チップの構成図

表4.2にK02シリーズのチップの概略を示す。我々のグループの木原が開発を行ったもの は、この中のK02-32SAである(木原修論 2005 広島大学)。他のK02シリーズについては 田村修論(2005 東京大学)を参照。K02-32SAと他のK02シリーズの大きな違いはプリアン プを内蔵しているか、していないかである。パラメータの違いはあるが回路の構成自体は 他のK02シリーズと変わらない。K02-32SAチップは、マルチアノードPMT(MA-PMT) やAPDアレイの読み出しを考えているが、プリアンプの設計が最も難しいことが分かっ ており、今回はプリアンプ後段の回路をきちんと動作させることを目標として、プリア ンプは内蔵しなかった。よって、K02-32SAの前段にはプリアンプを別途準備する必要が ある。

| チップ名 | 入力信号極性 | CSA 帰還容量 [pF] | 主な用途 |
|----------|--------|---------------|----------------------|
| K02-64P | 正 | 0.1 or 0.05 | CdTeやSiの半導体検出器用。 |
| | | | Cathode 読み出し。 |
| K02-64N | 負 | 0.1 or 0.05 | K02-64P と同様。 |
| | | | Anode 読み出し。 |
| K02-32PS | 正 | 5 or 15 | 大信号(粒子線など)の読み出し用。 |
| K02-32NS | 負 | 5 or 15 | K02-32PS と同じ。入力信号の極性 |
| | | | が異なる。 |
| K02-32SA | 正 | CSA 内蔵せず | MA-PMT、APD などの読みだし用。 |
| | | | CSA は外づけにして使用する。 |

表 4.2: K02 シリーズ一覧表

4.4.2 K02-32SAの概要

K02-32SA は、MA-PMT や APD アレイの読み出しを目的とした、32 チャンネル入出力 VLSI であり、検出器の出力信号の極性がどちらであっても対応できるように、チップの 入力極性を正・負と切替える事ができるという特徴をもっている。1 チャンネル当りには、 初段積分回路、PZC 回路、2 段目積分回路、利得増幅回路、ピークホールド回路、コンパ レータ回路が組み込まれており、これが 32 チャンネル分チップの中に搭載されている。 なお、PZC 時定数は 50μ s、整形時定数は 1μ s ~ 10μ s の範囲で調整可能であり、ディス クリレベルは -1 V ~+ 1 V までの範囲で調節可能である。この回路はパラレル入力パラ レル出力にて動作を行う。入力は極性を選択することができるが、出力は負極性にて出力 される。また、K01 チップと同様にチップ中のアナログ回路の途中にモニター機能を随所 に設け、詳細なチップの動作を調べることができるという特徴を持っている。なお、モニ ター機能は [ENB] スイッチで ON、OFF の選択をすることができる。

目標とする消費電力は、100 μ W/pixel である。これは、衛星搭載を考える上で低消費電力は必須であるためである。ダイナミックレンジは、入力で 1 mV ~ 100 mV である。これは、PMT 検出器とBGO+APD 検出器で使用することを考え決めた。また、ゲインは 1 ~ 16 倍 で調整することができる。よって、この範囲・ゲインであれば PMT 検出器で 100 keV ~ 1 MeV 相当、BGO+APD 検出器の場合、30 keV ~ 300 keV 相当のエネルギー範囲をカバーすることができる。このエネルギー範囲は検出器のバイアス電圧で調整することが可能である。また、ノイズレベルは、入力信号換算で 0.5 mV を考えており、このレベルであれば入力信号であるプリアンプ出力信号に対して十分低ノイズであると言える。また、後で詳しく述べるが出力オフセットもおよそ±50 mV の範囲で調節可能である。

回路の仕様

- 32 チャンネル1次元アナログ VLSI
- 各チャンネル毎に、初段積分回路、PZC回路、2段目積分回路、利得増幅回路、ピー クホールド回路、コンパレータ回路を内蔵
- 入力信号の極性選択が可能

- 32 チャンネルをパラレル出力(極性:負、~-0.6 V)
- 1 チャンネルにはモニター端子付き
- 消費電力: 100 µW/pixel
- 入力ダイナミックレンジ:1mV ~ 100mV
- ゲイン調整:1倍~16倍
- ノイズレベル: 0.5 mV (入力信号換算)
- 出力オフセット調整:±50 mV
- PZC 時定数: 50 μs
- 整形時定数:1 μs ~ 10 μs
- ディスクリレベル: -1 V ~ +1 V

チップパラメータ

| 会社名 | Taiwan Semiconductor Manufacturing Company (TSMC) |
|----------|---|
| デザインルール | $0.35 \ \mu \mathrm{m}$ |
| ピン数 | 144 |
| チップサイズ | 5 mm × 5 mm (15 mm 角チップを分割して使用) |
| 電源電圧 | 3.3 V (VDD = 2.0 V, VSS = -1.3 V, GND = 0 V) |
| ロジックレベル | LVDS(Low: 0 mV,High: 350 mV) |
| 搭載チャンネル数 | 32 チャンネル |

表 4.3: K02-32SA チップパラメータ

図 4.5 に1 チャンネル当たりの回路構成を示す。荷電増幅器 (CSA) が入っておらず外付 けでプリアンプを付ける様になっている。整形増幅器、ピークホールド回路、コンパレー ター回路から成り立っている。



図 4.5: K02-32SA チップの回路ブロック図

4.4.3 アナログ処理回路の性能評価

木原 (広島大理) らによって行なわれた性能評価の結果を示す。性能評価には私も参加 して行なった。詳細は木原修論を参照。

評価回路を製作し、K02-32SAのアナログ処理系の動作確認を行なった。具体的にはモニター出力端子を有効にして、回路中のアナログ信号を確認した。モニター出力端子は、極性切替え回路、波形整形回路、利得増幅回路の出力信号を確認できるようになっている。入力信号はGSOとPMTを組み合わせたシンチレーション検出器に、 600 keV のガンマ線が入射したときに相当する信号(80 mV)をパルサーで入力している。

セットアップ

K02-32SA チップにアナログ信号を入力し、スペクトルを取得するためのセットアップ を図 4.6 に示す。信号処理は NI 社の LabVIEW および DAQ デバイスを用いて行なう。な おチップのデジタル信号は、LVDS(Low Voltage Differencial Signaling) を用いている。

極性切替え回路のモニター出力

パルサーにより入力された信号(80 mV)が、極性切替え回路により極性を切替えるこ とができているかをオシロスコープにより確認した(図4.7、4.8)。これにより正しく動作 していることが示された。



図 4.6: K02-32SA セットアップ



図 4.7: 正極性入力時の極性切替え回路 後の波形

図 4.8: 負極性入力時の極性切替え回路 後の波形

波形整形回路のモニター出力

図 4.9、図 4.10 に得られた波形を示す。2つの積分回路が通すため、極性は極性切替え 回路の出力と同様である。ゲインは約 3 倍、時定数は約 8 µ となっており、これは設計ど おりの結果である。また、PZC 回路によってアンダーシュートが解消されていることも 確認できた。時定数は、高抵抗回路の電流を調整することで変更できることも示された。

可変利得増幅回路のモニター出力

図 4.11 に得られた波形を示す。可変利得増幅回路は反転増幅回路であり、その出力極 性は整形回路と逆となる。ゲイン調整をおこなった出力波形 (図 4.12) も確認したところ、 ゲイン調整機能も正常に動作していることが示された。時定数も整形回路と同じになって いることも確認できた。

K02-32SA チップからの出力

最終的なチップからの出力は、可変利得増幅回路の出力がピークホールドされた信号で ある (図 4.13)。この波形をみると、K01 チップで問題であった出力オフセットはなく、改 良が成功していることが確認できる。





図 4.11: 可変利得増幅回路の出力波形



図 4.10: 高抵抗回路の電流にて時定数 を調整した時の波形整形回路後の出力 波形



図 4.12: ゲインを 2 倍にした時の可変 利得増幅回路後の出力波形

LabVIEW で得られたスペクトル

K02-32SA チップにアナログ信号を入力すると上記のような信号処理が行なわれ、ピークホールドされた信号が出力される。この信号はLabVIEWを用いたDAQデバイスでAD 変換されデータ集録される。図 4.14 は 50 mV、80 mV、100 mV のパルサー入力を行なったときのスペクトルである。TP = 80mV のピークは 700 channel 付近にあり、60 channel 付近のピークはノイズにより得られたものである。ノイズは出力電圧で 10 mV 程度であ り、ノイズレベルは設計より悪くなってしまった。これは、外来ノイズや評価基板上のノ イズを除去しきれていないことが原因であると考えられる。しかしこの状態においても、K01 チップに比べノイズレベルが 1/5 程度になっており、性能向上が確かめられた。



図 4.13: K02-32SA チップからの出力



図 4.14: LabVIEW を用いて得られたスペクトル (TP=50mV,80mV,100mV)

4.4.4 リニアリティ

可変利得増幅回路までのリニアリティ

可変利得増幅回路までのアナログ回路系が正常に動作していることを確認するため、リ ニアリティ測定を行なった。PMT(+GSO)検出器を用いた場合のエネルギー範囲(100 keV ~ 1 MeV)を想定し、10 mV から 200 mV の信号をパルサーにより入力した。

得られた結果 (図 4.15) から、10 mV から 120 mV までのリニアリティは十分確保され ていることがわかった。高エネルギー側にやや難があるが、実用的に問題のない程度の線 形性が確保されている。



図 4.15: 可変利得増幅部までのリニアリティ

32 チャンネル分の各リニアリティ

ここまでは、モニター出力がある CH1 についての評価を行ない、正常に動作している ことが確かめられた。次に残り 31 ch 分の動作確認を行なうため、1 ch ずつリニアリティ 測定を行なった。ch2 から ch32 まではモニター出力は回路に組み込まれていないため、 LabVIEW により最終的な出力信号を取得し、それによりリニアリティ測定を行なった。 入力するテストパルスは 1ch の同様に 10 mV から 200 mV の信号を入力した。

その結果の一部を示す (図 4.16~図 4.21)。これらの結果から、入力極性の違いに対する 出力信号に大差はみられない。しかし、チャンネル間において多少のゲインのバラツキが みられる (図 4.22)。これは、高抵抗回路において素子の値にバラツキがあることが原因で あると考えられる。また、出力が 120 mV までしかない、設計どおりの性能を実現でき ていないチャンネルもみつかった。これは、製造プロセスにおける CMOS の精度のずれ があるためであると考えられる。

4.4.5 まとめ

動作評価では、まずモニター機能が使用できる CH1 について評価を行なった結果、ア ナログ処理回路が正常に動作していることを確認することができた。K01 チップで問題と なった出力信号のオフセットも解消され、また、外来ノイズ落としが不完全であるにも関 わらず、K01 よりもノイズレベルが低いことも確認できた。これらの結果より、製造プロ セスによる誤差はあるものの、設計時に行なったシミュレーションと同等の性能を有する



性:正)

図 4.17: CH9のリニアリティ(入力極 性:正)



図 4.18: CH2 のリニアリティ(入 力極性:負)

図 4.19: CH9 のリニアリティ(入 力極性:負)

ことがあることが示され、K01チップからの改善点を含め、ほぼ設計どおりに製作されて いることが確認できた。

CH1の評価後、残りの全チャンネルについての評価を行なった。その結果、高抵抗回路 における素子パラメータのバラツキが原因で、各チャンネル毎の出力の波高値に最大 20 %のバラツキがみられたが、ほぼ正常どおり動作していることが確認できた。しかし、そ の中には出力の波高値が 120 mV 程度しかなく、設計どおりに動作していないチャンネ ルもみつかった。これは、製造プロセスにおいて CMOS の精度のずれによって生じたも のと考えられる。

以上のことから、K02-32SA はほぼ設計どおりの性能を有しているといえる。今後は、 外来ノイズ落としなどを行ない、より正確な評価を行なう必要がある。





図 4.22: 入力電圧 50 mV に対する各 CH の出力電圧のばらつき

第5章 プリアンプLSIの設計・開発

5.1 開発目的

木原 (広島大理) らによって開発された K02-32SA は前章で述べたとおり、さらなる性 能評価、改良は必要であるが、設計どおりに動作することが確認できている。しかし、設 計の難しいプリアンプ部は組み込まれていないため、外付けでプリアンプを準備する必要 である。

今回試作するプリアンプLSIは、K02-32SAと組み合わせるプリアンプの仕様を検討す ることを目的とする。最終的にはK02-32SAの回路と試作したプリアンプLSIの回路を組 み合わせることで、1チップで64chPMTのアノード64本分の信号処理の全行程を行なえ る VLSIを開発することが目標である。

5.2 設計条件

5.2.1 要求及び設計仕様

3.2.6 節で行なった 64chPMT(+GSO)のエネルギー分解能低下の検証から、現在使用している 64chPMT 用読み出し回路 (ディスクリート素子により構成したプリアンプ回路) は、分解能低下の要因にならないレベルの性能を有していることがわかった。したがって、今回試作するプリアンプLSIも、この読み出し回路程度の性能を有していればよい。つまり、同程度のエネルギー分解能があれば、64chPMT のプリアンプとして十分実用レベルであるといえる。

信号帯域は、64chPMT(+GSO)をコンプトンカメラの吸収体に用いた場合を想定し、 100 keV ~ 1 MeV (GSO に入射するガンマ線のエネルギー)とした。また、ゲインを調整 できるように帰還容量を外付けで変更できるようにした。

- 検出器:64chPMT(アノード)
- 標準入力電子数: $10^6 \sim 10^7$ electron/channel @ 100 keV ~ 1 MeV
- 入力信号の極性:負(正も可)
- チップ当りの実装チャンネル数:2 channels
- エネルギー分解能:11%662 keV
- 帰還容量 (外付け):任意
- 帰還容量 (内蔵):1 pF
- 帰還抵抗:任意 基準電流により調整

- gm = 5.41 mS @ Id = 300 uA
- テストパルス入力回路付き
- 5.2.2 検出器の性状 (64chPMT(アノード)+GSO)
 - 漏れ電流: 0.2 nA/channel (カタログ値)
 - 出力容量: 2.0~2.7 pF/channel (測定値)
 - 利得: 3.0 × 10⁵ (カタログ値)
 - チャンネル数: 64(8 × 8) channels
 - 標準出力信号: 10⁶~10⁷ electron/channel (測定値) @ 100 keV ~ 1 MeV

5.3 開発スケジュール

当初、要件を満たす回路を複数パターン考え、試作も複数回行う予定であったが、十分 要件を満たす回路を設計することができたことから試作は一度のみとし、VDEC 第 5 回 試作 (ローム 0.35 μ m プロセス)に申し込んだ。マスクデータ提出の 2 か月前から回路設 計・回路シミュレーションを開始し、残り 1 か月でレイアウト設計を行なった。ローム 0.35 μ m プロセスのデザインルールを満たすことを確認し、マスクデータを VDEC に提 出した。それから 3 か月後、QFP パッケージされたチップが 4 個、ベアの状態のチップ が 16 個、計 20 個のチップが納入された。納入までに製作しておいた評価ボードを用い、 チップの評価を行なった。図 5.1 にタイムテーブルをまとめた。



図 5.1: プリアンプ LSI 開発のタイムテーブル

5.4 システム設計

5.4.1 試作案

今回、1 チップに2 タイプのプリアンプ回路を組み込む (表 5.1)。各パラメータの定義に ついては、4.2.1 節を参照。幅の比較的広いトランジスタでは、ゲートの分布抵抗が無視 できないため、折り返し構造にすることが一般的である。パラメータ M は、その折り返 し回数を示している。

2つのプリアンプの違いは、採用している増幅要素の違いであり、タイプA1には、フォー ルデッドカスコード (folded cascode) 型の増幅要素を、タイプA2には、ブーステッドカ スコード (boosted cascode) 型の増幅要素を採用している。2つの増幅要素は基本性能は 同じであるが、ブーステッドカスコード型を採用した場合、インピーダンスがカスコード トランジスタのドレイン側で高く、ソース側で低くなるため、オープンループゲインを向 上させることができる。また、入力トランジスタのゲート・ドレイン間の容量 (ミラー容 量) も軽減されるため、周波数帯域も改善することが期待できる。以下、これら増幅回路 の特徴を簡単に述べる。

| タイプ | ドレイン電流 Id[µA] | アスペクト比 W/L | gm[mS] | 増幅要素のタイプ |
|-----|---------------|-------------------------|--------|-----------------|
| A1 | 300 | $8/0.5 \text{ M}{=}100$ | 5.4 | folded cascode |
| A2 | 300 | $8/0.5 \text{ M}{=}100$ | 5.4 | boosted cascode |

表 5.1: 試作案

フォールデッドカスコード型増幅回路

フォールデッドカスコード型増幅回路(図5.2)は、カスコード接続のトランジスタが直 列に接続されているテレスコピックカスコード(telescopic cascode)型増幅回路(図5.3)の 制限された出力振幅や入力-出力間の短絡の難しさを低減した回路である。フォールデッド カスコード型増幅回路の第一の利点は、入力デバイスの上にカスコード接続のトランジス タが積まれていないため、使用できる電圧レベルの幅を広げることができることである。





図 5.2: フォールデッドカスコード型 増幅回路 図 5.3: テレスコピックカスコード型 増幅回路 ブーステッドカスコード型増幅回路

ブーステッドカスコード型増幅回路の原理は、図 5.4 に示すように Vx (図中の X 点の 電位)を Vb に保とうとするアンプを用いて M2 のゲート電圧を駆動することである。こ れによって Vx は Vb に制限され、M2 のドレイン端の電圧変動が Vx に依存しなくなる。 結果、あらたにカスコードデバイスを積み上げることなく、大きな利得を得ることができ る。図 5.5 に示す例は、3 重カスコードに匹敵する利得を得ることができる。





図 5.4: ブーステッドカスコード型増 幅回路

図 5.5: ブーステッドカスコード型増 幅回路の例

5.4.2 回路構成

図 5.6 に 1 チップの回路構成を示す。荷電増幅回路 (CSA) とバッファ回路から構成され る回路ブロックを 2 系統内蔵している。また、帰還容量は調整できるようにするため外付 けとした。

信号は「A1in」、「A2in」端子を介してCSAに入力され、バッファを介して「A1out」、 「A2out」端子から出力される。また、「TP」端子を通じてテストパルスが入力できるようになっており、「ENB」端子から"H"信号を入力することにより、テストパルス入力が可能となる。なお、「TP」、「ENB」、バッファ用基準電流入力「IOP」、抵抗回路用リファレンス電流入力「IFB」、プリアンプ用基準電流入力「IPR」は便宜上、2つの回路で共通とした。

5.4.3 チップの構成

LSIの種類として、セミカスタムLSIとフルカスタムLSIがあるが、今回は64chPMT を用いた検出器により適合したもの作成することが目的であるため、より自由度の高いフ ルカスタムによる試作を行う。

チップパラメータ

- 会社名: ローム株式会社
- プロセス: CMOS 0.35 μm



図 5.6: ブロック図

- パッド数:60 個
- チップサイズ: 2.4 × 2.4 mm²
- PolySi:2 層
- メタル配線:3 層
- 電源電圧: 3.3 V
- パッケージ: セラミック QFP80

回路規模

- トランジスタ数:108 個
- 容量数:14 個
- •抵抗数:21 個

電源供給

- 正極電源 (VDD) = 1.65 V
- 負極電源 (VSS) = -1.65 V
- 基準電流源用電源 (IPR,IFB,IOP) = 1.65 V
- グラウンド (GND) = 0 V

5.5 回路設計

回路設計はシステム設計の要求を満たす回路を、SPICE記述で表現することが目的で ある。回路入力にはTanner社の回路図エディタ「S-Edit」を用いた。

CMOS プロセスでは、基本的に PMOS、NMOS で回路を構成していくため、独自の設 計方法がある。今回、ISAS の池田先生の指導を受けることができ、目標の回路を設計す ることができた。今回試作するプリアンプ LSI の特徴は、ローパスフィルタとして、バイ アス回路に 2 層ポリシリコン容量、バイアス回路が生成した基準電圧をうける回路のすべ てに MOS ゲート容量を配置したことである。これにより、電源の高周波ノイズを除去す ることができ、回路をより安定させることができると考えられる。

ここでは、設計した荷電増幅回路とその構成回路、およびバイアス回路について述べ る。なお、全体の回路図および SPICE ネットリストは付録 A 参照。荷電増幅回路は、増 幅要素と帰還容量、および容量に蓄えれた電荷を放電するための帰還抵抗からなる。今回 試作する LSI には、フォールデッドカスコード型増幅要素をもつプリアンプ (タイプ A1) とブーステッドカスコード型増幅要素をもつプリアンプ (タイプ A2) の 2 パターン組み込 んでいる。

5.5.1 荷電増幅回路の構成

図 5.7 参照。荷電増幅回路の構成は、タイプ A1、A2 で増幅要素以外は共通である。ここでは、タイプ A1の荷電増幅回路を示す。回路ブロック「 PrC_A1 」は、5.5.1 節で説明する増幅要素 (タイプ A1)に対応する。回路ブロック「HiR」は 5.5.3 節で説明する帰還抵抗としての高抵抗回路である。帰還抵抗としては、通常、数 100M Ω ~ 数 G Ω 程度の高抵抗素子を使うことが多い。しかし、LSI上では、このような高抵抗素子を作ることは構造上困難である。したがって、本回路では高抵抗素子の代わりに、MOS トランジスタの差動対を利用した高抵抗回路を利用している。回路ブロック「inv2」は、スイッチの役割をもっており、ENB 端子に"H" 信号を入力することで、TP 端子からテストパルスを入力することが可能となる。今回試作するプリアンプの帰還容量は外付けで調整するが、外付け容量が無くても動作するように 1pF の帰還容量は内蔵した。



図 5.7: 荷電増幅回路のブロック図 (左) と回路図 (右)

5.5.2 増幅要素の構成 (タイプA1)

図 5.8 参照。タイプ A1 のプリアンプの増幅要素はフォールデッドカスコード型である。 AIN、AOUT 端子はそれぞれ入力端子、出力端子である。VH、VM、VL はそれぞれ M5、 M4、M2 のゲート電圧を入力する端子であり、これらの電圧はバイアス回路より供給さ れる。M1 は、入力トランジスタと呼ばれるもので、プリアンプ全体の gm を決定してお り重要な役割をもつ。一般的に pMOS トランジスタの方が雑音 (1/f ノイズ) が小さいこ とから、入力トランジスタには、pMOS トランジスタを用いている。M2、M5 は、基準 バイアス回路から VL、VH の電圧を受け取り、定電流を生成する。M3、M4 は、それぞ れ M2、M5 とカスコード構造となっており、出力インピーダンスを高めている。M6~M9 は MOS のゲート容量を利用した容量の代替であり、電源ノイズを除去するローパスフィ ルタとして利用している。容量の種類として、MOS ゲート容量、2 層ポリシリコン容量、 2 層メタル容量があるが、後者 2 つの容量レイアウトは大面積を必要とし、集積効率を低 下されてしまうため、ここでは MOS ゲート容量を採用している。



図 5.8: フォールデッドカスコード型増幅要素 (タイプ A1)の回路図 (左) とブロック図 (右)

5.5.3 増幅要素の構成 (タイプA2)

図 5.9 参照。タイプ A2 のプリアンプの増幅要素はブーステッドカスコード型である。基本構造はフォールデッドカスコード型増幅要素と同等であるが、M7、M10 から構成される補助アンプにより、M3 のドレイン端での電圧変動がソース端の電圧に影響しなくなる。 結果、出力電流が変動しにくくなり、より高い出力インピーダンスを得る。



図 5.9: ブーステッドカスコード型増幅要素 (タイプ A2)の回路図 (左) とブロック図 (右)

5.5.4 高抵抗回路の構成

図 5.10 参照。MOS トランジスタの差動対を利用して高抵抗を実現した回路である。M1、 M6 は RLo 端子から受け取った電圧によって駆動され、定電流を生成する。同様に M2、 M11 は RHi 端子から受け取った電圧によって駆動され、定電流を生成する。VM 端子は M11 のカスコードトランジスタである M5 を駆動するための基準電圧を印加する。VIN1 端子と VIN2 端子に外部から電圧信号が与えられると、その比に応じて M4、M6 にドレイ ン電流が流れる。M7、M8、M12 はゲート容量を利用したローパスフィルタである。IOUT 端子には、VIN1 端子、VIN2 端子電位差に比例した電流が流れ、抵抗としての機能をも つことになる。RHi、RLo 端子に印加する基準電圧を調整することにより、抵抗値の値を 調整することが可能である。基準電圧はバイアス回路により生成される。

5.5.5 バイアス回路の構成

図 5.11 参照。増幅要素、抵抗回路、バッファ回路を動作させるための基準電圧を生成す る回路である。M4は、ゲートとドレインが短絡されており、MOSダイオード構造になっ ている。このドレイン・ゲートのノードには、IIN 端子となっており、外部から基準電流 を流し込むようになっている。M3 は M4 とともにカレントミラーを構成しており、その ドレイン電流には、M4 とほぼ同じ電流が流れる。同様に M1 と M2 もカレントミラーを 構成している。M3 は M2 のカスコードトランジスタでもあって、M2 の電流誤差を低減 する働きをする。M5 は、pMOS トランジスタによる MOS ダイオードであり、そのドレ イン・ゲートの電圧を VH 端子を介して出力するようになっている。1 pF の容量を挟み 込むことによって高周波ノイズに対する感度を下げている。



図 5.10: 高抵抗回路の回路図 (左) とブロック図 (右上)



図 5.11: バイアス回路の回路図 (左) とブロック図 (右上)

5.6 回路シミュレーション

LSIは、一度作成されてしまうと回路構成を変更することはほぼ不可能であるため、シ ミュレーションで要求どおりに動作することを保証することは必須である。シミュレー ション項目としては出力波形だけでなく、ノイズ、電源感度等の評価も行なうことも重要 である。もし不具合があれば、回路設計にフィードバックし修正を行なう。

今回、SPICE シミュレーションには、Tanner 社の回路シミュレータ「T-SPICE」を用 い、SPICE パラメータは、ローム社提供の 0.35 μ m チップ用パラメータを用いた。

5.6.1 シミュレーション用回路の構成

シミュレーション用回路の構成を図 5.12 に示す。テストパルスは ENB 端子に 1.65 V の電圧を入力し"H"の状態にして、TP 端子より入力する。テストパルスは 1 pF の容量 を介して、電荷信号として荷電増幅回路に注入される。ただし、チップのテストパルス入 力は、スイッチとして使用している MOS によって入力波高が制限されるため、リニアリ ティ測定の際は、チップ外部に作成したテストパルス入力 (TP2 端子) からテストパルス を入力する。

プリアンプ出力には、整形回路 (整形時定数 $Tm = 1 \mu s$) を接続している。なお、プリアンプの性能を評価するため、プリアンプ以外の回路は理想素子により構成した。



図 5.12: シミュレーション用回路

荷電増幅回路は、入力された電荷信号を電圧信号に変換する役割をもつ。入力電荷を *Q_{in}、*出力電圧を*V_{out}とすると、*

$$Q_{in} = -C_f V_{out}$$

が成り立つ。ここで C_f は、帰還容量を表す。本シミュレーションでは、64chPMT(+GSO) に 1 MeV のガンマ線が入射したときのアノードから出力される電荷 (-1.6 pC) が入力さ れたとき、プリアンプ出力が 0.5 V 程度になるように設定する。この場合、

$$C_f = \frac{Q_{in}}{V_{out}} = \frac{1.6 \times 10^{-12}}{0.5} = 3.2 pF$$

となる。1 pFの帰還容量は内蔵しているため、外付けの容量は 2 pF 程度必要であるが、余裕をみて 3 pFの容量を接続した。したがって帰還容量 4 pF となり、そのときのプリアンプ出力は 0.4 V 程度になる。

5.6.2 パルス波形

テストパルスにより電荷を入力したときの、プリアンプ出力波形について評価した。ここでは、検出器容量(0 pF ~ 100 pF)に対する影響についても評価したが、出力波形に違いはなかった。なお、高抵抗回路の基準電流は、5 µA に設定している。

負入力に対するパルス波形

64 chPMT(+GSO)に 1 MeV のガンマ線が入射したときにアノードから出力される電 荷-1.6 pC (テストパルス TP = -1.6 V)を入力されたときの、プリアンプの出力波形 (PA OUT)を 図 5.13(タイプ A1)、図 5.14(タイプ A2) に示す。また図中には、参考として整 形回路の出力波形 (SH OUT) も示した。図をみると、最大波高値は 400 mV、減衰時定 数は 31 μ s となっていることがわかる。時定数は、帰還容量と帰還抵抗の積であるから、 高抵抗回路は、7.8 M の抵抗として動作していることがわかる。



図 5.13: 入力電荷が -1.6 pC のとき の出力波形 (タイプ A1)



正入力に対するパルス波形

正電荷(1.6 pC)を入力したときの場合の出力波形を図 5.15(タイプ A1)、図 5.16(タイ プ A2)に示す。図から最大波高値は -400 mV、減衰時定数は 46 µs となっていることか ら、高抵抗回路の抵抗値は、12 M 程度になっていることがわかる。

なお、負入力の場合と時定数が異なっているのは、帰還抵抗として使用している高抵抗 回路は、正入力、負入力に対して、同じ抵抗値を示すことが保証されていないためであ る。時定数は高抵抗回路の基準電流を調整し、目的値に合わせ込む必要がある。



図 5.15: 入力電荷が 1.6 pC のとき の出力波形 (タイプ A1)

図 5.16: 入力電荷が 1.6 pC のとき の出力波形 (タイプ A2)

5.6.3 負電荷を入力したときのプリアンプ出力のリニアリティ

プリアンプ出力のリニアリティを評価するため、テストパルスにより電荷を段階的に注入したときの、出力値の入力値との線形関係からのずれについて調べた。フィッティング 直線は 64chPMT(+GSO) に 100 keV ~ 1 MeV のガンマ線が入射したときに、アノード から出力される電荷(-1.6 pC ~ -0.16 pC)の範囲でフィッティングを行なった近似直線 である。結果のグラフは入力電荷(Charge)とプリアンプ出力(Output)の関係、および残 差(residual)を示している。なお、テストパルスを 0.01 V(0.01 pC)刻みで入力してい るため、データ点とフィッティング直線は重なってみえる。

タイプA1のプリアンプのリニアリティを図 5.17 に示す。 -1.6 pF ~-0.16 pF の電荷入 力に対して、0.1% 以下の精度でリニアリティが確保されていることがわかる。これは、 一次関数によるエネルギー較正を行なった場合、100 keV (電子数換算で約 10^6 electron) のピーク値のずれが、0.1 keV (電子数換算で約 1000 electron)程度になることを意味し、 十分な精度でリニアリティが確保できているといえる。0.1% 以下の精度でリニアリティ を確保する場合、入力のダイナミックレンジは 40 倍程度確保でき、0.2% まで許容すれ ば、50 倍程度まで確保できることがわかる。

タイプ A2 のプリアンプのリニアリティを図 5.18 に示す。タイプ A1 とほぼ同等であり、 十分なリニアリティが確保されていることがわかる。



図 5.17: 負電荷が入力されたときの プリアンプ出力のリニアリティ(タイ プA1)

図 5.18: 負電荷が入力されたときの プリアンプ出力のリニアリティ(タイ プ A2)



図 5.19: 正電荷が入力されたときの プリアンプ出力のリニアリティ(タイ プA1)

図 5.20: 正電荷が入力されたときの プリアンプ出力のリニアリティ(タイ プ A2)

5.6.4 正電荷を入力したときのプリアンプ出力のリニアリティ

正電荷入力のリニアリティについても同様に評価した (図 5.19、図 5.20)。フィッティン グ範囲は、0.16 pC ~ 1.6 pC とした。この範囲の電荷入力に対しては、タイプ A1、A2 ともに 0.2 % 程度の精度でリニアリティが確保されており、問題ないレベルである。0.2 % の精度を求める場合、入力のダイナミックレンジがタイプ A1 で約 20 倍、タイプ A2 で約 25 倍程度になっており、ブーステッドカスコード型プリアンプの方が広くとれるこ とがわかった。しかし、いずれにおいても、負入力のダイナミックレンジと比べると大幅 に狭まっていることもわかった。 プリアンプ出力に整形回路(整形時定数 Tm = 1.0 μs)を接続し、検出器容量を変化さ せながらノイズレベルを評価した。ただし、1/f ノイズは無視している。ここで整形回路 を通すのは、プリアンプ単体では、信号帯域には当てはまらない低周波側、高周波側のノ イズの影響により、積分ノイズが発散してしまうためである。整形回路の微分回路により 低周波ノイズが除去され、積分回路により高周波ノイズを除去される。

シミュレーション結果 (図 5.21、図 5.22) のグラフの縦軸 (Noise Spectral density:NSD[V]) は、雑音スペクトルの周波数領域での積分値を示したものである。したがって、高周波 端での値が出力における雑音値を示していることになる。なお、この値は実測における RMS(Root Mean Square) ノイズ [V] に相当する。ノイズは電子数で考えると理解しやす いため、ENC(Equivalent Noise Charge) に変換する。ENC は入力電子数 [electron] と整 形回路出力の波高値 [V] との比から求めることができる。このシミュレーションによって 得られた容量勾配を図 5.23、図 5.24 に示す。

タイプ A1 のプリアンプの容量勾配 (図 5.23) をみると、64chPMT のアノードの検出 器容量 (約 2.5 pF)におけるノイズは 1000 electron (RMS) 程度になっている。これ は、64chPMT(+GSO) に 100 keV のガンマ線が入射したときに生成される電子数 (10⁶ electron)に比べて十分小さく問題ないことがわかる。

タイプ A2 のプリアンプの容量勾配 (図 5.24) をみると、ノイズレベルがタイプ A1 にく らべ、全体的に低くなっていることがわかる。これは、ブーステッドカスコード型プリア ンプの方が低ノイズであることを意味している。



図 5.21: タイプ A1 のノイズ評価

図 5.22: タイプ A2 のノイズ評価

5.6.6 正極電源 (VDD) に対するノイズ感度

プリアンプ出力の電源ノイズに対する依存性について、検出器容量(0 pF ~ 100 pF) を変化させながら評価した(図 5.25、図 5.26)。なお、検出器容量が 0 pF に高周波域で発 散したような形になるのは、検出器容量は高周波ノイズを下げるフィルターとしての効果 をもっているためである。



図 5.25: タイプ A1 の正極電源 (VDD) に対するノイズ感度

図 5.26: タイプ A2 の正極電源 (VDD) に対するノイズ感度

タイプA1のプリアンプにおいて、検出器容量が0 pFである場合、100 MHz 付近で最大となり、25 dB (17 倍)程度になっている。使用する電源 (PW18-1.8Q) のふれは 100 MHz で 100 μ V 程度であるから、プリアンプ出力における電圧のふれは、1.7 mV 程度 (電子数換算で約 4.3 × 10⁴ electron)になる。

タイプ A2 のプリアンプにおいて、検出器容量が 0 pF である場合、100 MHz 付近で最 大となり、13 dB(4.5 倍)程度になっている。タイプ A1 より正極電源 (VDD) に対する ノイズ感度は低く抑えられており、ブーステッドカスコード型プリアンプは電源の変動を 抑制する効果もあることがわかった。

これら高周波域のノイズの影響は、プリアンプ後段の整形回路(積分回路)を通すこと で除去できる。

5.6.7 負極電源 (VSS) に対するノイズ感度

負極電源に対するノイズ感度についても同様に評価した (図 5.27、図 5.28)。タイプ A1 のプリアンプにおいて、検出器容量が 0 pF である場合、100 MHz 付近で最大となり、25



図 5.27: タイプA1の負極電源 (VSS) に対するノイズ感度

図 5.28: タイプA2の負極電源 (VSS) に対するノイズ感度

dB (17 倍)程度になっている。使用する電源 (PW18-1.8Q) のふれは 100 MHz で 100 μ V 程度であるから、プリアンプ出力における電圧のふれは、 1.7 mV 程度 (電子数換算で約 4.3 × 10⁴ electron)になる。

タイプA2のプリアンプにおいて、検出器容量が0pFである場合、100MHz付近で最大となり、11dB(3.5倍)程度になっている。タイプA1より負極電源(VSS)に対するノイズ感度は低く抑えられていることがわかり、正極電源(VDD)と同様、プーステッドカスコード構造の効果がみられる。

正極電源と同様にこれら高周波ノイズの影響は、整形回路を通すことで除去できる。

5.6.8 スキュー解析

スキュー解析は、nMOS、pMOSの製造精度を SPICE パラメータとして反映させ、製造プロセスの誤差の影響を評価するシミュレーションである。回路が不安定である場合、 MOS 精度のバラツキにより発振等の影響が出てくる可能性がある。実際、初期設計では、 荷電増幅回路と2 段構成のバッファ回路を用いてプリアンプを構成したため、全体で3 段 増幅となり、負帰還をかけると不安定になり発振することがあった。そこでバッファ回路 を1段の演算回路としたところ、安定化することができた。

nMOS、pMOSの精度パラメータの組み合わせを変えたときのプリアンプ出力を図 5.29、 図 5.30、各パラメータを表 5.2 に示す。NF,NT,NSのNはnMOS、PF,PT,PSのPはpMOS を示し、F,T,S はそれぞれ Fast(高精度), Typical(標準),Slow(低精度)を意味している。

出力波形 (図 5.29、図 5.30) をみると、時定数、DC 値にバラツキがあることがわかる。 時定数については高抵抗回路の基準電流値を変えることで調整できるが、オフセットは調 整できない。よって、後段回路 (K02-32SA) とは AC 結合する必要があると考えられる。

各パラメータ (表 5.2) をみると、ドレイン電流 I_d 、トランスコンダクタンス g_m の変動 は小さく、MOS 精度のプリアンプの性能に対する影響は少ないと考えられる。





図 5.30: MOS 精度の出力波形への影響 (タイプ A2)

| | <i>I</i> _d [μA](タイプA1) | g _m [mS](タイプA1) | <i>I</i> _d [μA](タイプA2) | g _m [mS](タイプA2) |
|-------|-----------------------------------|----------------------------|-----------------------------------|----------------------------|
| NS-PS | -299.9 | 5.08 | -295.7 | 5.04 |
| NS-PF | -297.1 | 5.76 | -296.2 | 5.75 |
| NT-PT | -300.3 | 5.41 | -299.1 | 5.41 |
| NF-PS | -303.4 | 5.10 | -300.2 | 5.10 |
| NF-PF | -300.7 | 5.78 | -299.9 | 5.79 |

表 5.2: MOS 精度の各パラメータへの影響

5.6.9 消費電力

以上のシミュレーションは、最適な動作をするように基準電流源 (IPR,IFB,IOP) の電流 値を調整しながら行なった。最終的な設定値は、IPR = 300 μ A, IFB = 5 μ A,IOP = 200 μ A となった。正極電源 (VDD)、負極電源 (VSS) の電流値は、シミュレーション結果か ら、VDD は 1.32 mA、VSS は-1.95 mA となった。以上の結果および消費電力を表 5.3 に まとめた。

一つのプリアンプ (増幅要素、高抵抗回路、バッファ回路)の消費電力は、0.83 mW 程度になり、プリアンプ LSI 全体の消費電力は、 6.2 mW 程度になることがわかった。

| 電源 | 電圧[V] | 電流 [mA] | 消費電力 [mW] |
|-------------------|---------------|----------------|-----------|
| 正極電源 (VDD) | $1.65 { m V}$ | 1.32 | 2.18 |
| 負極電源 (VSS) | -1.65 V | -1.95 | 3.22 |
| 増幅要素用電流源 (IPR) | $1.65 { m V}$ | 0.3 | 0.495 |
| 高抵抗回路用電流源 (IFB) | $1.65 { m V}$ | 0.005 | 0.0083 |
| バッファ回路用電流源 (IOP) | $1.65 { m V}$ | 0.2 | 0.33 |

表 5.3: シミュレーションにおける消費電力

5.7 レイアウト設計

回路シミュレーションにより、要求を満たす回路を構成することができたため、得られた SPICE 記述をもとにレイアウト設計を行なう。今回は、VDEC 経由でローム 0.35 µm プロセスによる設計を行なう。VDEC では、チップ試作のための以下のようなツール群を提供しており、チップ試作申請を行なうことにより使用することができる。

- レイアウトエディタ … virtuoso (cadence 社)
- DRC … Calibre DRC (Mentor 社)
- LVS … Calibre LVS (Mentor 社)

今回、新規に VDEC からライセンスを取得し、これらのソフトウェアを研究室のコン ピュータ (Sun Blade 150) にインストールして使用した。なお、これらのソフトウェアの 使用法は、広島大学先端物質科学研究科岩田研の升井さんにお世話になった。

5.7.1 レイヤの定義

現在のLSIはガラスマスク上に描かれたパターンをシリコンウエハ上に転写し加工する ことを繰り返すことにより作成される。レイアウトはこのマスク上パターンを作成するた めの図形データの集合である。そのためレイアウトはマスク毎に区別されており、それら をレイヤと呼んでいる。ただし、すべてのレイヤがマスクと1対1の関係になっているわ けではなく、一部のマスクはレイヤ間の図形処理によって作成される。図 5.31 にレイア ウト例と断面を、CMOS プロセスで主に使用するレイヤを表 5.4 に示す。



図 5.31: レイアウト例とその断面

5.7.2 デザインルール

LSIのレイアウト設計は、LSI製造メーカーが提供するデザインルールを満たすことが 最重要である。実際にシリコンウエハ上にできるパターンはCAD上で描いたような多角

| NWELL | N ウェル。P 型基板を使っていて P 型デバイス (P チャンネルの MOS など) |
|--------|--|
| | を作る時に N 型基板が必要になるが、N ウェルを作ることで P 型基板の一 |
| | 部を N 型基板のように扱うことができる。 |
| NDIFF | N 拡散。N+領域を形成する。 |
| PDIFF | P拡散。P+領域を形成する。 |
| ACTIVE | NDIFF と PDIFF 領域を OR 演算したものを ACTIVE 領域という ACTIVE |
| | 領域には薄い酸化膜が形成され、AVTIVE 領域以外は厚いフィールド酸化 |
| | 膜(LOCOS) が形成される |
| POLY | ポリシリコン。シリコンが多結晶状態になったもので、 イオン注入によっ |
| | てその電気抵抗が下がるので配線、 MOS のゲート電極に使われる。また |
| | Active が POLY をまたいでいるところは POLY の下に不純物イオンが打 |
| | ち込まれないので、MOSのソースとドレインを分離 することができる。 |
| CONT | コンタクト。絶縁膜(酸化膜)に穴をあけ、 金属配線と拡散領域(P++また |
| | はN++)、金属配線とpoly配線を電気的に接続する。 |
| 1METAL | 金属配線。MOS トランジスタができて、その上に絶縁膜を付けて コンタ |
| | クトホールを開け終わって、最後に金属 (主に Al) で配線する。 電源 (VDD |
| | とVSS)は金属配線にするべきである。 |

表 5.4: 主なレイヤ

形の集合ではなく、角がとれて丸くなっていたり、位置が若干ずれていたりする。そのこ とを考慮して余裕をもってレイアウトする必要がある。デザインルールの一般的な例を図 5.32、表 5.5 に示す。

今回使用したデザインルールは、VDEC 提供のローム 0.35 µm プロセス用のものである。

5.7.3 レイアウト

実際のレイアウトは、ローム 0.35 µm プロセスで製作された K01 を参考に行った。今回、2つのプリアンプ回路を組み込む仕様であるが、各々が影響し合わないように距離をおいてレイアウトを行った。レイアウト法の詳細は省くが、図 5.33 のように SPICE 記述にある素子を一つずつ描き、それらを配線していく作業である。

5.7.4 レイアウトの検証 (DRC,LVS)

VDEC 提供のローム 0.35 µm デザインルールを用いて、Calibre DRC によるデザイン ルールチェックを行なった結果、容量に関するエラーが大量に出力された。これは精度保 証するため、容量のレイアウトサイズが厳しく制限されていたためであった。その条件を 満たすレイアウトはサイズが大きく、K02-32SA のような多チャンネルの信号処理系をも つLSIには適合しない。調査した結果、物理的制限を満たしておけば、問題がないことが 判明したため、この容量関係のエラーは無視した。

次に VDEC から LVS 用ルールファイルを入手し、Calibre LVS を用いてレイアウトか らネットリストを抽出し、回路設計で得た SPICE ネットリストと比較検証を行なった。 しかし、VDEC 提供のルールファイルは、デジタル回路用に最適化されていたため、容 量、抵抗が認識されず、今回試作するプリアンプ LSI には不適であることがわかった。そ



図 5.32: デザインルールの例

| Group | Name | μm | |
|--------|--------------------|---------|---|
| 拡散 | 最小幅 | 0.5 | |
| | 同一ウエル内拡散間隔 | 0.5 | а |
| | 同一ウェル内 P 拡散-N 拡散間隔 | 0.5 | b |
| ポリシリコン | 最小幅 | 0.5 | с |
| | 最小間隔 | 0.5 | d |
| | 拡散-ポリシリコン間隔 | 0.25 | е |
| | ゲート長 | 0.5 | f |
| | ゲートピッチ | 1 | g |
| | ゲート突き出し | 0.5 | h |
| 1メタル | 最小幅 | 0.5 | i |
| | 最小間隔 | 0.5 | j |
| ウエル | 最小幅 | 1.25 | |
| | ウェル-拡散マージン | 0.75 | m |
| | N ウェル - P ウェル間隔 | 0 | |
| コンタクト | スペース(エッジ) | 0.5 | n |
| | 幅 | 0.5 | 0 |
| | ポリシリコン - コンタクト含有 | 0.5 | р |
| | 拡散-コンタクト含有 | 0.25 | q |

表 5.5: デザインルールの例



図 5.33: レイアウトエディタ画面

こで、K01 用に別途調製されたアナログ回路用ルールファイルにより検証を行なった。その結果、容量、抵抗が正常に認識され、LVS を通すことができた。

DRC、LVS を通した最終的なレイアウトを図 5.34 に示す。このレイアウトをマスクデー タ (GDS-II) に変換し、VDEC 経由で LSI 製造メーカー (ローム) に提出した。

5.7.5 注意事項

本チップ試作は東京大学大規模集積システム設計教育研究センターを通し ローム (株) および凸版印刷 (株) の協力で行われたものである。



図 5.34: 完成したレイアウト

第6章 プリアンプLSIの評価

6.1 セットアップ

試作したチップの評価回路のセットアップを図 6.1、チップ端子の説明を表 6.1 に示す。 チップのソケットおよびボードはリアライズ AT 社のローム QFP80 ピン (2.3 mm 角チッ プ) 用ソケットおよびローム QFP ピン (2.3 mm 角チップ) 用変換ボードを使用した。こ れらは、VDEC 経由で発注することができる。



図 6.1: プリアンプ LSI の評価用セットアップ

増幅要素、高抵抗回路、バッファ回路用基準電流は、それぞれ IPR、IFB、IOP 端子よ リ入力する。定電流は可変抵抗を用いた電流源を構成し、抵抗値を変えることで、電流値 を調整できるようにした。基準電流値、外付け容量の大きさの初期値は、シミュレーショ ンで設定した値 (IPR = 300 μ A, IFB = 5 μ A, IOP = 200 μ A, 外付け容量 = 3 pF)で ある。

プリアンプLSIの出力は、バッファ回路、整形増幅回路 (整形時定数 $Tm=1\mu s$ 、ORTEC Model 571)、MCA(AMPTEK MCA8000A) を通して PC でデータ集録した。プリアンプ 出力の信号が小さい場合は、増幅回路 (反転増幅回路) を通して整形増幅回路に入力した。

テストパルスは、容量を介して電荷信号に変換されプリアンプに注入される。チップの テストパルス入力に関しては、チップ内の容量の精度は未知で正確な電荷注入が出来ない 可能性があり、またスイッチとして使用している MOS によって入力の電圧値が制限され てしまうため、ディスクリートな素子で構成したテストパルス入力も別に製作し、信号入 力端子から入力できるようにした。ただし、ノイズ評価を行なう場合は、できるだけケー ブル容量等の影響を減らす必要があるため、チップのテストパルス入力を使用した。
| 端子名 | 説明 |
|-----|-------------------------------------|
| S01 | 増幅要素がフォールデッドカスコードであるプリアンプの入力端子 |
| S02 | 増幅要素がブーステッドカスコードであるプリアンプの入力端子 |
| A01 | 増幅要素がフォールデッドカスコードであるプリアンプの出力端子 |
| A02 | 増幅要素がブーステッドカスコードであるプリアンプの出力端子 |
| ENB | テストパルス入力のイネーブル信号を入力する端子。+1.65Vの電圧をか |
| | けることでテストパルス入力が可能となる。 |
| TP | テストパルス入力。1pFの容量を介して電荷信号としてチップ内の荷電 |
| | 増幅回路に注入される。 |
| IPR | 荷電増幅回路用リファレンス電流入力端子。荷電増幅回路用バイアス回 |
| | 路の出力電圧値を調整する |
| IFB | 高抵抗回路用リファレンス電流入力端子。高抵抗回路用バイアス回路の |
| | 出力電圧値を調整する |
| IOP | バッファ回路用リファレンス電流入力端子。バッファ回路用バイアス回 |
| | 路の出力電圧値を調整する |
| VDD | チップ用電源 (+1.65 V) |
| VSS | チップ用電源 (-1.65 V) |
| GND | チップグラウンド |

表 6.1: ピンの役割

6.2 評価および結果

6.2.1 消費電力

消費電力を求めるため、正極電源 (VDD)、負極電源 (VSS) における電流値をテスター により測定した。なお、基準電流値はシミュレーションで使用した値になるように設定し ている。以上の結果および消費電力を表 6.2 にまとめた。プリアンプ LSI 全体の消費電力 は 6.3 mW となり、シミュレーション結果 (6.2 mW) とほぼ等しくなることがわかった。

| 電圧源(電流源) | 電圧[V] | 電流 [mA] | 消費電力 [mW] |
|------------------------|---------------|----------------|-----------|
| 正極電源 (VDD) | $1.65 { m V}$ | 1.25 | 2.06 |
| 負極電源 (VSS) | -1.65 V | -2.04 | 3.37 |
| 増幅要素用電流源 (IPR) | 1.65 V | 0.3 | 0.5 |
| 高抵抗回路用電流源 (IFB) | 1.65 V | 0.005 | 0.008 |
| バッファ回路用電流源 (IOP) | 1.65 V | 0.2 | 0.33 |

表 6.2: 実回路における消費電力

6.2.2 出力波形

QFP パッケージ化されている 3 チップ (No1,No2,No3) の出力波形をオシロスコープで 取得した (図 6.2 ~ 図 6.7)。テストパルスは 64chPMT(+GSO) に 1 MeV のガンマ線が入 射したとき、アノードから出力される電子数 (約 10⁷ electron) 想定し、-1.6 V の矩形波を 入力した。また、正入力(1.6 V)の場合の出力波形も同様に取得した。増幅要素、高抵抗 回路、バッファ回路の基準電流値は、シミュレーション値で固定して測定した。なお、正 入力、負入力で時定数が異なっているのは、帰還抵抗として使用している高抵抗回路は、 正入力と負入力に対する動作が同じ(抵抗値が同じ)になることが保証されていないこと に起因する。

負入力の場合、波高値は 400 mV 程度、時定数は 30 μ s 程度であるから、3 チップと もほぼシミュレーション結果 (波高値 400 mV 、時定数 31 μ s) と一致していることがわ かった。

正入力の場合、波高値は -400 mV 程度になっておりシミュレーション値 (波高値-400 mV)通りであるが、指数関数的減衰していないことに加え、3チップで増幅要素の違い によらず時定数に 45 μ s ~ 80 μ s の間でバラツキが存在した。この原因として、サンプル 数が少ないため断言はできないが、高抵抗回路の MOS 精度のバラツキによって、正入力 に対する高抵抗回路の帰還電流に非線型性が生じている可能性が考えられる。

次にオフセットレベルを測定したが、-100mVから-200mVのオフセットが存在していることがわかった。オフセットは抵抗回路のトランジスタのランダムなバラツキによって発生していると考えられ、今回試作したチップでは調整することができない。



以後の評価は、もっともシミュレーションの波形に近いNo3のチップについて行なった。

1

2

Ch1 200mV

図 6.3: テストパルス(1.6 V)を入 力したときのチップ(No.1)の出力波 形(上:タイプA1、下:タイプA2)

Ch2 200mV

M40.0µs A 外部 J 323mV

III→▼:160.200µs

形 (上:タイプ A1、下:タイプ A2)

図 6.2: テストパルス (-1.6 V) を入

力したときのチップ (No.1) の出力波

6.2.3 負電荷を入力したときのリニアリティ

プリアンプ出力のリニアリティを評価するため、電荷を段階的に注入したときの出力値 の入力との線形関係からのずれについて調べた。フィッティング直線は64chPMT(+GSO) に 100 keV ~ 1 MeV のガンマ線が入射したときに、アノードから出力される電荷(-1.6 ~ -0.16 pC)の範囲でフィッティングを行なったときの近似直線である。結果のグラフは



図 6.4: テストパルス (-1.6 V)を入 力したときのチップ (No.2)の出力波 形 (上:タイプ A1、下:タイプ A2)



図 6.5: テストパルス(1.6 V)を入 力したときのチップ(No.2)の出力波 形(上:タイプA1、下:タイプA2)



図 6.6: テストパルス (-1.6 V)を入 力したときのチップ (No.3)の出力波 形 (上:タイプA1、下:タイプA2)



図 6.7: テストパルス(1.6 V)を入 力したときのチップ(No.3)の出力波 形(上:タイプA1、下:タイプA2)

入力電荷 (Charge) とプリアンプ出力 (Output) の関係、および残差 (residual) を示してい る。なお、テストパルスは 100 mV 刻みで行ない、プリアンプの出力値は、オシロスコー プのアベレージ機能を使用し読み取った。

タイプ A1 のプリアンプのリニアリティを図 6.8、タイプ A2 のリニアリティを図 6.9 に 示す。シミュレーションにくらべ 残差 [%] は 10 倍程度なっている。これは、テストパル スの精度、測定誤差の影響であると考えられる。それでも 2 % 程度の範囲に収まってい ることから、リニアリティ、ダイナミックレンジは十分確保できているといえる。

誤差が大きいため、全域にわたって線形性が良くみえるが、シミュレーションでは、プリアンプ出力が 0.8 V (入力電荷 -3 pC) に達したあたりで線形性が崩れ始めているため、 実回路においてもこの範囲で運用する必要がある。



図 6.8: タイプ A1 の負電荷が入力さ れたときのリニアリティ

図 6.9: タイプ A2の負電荷が入力さ れたときのリニアリティ

6.2.4 正電荷を入力したときのリニアリティ

正電荷入力のリニアリティについても同様に評価した (図 6.10、図 6.11)。フィッティン グ範囲は、0.16 pC ~ 1.6 pC とした。この範囲の電荷入力に対しては、リニアリティは 確保できているといえる。ダイナミックレンジについては、シミュレーションと同様、負 入力にくらべ狭くなることがわかった。

6.2.5 ノイズ評価

100 keV のガンマ線が 64chPMT(+GSO) に入射したときにアノードから出力される電子数 10⁶ electron 相当のテストパルスを入力し、入力容量とノイズレベルの関係について 調べた。

ノイズレベルは、シミュレーションと同様に ENC(Equivalent Noise Charge) に変換し 評価する。ENCは、得られたヒストグラムのピークの幅から RMS ノイズ [V] を求め、こ の値を入力電子数 [electron] と整形回路出力 [V] との比から電子数に変換することで求め ることができる。



図 6.12: タイプ A1 のプリアンプの 容量勾配

図 6.13: タイプ A2 のプリアンプの 容量勾配

なお、本測定で使用した整形増幅回路 (ORTEC model 571)の出力パルス波形は、疑似 ガウス関数 (semi-gaussian) であるため、シミュレーションの一段の積分回路で構成した 整形回路よりノイズレベルは小さくなっている。疑似ガウス関数で整形 (Semi-gaussian shaping) した場合のノイズレベルは、一段の整形回路で整形 (CR-RC shaping) した場合 の 0.82 倍 程度になる。

図 6.12(97TA1)、図 6.13(97TA2)に評価結果を示す。シミュレーションとの比較 のため、CR-RC 整形の場合に換算したノイズレベルも示した。入力容量が、64chPMT(ア ノード)の検出器容量(約 2.5 pF)の場合には、1300 electron (RMS)程度になることが わかった。外来ノイズ除去等、評価回路を最適化することにより、シミュレーション値 1000 electron (RMS)により近づけることは可能であると考えられるが、いずれにしても、 64chPMT(+GSO)の入力信号 10^6 electron と比べて十分低く抑えられており問題ないレ ベルである。また、タイプ2の方が全体的にみて、ノイズレベルが低くなっていることが わかる。これはシミュレーションでも確認できており、ブーステッドカスコード型プリア ンプの方が低ノイズであることが実証することができた。

シンチレーション検出器で得られたスペクトル中のFWHMは、検出器中における信号 生成のポワソンゆらぎ、信号収集のポワソンゆらぎ、検出器から測定器に信号を伝える 間に加えられる電気ノイズに起因するゆらぎに依存する。入射ガンマ線のエネルギーが 上がるにつれて、信号生成のポワソンゆらぎ、信号収集のポワソンゆらぎは増加するが、 電気ノイズに起因するゆらぎはガンマ線のエネルギーに無関係である。テストパルス入力 の場合、FWHM は電気ノイズにのみ影響する。そのことを確認するため、0.01 pC から 0.16 pC に相当するテストパルスを入力したときのノイズレベルを評価した (図 6.14、図 6.15)。これにより、ノイズレベルは入力電荷 (入射ガンマ線のエネルギー) と相関がない ことが示された。





図 6.14: タイプ A1 の入力とノイズ レベルの関係

図 6.15: タイプ A2 の入力とノイズ レベルの関係

6.2.6 64chPMTの信号入力(アノード)

実際に 64chPMT(+GSO) のアノードとプリアンプ LSI を接続し、¹³⁷Cs の 662 keV の ガンマ線を入射し、スペクトルを取得した (図 6.16、図 6.17)。

50 ADC channel 付近にあるピークが 662 keV に相当し、190 ADC channel 付近がプリアンプの限界出力値(1.5 V 程度)がきている。よって 1 MeV は 0.5 V 程度となり、 ほぼ設定どおりのゲインになっていることがわかった。

なお、ピークの幅が広くなってしまうのは、PMTの光電面と同じ大きさのシンチレー タを使っているためである。この場合、単一エネルギーのガンマ線が入射しても、アノー ド1本が収集できる光子数は、ガンマ線がシンチレータ内で光電吸収等の相互作用を起こ した場所によって変化するため、結果としてエネルギー分解能は悪くなる。アノード信号 は、重み平均をとることにより、ガンマ線の入射位置を決定することに利用するため、エ ネルギー分解能は直接的には要求しない。

6.2.7 64chPMT の信号入力 (ダイノード)

試作したプリアンプLSIと、現在の64chPMT用読み出し回路(ディスクリート素子で 構成したプリアンプ回路)とエネルギー分解能を比較のため、ダイノード出力のスペクト ルを取得した。ただし、ダイノード出力の電子数は、個々のアノードに比べて大きくなる



図 6.16: 662 keV (¹³⁷Cs) のガンマ線 が入射したときのアノードのスペク トル (タイプ A1)

図 6.17: 662 keV (¹³⁷Cs) のガンマ線 が入射したときのアノードのスペク トル (タイプ A2)

ため、帰還容量を 100 pF に変更した。

662 keV (¹³⁷Cs) のガンマ線が入射したときのダイノードのスペクトルを図 6.18(タイプ A1)、図 6.19(タイプ A2) に示す。662 keV におけるエネルギー分解能はタイプ A1 で 11.3% 、タイプ A2 で 11.4 % となった。現在の 64chPMT 用読み出し回路は 10.9 % 程度である から、ほぼ同程度の性能を有することがわかった。

88 keV (¹⁰⁹cd)のスペクトルを図 6.20(タイプ A1)、図 6.21(タイプ A2) に示す。¹⁰⁹Cd の 88 keV のピークも十分識別できており、スペクトル中の 10 ADC channel 付近のピーク は電気ノイズに相当するもので、約 13 keV 程度になっていることから、ノイズレベルは 十分低く抑えられていることがわかった。



図 6.18: 662 keV (¹³⁷Cs) のガンマ線 が入射したときのダイノードのスペ クトル (タイプ A1)

図 6.19: 662 keV (¹³⁷Cs) のガンマ線 が入射したときのダイノードのスペ クトル (タイプ A2)



図 6.20: 88 keV (¹⁰⁹Cd) のガンマ線 が入射したときのダイノードのスペ クトル (タイプ A1)

図 6.21: 88 keV (¹⁰⁹Cd) のガンマ線 が入射したときのダイノードのスペ クトル (タイプ A2)

6.3 まとめ

パルス波形の評価において、64chPMTのアノード信号に相当する電荷をテストパルス により入力した結果、その出力波形はほぼシミュレーション通りの形になった。ノイズレ ベルの評価において、入力容量が64chPMT(アノード)の検出器容量(約2.5 pF)の場合 のノイズレベルは1300 electron (RMS)程度になり、目標値1000 electron (RMS)には及 ばなかったが、評価回路を最適化することにより十分近づけることが可能であると考えら れる。いずれにしても、アノードの信号レベルに対して、十分低く抑えられており問題な いことがわかった。リニアリティに関しては、テストパルスの精度、測定誤差の影響で残 差は大きくなったが、アノード信号に対する線形性は、十分確保できることがわかった。 実際に64chPMTに接続し、ダイノード信号における662 keV (¹³⁷Cs)のエネルギー分解 能を、現在の64chPMT 用読み出し回路(ディスクリート素子で構成したプリアンプ回路) と比べたところ、ほぼ同等であることがわかった。

以上の結果から、今回試作したプリアンプLSIは、64chPMT用のプリアンプとして十分 実用レベルであることがわかった。また、今回2種類のプリアンプを組み込んだが、ブー ステッドカスコード型の方が低ノイズを実現できることを実証することができた。

問題点としては、-100 mV ~ -200 mV のオフセットの存在があった。これは、後段回路(K02-32SA)との接続する際、AC 結合することによって解消できると考えられる。その他の問題点として、正入力の場合のパルス波形において、指数関数的減衰にならないこと、およびチップによって時定数が一定にならないことがあげられる。時定数のバラツキは、高抵抗回路の基準電流値で調整することで、補正できるため大きな問題ではない。指数関数的減衰にならないことの原因としては、MOS 精度のバラツキによって高抵抗回路が非線形的動作している可能性が考えられる。今回は、64chPMT のアノード信号(負入力)を想定しているため、正入力の場合の問題を考慮する必要はないが、今後、応用として正信号を扱う場合に備えて、改善すべき点である。

第7章 まとめ

100 keV ~ 1 MeV に感度をもつコンプトンカメラの開発を目指して、64chPMT(+GSO) とPD を組み合わせた検出器を開発した。その性能評価を行なったところ、位置決定精度 の指標である角分解能が実用レベルに達していないことが明らかになった。その原因を調 査した結果、64chPMT が期待されるエネルギー分解能を実現できていないことが主要因 であることがわかった。そのエネルギー分解能低下の原因を調査するため、シンチレータ サイズに対する依存性、ピークホールド回路の有無、温度依存性について検証した。その 結果、シンチレータサイズを小さくしていく検証のみエネルギー分解能が向上させること ができた。しかし、10 mm × 10 mm × 10 mm のGSO シンチレータを用いても¹³⁷Cs の 662 keV のエネルギー分解能が 9.6 % 程度になり、一般的な PMT とGSO で実現できる 7 % を実現することができなかった。その結果を受け、光電面の位置によるゲイン・分解 能の存在が考えられため、LED 光を用いて入射位置によるゲイン・分解能を検証したと ころ、ゆらぎがあることが確認された。これについては、64chPMT の内部電極構造を製 造元である浜松ホトニクス社と相談し改良していく必要がある。

昨年度開発した VLSI(K02-32SA)を評価した結果、さらなる改良は必要であるが、要求 どおりの性能を実現できていることがわかった。しかし、K02-32SAには設計の難しいプ リアンプ回路が組み込まれておらず、外付けで準備する必要がある。そこで本論文では、 K02-32SA と組み合わせるためのプリアンプ回路の仕様を検討することを目的として、プ リアンプLSIの設計・開発をおこなった。回路設計を行なうにあたって、ISASの池田先生 の指導を受けることができ、ノイズレベルが1000 electron、リニアリティを 0.2 % 精度 で確保した場合の入力のダイナミックレンジが 50 倍 程度になる、64chPMTのアノード 信号用プリアンプとして十分な性能をもつ回路を設計することができた。レイアウト設計 は、K02-32SAのときは外注していたが、今回LSIの知識を深めることを目的として、広 大工学部岩田研の協力を得ながら、我々でおこなった。納入されたチップの出力パルス、 ノイズレベル、リニアリティを評価した結果、ほぼシミュレーション通りの性能を有して いることがわかった。そこで実際に 64chPMT に接続し、 662 keV (¹³⁷Cs) のガンマ線の スペクトルを取得したところ、ダイノード信号における 662 keV のエネルギー分解能は 11 % 程度になり、現在の 64chPMT の信号読み出し回路 (ディスクリート素子で構成され たプリアンプ回路) とほぼ同程度なった。また、88 keV (¹⁰⁹Cd) も十分識別でき、ノイズ レベルも十分低いことがわかった。よって、今回試作したプリアンプLSIは64chPMTの プリアンプ回路として十分な性能をもっているといえる。今後は正信号入力の場合に生じ た問題点の改善等の改良を行ない、実際に K02-32SA の回路と組み合わせた VLSI の開発 を目指す。

付 録A プリアンプLSIのピン対応図お よび回路図

A.1 ピン配置一覧表

ピン配置一覧表、ピン配置対応図 (図 A.1)、パッケージピン接続対応図 (図 A.2)、チッ プパッド配置図 (図 A.3) を示す。

| ピン番号 | 名称 | 説明 | | パッド | パッド番号 |
|------|-----|---------------|-----|-------|-------|
| 1 | | | B1 | | 1 |
| 2 | NC | | | | |
| 3 | | | B2 | | 2 |
| 4 | NC | | | | |
| 5 | VDD | コア用 (1.65V) | B3 | PAD | 3 |
| 6 | VDD | コア用 (1.65V) | B4 | PAD | 4 |
| 7 | TP | テストパルス入力 | B5 | ANAIO | 5 |
| 8 | ENB | イネーブル信号入力 | B6 | IOR | 6 |
| 9 | | | B7 | | 7 |
| 10 | VSS | コア用 (-1.65V) | B8 | PAD | 8 |
| 11 | VSS | コア用 (-1.65V) | B9 | PAD | 9 |
| 12 | VSS | コア用 (-1.65V) | B10 | PAD | 10 |
| 13 | VSS | コア用 (-1.65V) | B11 | PAD | 11 |
| 14 | VDD | コア用 (1.65V) | B12 | PAD | 12 |
| 15 | VDD | コア用 (1.65V) | B13 | PAD | 13 |
| 16 | | | | | |
| 17 | | | B14 | | 14 |
| 18 | NC | | | | |
| 19 | | | B15 | | 15 |
| 20 | NC | | | | |
| 21 | | | R15 | | 16 |
| 22 | NC | | | | |
| 23 | | | R14 | | 17 |
| 24 | NC | | | | |
| 25 | GND | アナログ・グラウンド | R13 | PAD | 18 |
| 26 | GND | アナログ・グラウンド | R12 | PAD | 19 |
| 27 | A02 | 信号出力 | R11 | ANAIO | 20 |
| 28 | | | R10 | | 21 |
| 29 | GND | グラウンド(保護回路付き) | R9 | ANAIO | 22 |
| 30 | GND | アナログ・グラウンド | R8 | PAD | 23 |

| 31 | GND | アナログ・グラウンド | R7 | PAD | 24 |
|----|-----|---------------|-----|-------|----|
| 32 | | | R6 | | 25 |
| 33 | A01 | 信号出力 | R5 | ANAIO | 26 |
| 34 | GND | アナログ・グラウンド | R4 | PAD | 27 |
| 35 | GND | アナログ・グラウンド | R3 | PAD | 28 |
| 36 | NC | | | | |
| 37 | | | R2 | | 29 |
| 38 | NC | | | | |
| 39 | | | R1 | | 30 |
| 40 | NC | | | | |
| 41 | | | T15 | | 31 |
| 42 | NC | | | | |
| 43 | | | T14 | | 32 |
| 44 | NC | | | | |
| 45 | VDD | コア用 (1.65V) | T13 | PAD | 33 |
| 46 | VDD | コア用 (1.65V) | T12 | PAD | 34 |
| 47 | VSS | コア用 (-1.65V) | T11 | PAD | 35 |
| 48 | VSS | コア用 (-1.65V) | T10 | PAD | 36 |
| 49 | VSS | コア用 (-1.65V) | T9 | PAD | 37 |
| 50 | VSS | コア用 (-1.65V) | Τ8 | PAD | 38 |
| 51 | IOP | 電流設定 バッファ用 | T7 | ANAIO | 39 |
| 52 | IFB | 電流設定 高抵抗回路用 | T6 | ANAIO | 40 |
| 53 | IPR | 電流設定 プリアンプ用 | T5 | ANAIO | 41 |
| 54 | VDD | コア用 (1.65V) | Τ4 | PAD | 42 |
| 55 | VDD | コア用 (1.65V) | Τ3 | PAD | 43 |
| 56 | NC | | | | |
| 57 | | | T2 | | 44 |
| 58 | NC | | | | |
| 59 | | | T1 | | 45 |
| 60 | NC | | | | |
| 61 | | | L1 | | 46 |
| 62 | NC | | | | |
| 63 | | | L2 | | 47 |
| 64 | NC | | | | |
| 65 | GND | アナログ・グラウンド | L3 | PAD | 48 |
| 66 | GND | アナログ・グラウンド | L4 | PAD | 49 |
| 67 | S01 | 信号入力 | L5 | ANAIO | 50 |
| 68 | | | L6 | | 51 |
| 69 | GND | アナログ・グラウンド | L7 | PAD | 52 |
| 70 | GND | アナログ・グラウンド | L8 | PAD | 53 |
| 71 | GND | グラウンド(保護回路付き) | L9 | ANAIO | 54 |
| 72 | | | L10 | | 55 |
| 73 | S02 | 信号入力 | L11 | ANAIO | 56 |

| 74 | GND | アナログ・グラウンド | L12 | PAD | 57 |
|----|-----|------------|-----|-----|----|
| 75 | GND | アナログ・グラウンド | L13 | PAD | 58 |
| 76 | NC | | | | |
| 77 | | | L14 | | 59 |
| 78 | NC | | | | |
| 79 | | | L15 | | 60 |
| 80 | NC | | | | |



図 A.1: ピン配置対応図



ローム0.35um 2.4mm角チップパッドーQFP80パッケージピン接続対応図

図 A.2: パッケ ジピン接続対応図

ローム0.35um 2.45mm角チップパッド配置図



VDEC設置ロジックテスターを使用する場合の電源グランドパッド配置 V: 内部用電源パッド VC: ↓0パッド 用電源パッド

G: 内部用グランドパッド G0: 10パッド用グランドパッド

○電源グランドのパッドの配置は図面通りは必須では無いがパッド数の目安としていただきたい ○コーナ部利用制限PADはコーナーセルの制約から来るものである

○Mebes描画範囲(チップ外形から75um内側)より外側にはいかなる図形の描画も禁止する ○4方のコーナ部への一切の図形配置禁止

図 A.3: チップパッド配置図

A.2 SPICE ネットリストと回路ブロック図

.SUBCKT PAD PAD .ENDS





🛛 A.4: PAD

.SUBCKT ANAIO A M1 A VDD VDD VDD P L=0.5u W=800u M=1 M2 A VSS VSS VSS N L=0.5u W=350u M=1 .ENDS



🛛 A.5: ANAIO

.SUBCKT IOR A B M1 A VDD VDD VDD P L=0.5u W=800u M=1 M2 B VSS VSS VSS N L=0.5u W=350u M=1 M3 A VSS VSS VSS N L=0.5u W=350u M=1 M4 B VDD VDD VDD P L=0.5u W=800u M=1 R5 A B 10K TC=0.0, 0.0 .ENDS



🛛 A.6: IOR

.SUBCKT BIASa IIN VH C1 IIN VH 1pF C2 N3 N1 1pF M1 N3 N1 Vss Vss N L=3u W=6u M=10 M2 N1 N1 Vss Vss N L=3u W=6u M=10 M3 VH IIN N1 Vss N L=1u W=6u M=10 M4 IIN IIN N3 Vss N L=1u W=6u M=10 M5 VH VH Vdd Vdd P L=1u W=15u M=10 .ENDS .SUBCKT BIASD IIN VH VL C1 IIN VH 1pF C2 N3 VL 1pF M1 N3 VL Vss Vss N L=3u W=6u M=10 M2 VL VL Vss Vss N L=3u W=6u M=10 M3 VH IIN VL Vss N L=1u W=6u M=10 M4 IIN IIN N3 Vss N L=1u W=6u M=10 M5 VH VH Vdd Vdd P L=1u W=15u M=10 .ENDS .SUBCKT BIASc IIN VL C1 IIN N1 1pF C2 N3 VL 1pF M1 N3 VL Vss Vss N L=3u W=6u M=10 M2 VL VL Vss Vss N L=3u W=6u M=10 M3 N1 IIN VL Vss N L=1u W=6u M=10



🛛 A.7: BIASa



🗷 A.8: BIASb



🛛 A.9: BIASc

M4 IIN IIN N3 Vss N L=1u W=6u M=10 M5 N1 N1 Vdd Vdd P L=1u W=15u M=10 .ENDS

.SUBCKT BIASd IIN VH VL VM C1 IIN VH 1pF C2 N3 VL 1pF M1 N3 VL Vss Vss N L=3u W=6u M=10 M2 VL VL Vss Vss N L=3u W=6u M=10 M3 VH IIN VL Vss N L=1u W=6u M=10 M4 IIN IIN N3 Vss N L=1u W=6u M=10 M5 VH VH Vdd Vdd P L=1u W=15u M=10 R3 GND VM 10K TC=0.0, 0.0 .ENDS



🛛 A.10: BIASd

.SUBCKT CHAINO HRI IFB IOP IPR RLo VH VL VL2 VM XBIAS1_1 IFB N1 BIASa XBIAS2_1 N3 HRI RLo BIASb XBIAS3_1 IOP VL2 BIASc XBIAS4_1 IPR VH VL VM BIASd M1 N3 N1 VDD VDD P L=1u W=3u M=1 .ENDS

.SUBCKT OP1B INN INP OUT VL M1 N2 INP N4 VSS N L=1u W=6u M=10 M2 OUT INN N4 VSS N L=1u W=6u M=10 M3 N4 N3 VSS VSS N L=3u W=6u M=20 M4 VSS N3 VSS VSS N L=3u W=6u M=20 M5 N2 N2 VDD VDD P L=1u W=15u M=10 M6 OUT N2 VDD VDD P L=1u W=15u M=10 R1 VL N3 10K TC=0.0, 0.0 .ENDS



🛛 A.11: CHAIN0



🛛 A.12: OP1B

.SUBCKT HiR IOUT RHi RLo VIN1 VIN2 VM M1 N34 N39 Vss Vss N L=3u W=6u M=1 M2 N36 N37 VDD VDD P L=1u W=15u M=2 M3 IOUT N38 N36 N36 P L=1u W=3u M=1 M4 Vss VIN1 N35 N35 P L=1u W=3u M=1 M5 IOUT N33 N34 Vss N L=1u W=6u M=1 M6 N41 N39 Vss Vss N L=3u W=6u M=2 M7 Vss N39 Vss Vss N L=3u W=6u M=10 M8 Vss N33 Vss Vss N L=1u W=6u M=10 M9 N41 N41 N36 N36 P L=1u W=3u M=1 M10 N41 N41 N35 N35 P L=1u W=3u M=1 M11 N35 N37 VDD VDD P L=1u W=15u M=2 M12 VDD N37 VDD VDD P L=1u W=15u M=10 R1 RHi N37 10k TC=0.0, 0.0 R2 VIN2 N38 10k TC=0.0, 0.0 R3 VM N33 10k TC=0.0, 0.0 R4 RLo N39 10k TC=0.0, 0.0 .ENDS



🛛 A.13: HiR

.SUBCKT inv1 A Y M1 Y A Vss Vss N L=1.2u W=3u M=1 M2 Y A Vdd Vdd P L=0.4u W=3u M=1 .ENDS

.SUBCKT inv2 ENB out TP Xinv1_1 ENB N4 inv1 M1 out ENB TP VSS N L=0.4u W=3u M=1 M2 out N4 TP VDD P L=0.4u W=3u M=1 .ENDS











```
.SUBCKT prC_A1 AIN AOUT VH VL VM
M1 N38 AIN GND GND P L=0.5u W=8u M=100
M2 N38 N37 Vss Vss N L=3u W=6u M=11
M3 AOUT N34 N38 Vss N L=1u W=6.u M=1
M4 AOUT N36 N35 Vdd P L=1u W=15u M=1
M5 N35 N33 Vdd Vdd P L=1u W=15u M=10
M7 Vss N34 Vss Vss N L=3u W=6u M=10
M7 Vss N34 Vss Vss N L=3u W=6u M=10
M8 Vdd N33 Vdd Vdd P L=1u W=15u M=10
M8 Vdd N36 Vdd Vdd P L=1u W=15u M=10
R1 VH N33 10K TC=0.0, 0.0
R2 VL N37 10K TC=0.0, 0.0
R4 VM N34 10K TC=0.0, 0.0
.ENDS
```



🛛 A.16: PrC-A1

.SUBCKT stage1_A1 AIN AOUT ENB HRi RLo TP VH VL VM C1 N1 TPJ 1pF C2 VSS AOUT 0.2pF C3 AOUT AIN 1pF XHiR_1 AIN HRi RLo AOUT VM VM HiR Xinv2_1 ENB TPJ TP inv2 XprC-A1_1 AIN AOUT VH VL VM prC_A1 R4 N1 AIN 10K TC=0.0, 0.0 .ENDS

.SUBCKT CHAIN1_A1 AIN AOUT ENB HRi RLo TP VH VL VL2 VM XOP1B_1 AOUT N1 AOUT VL2 OP1B Xstage1-A1_1 AIN N1 ENB HRi RLo TP VH VL VM stage1_A1 .ENDS









.SUBCKT prC_A2 AIN AOUT VH VL VM M1 N38 AIN GND GND P L=0.5u W=8u M=100 M2 N38 N37 Vss Vss N L=3u W=6u M=11 M3 AOUT N36 N38 Vss N L=1u W=6u M=1 M4 AOUT N34 N35 Vdd P L=1u W=15u M=1 M5 N35 N33 Vdd Vdd P L=1u W=15u M=10 M7 N36 N37 Vss Vss N L=3u W=6u M=10 M7 N36 N37 Vss Vss N L=3u W=6u M=1 M8 Vdd N33 Vdd Vdd P L=1u W=15u M=10 M9 Vdd N34 Vdd Vdd P L=1u W=15u M=10 M10 N36 N38 GND GND P L=0.5u W=8.u M=1 R1 VH N33 10K TC=0.0, 0.0 R2 VM N34 10K TC=0.0, 0.0 .ENDS



🗷 A.19: PrC-A2

.SUBCKT stage1_A2 AIN AOUT ENB HRI RLO TP VH VL VM C1 N1 TPJ 1pF C2 VSS AOUT 0.2pF C3 AOUT AIN 1pF XHiR_1 AIN HRI RLO AOUT VM VM HIR Xinv2_1 ENB TPJ TP inv2 XprC-A2_1 AIN AOUT VH VL VM prC_A2 R4 N1 AIN 10K TC=0.0, 0.0 .ENDS

.SUBCKT CHAIN1_A2 AIN AOUT ENB HRI RLo TP VH VL VL2 VM XOP1B_1 AOUT N2 AOUT VL2 OP1B Xstage1-A2_1 AIN N2 ENB HRI RLo TP VH VL VM stage1_A2 .ENDS









.SUBCKT CORE A01 A02 ENB IFB IOP IPR S01 S02 TP XCHAINO_1 N6 IFB IOP IPR RLo N1 N2 N4 N5 CHAINO XCHAIN1_A1_1 S01 A01 ENB N6 RLo TP N1 N2 N4 N5 CHAIN1_A1 XCHAIN1_A2_1 S02 A02 ENB N6 RLo TP N1 N2 N4 N5 CHAIN1_A2 .ENDS



☑ A.22: CORE

.SUBCKT TOP A01 A02 ENB GND IFB IOP IPR S01 S02 TP VDD VSS XANAIO_1 AO1 ANAIO XANAIO_2 AO2 ANAIO XANAIO_3 IPR ANAIO XANAIO_4 IFB ANAIO XANAIO_5 IOP ANAIO XANAIO_6 SO1 ANAIO XANAIO_7 SO2 ANAIO XANAIO_8 TP ANAIO XANAIO_9 GND ANAIO XANAIO_10 GND ANAIO XCORE-A_1 A01 A02 N20 IFB IOP IPR S01 S02 TP CORE XIOR_1 ENB N20 IOR XPAD_1 VDD PAD XPAD_2 VSS PAD XPAD_3 GND PAD .ENDS



⊠ A.23: TOP

謝辞

本論文は、多くの人々の協力により作成することができました。大杉先生、深沢先生に は、3年間もの長い間、御指導して頂けたことに対し深く感謝致します。

コンプトンカメラの開発において、研究室の先輩である富永さんの懇切丁寧な説明により、理解を深めることができました。データ処理等の作業のときには、大野さんにはソフトウェアなどの使い方など多くの知識を頂きました。

LSI開発においては、ISAS の池田先生には丁寧な御指導を頂きました。回路設計・シ ミュレーションにおいては、一対一で基本から教えて頂きました。また、レイアウト設計 やLSIの評価を行なう際に生じた初歩的な質問に対しても、丁寧な説明を頂きました。レ イアウト設計において、広大岩田研の升井さんにはレイアウト作業についての基礎を教え て頂きました。研究室の先輩である木原さん、宇宙研の田村さんには、LSI についていろ いろ教えて頂きました。

最後になりましたが、この研究室の一員となれたことは本当良かった思います。おかげ で笑いあり涙ありの濃い3年間を送ることができました。研究室のみなさん、本当にあり がとうございました。これから社会に出ていくわけですが、この研究室で培ったことを生 かして、力強く生きていきたいと思います。

参考文献

- [1] 富永慎弥 2004 年度 広島大学 修士論文
 "高阻止能シンチレータと位置検出型光電子増倍管を用いた宇宙ガンマ線イメージャーの開発"
- [2] 木原邦夫 2005 年度 広島大学 修士論文 "位置検出型シンチレーション検出器・多チャンネル読み出し VLSI の開発"
- [3] 小林謙仁 2003 年度 東京大学 修士論文 "放射線計測用 VLSI の開発と衛星搭載用 CdTe ピクセル検出器への応用"
- [4] 井上北斗 2004 年度 東京大学 修士論文 "2 次元アナログ VLSI を用いた硬 X 線撮像検出器の開発"
- [5] H.Ikeda, "Electronics for Particle Measurement", KEK Report 2002-8, KEK, 2002
- [6] H.Ikeda, "電子回路講義案", KEK Report 2001-8, KEK, 2001
- [7] Gordon Gilmore, John D.Hemingway "実用 ガンマ線測定ハンドブック"(日刊工業)
- [8] Behzad Razari/黒田忠広 "アナログ CMOS 集積回路の設計 基礎編/応用編"(丸善)
- [9] Atsushi Iwata "CMOS 集積回路の基礎"(科学技術出版)
- [10] "LabVIEW データ収集ベーシックマニュアル" NATIONAL INSTRUMENTS,1998.
- [11] "DAQ 6023E/6024E/6025E User Manual" NATIONAL INSTRUMENTS,2000.