X線天文衛星 ASTRO-H 搭載検出器 HXI/SGD の 信号処理で用いられる ADC 単体の動作試験

広島大学 理学部 物理科学科

B076780 後藤国広

高エネルギー宇宙・可視赤外線天文学研究室 主査: 深澤泰司 副査: 岡本宏己

2011年02月25日

概 要

銀河団や宇宙の大規模構造、星の進化についてはまだ解明されていないことが多いが、ブラックホール、 超新星爆発、活動銀河核といった高エネルギーの天体現象が宇宙の構造や進化に大きな影響を与えているこ とは明らかになってきている。これらの高エネルギーの天体現象の解明に必要である硬 X 線、ガンマ線観 測をすべく、次期 X 線天文衛星 ASTRO-H 計画が 2014 年打ち上げを目指して進められている。ASTRO-H 衛星の4つの検出器のうち2つの主要センサー部(HXI、SGD)は BGO アクティブシールドで囲まれてい る。BGO アクティブシールドは主にバックグラウンドを感知し、除去するためのものである。この BGO アクティブシールドからのアナログ信号をデータ処理のためにデジタル信号に変換するときに用いられる AD コンバーター(ADC)はこれまで衛星に搭載された例がなく、HXI、SGD チームで使用したこともない。

本研究ではこの ADC のための評価基板を作り、いくつかの条件で動作検証を行った。具体的には、まず 動作検証のために衛星搭載機器通信インターフェイスの世界統一規格 SpaceWire に対応したボードを使用 し、ボード上に搭載されたプログラマブルな IC である FPGA にハードウェア記述言語にて ADC コント ロールおよび波形データ読み出しのための回路設計を書き込んだ。 ADC の動作検証ではまず AD 変換のリ ニアリティを調べ、さらにそのリニアリティが ADC の電源電圧や動作クロックの変化に対して受ける影響 を調べた。また、入力信号の波形や周波数の変化に対する AD 変換の正確さを調べ、実際の BGO アクティ プシールドからの信号と同様の放射線波形を入力し、衛星に搭載される ADC としての妥当性を調べた。

目 次

第1章	序論	6
1.1	背景	6
1.2	研究の目的	6
第2章	X 線天文衛星 ASTRO-H	8
2.1	ASTRO-H の全体像	8
2.2	ASTRO-H 搭載検出器 HXI,SGD の概要	9
2.3	BGO アクティブシールド	11
	2.3.1 BGO シンンチレータ	12
	2.3.2 光センサー Avalanche Photo-Diode: APD	13
2.4	BGO アクティブシールドの 信号処理システム	13
2.5	BGO アクティブシールドで用いられる ADC	14
2.6	開発状況と本論文の位置づけ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	17
	2.6.1 BGO 信号処理系の開発状況	17
第3章	SpaceWire & FPGA	18
3.1	SpaceWire \succeq SpaceCube	18
	3.1.1 SpaceWire の特徴	18
	3.1.2 SpaceCube	20
3.2	SpaceWire IF 搭載ボード	21
3.3	VHDL	22
	3.3.1 UserFPGA \succeq SpaceWire FPGA	23
第4章	ADC128S102の動作検証	25
4.1	ADC 評価用基板 (ADC ボード) の製作	25
	4.1.1 動作システム	27
	4.1.2 ADC ボード回路図設計	28
	4.1.3 LTspice によるアナログシミュレーション	30
	4.1.4 PCBE	30
	4.1.5 基板製作	31
4.2	SpaceWire IF 搭載 FADC ボードを用いた信号読み出しシステム...........	34
	4.2.1 Trigger Module	35
	4.2.2 Control ADC128S102 Module	35
	4.2.3 Save Waveform Module, Buf01 Module	37
4.3	データ取得プログラム....................................	38
	4.3.1 SpaceWire インターフェイスプログラム	38

	4.3.2	データ取得、解析用プログラム	39
4.4	ADC1	28S102の動作検証	41
	4.4.1	AD 変換のリニアリティ測定.................................	43
	4.4.2	電源電圧依存性....................................	45
	4.4.3	ADC 動作クロック依存性	46
	4.4.4	入力波形依存性....................................	47
	4.4.5	BGO+APD 信号の AD 変換	49

第5章 まとめと今後

図目次

2.1	ASTRO-H 完成予想図 [1]	8
2.2	最も単純なコンプトンカメラの概念図 [2]	10
2.3	BGO アクティブシールドの原理	11
2.4	HXI,SGD の BGO アクティブシールドの構造 [1]	12
2.5	シンチレータの種類毎の光出力の温度依存性 (PMT での測定値)[3]	13
2.6	CSA-APMU 基本回路構成案 [4]	14
2.7	逐次比較型 ADC の原理	15
2.8	ADC128S102の動作ブロック[6]	16
2.9	ADC128S102 Serial Timing Diagram[6]	16
2.10	ADC128S102の大きさ[6]	16
3.1	世界統一規格 SpaceWire	18
3.2	ケーブルの構造 [7]	19
3.3	コネクタ・ピンアサイン [7]	19
3.4	ケーブル結線図 [7]	20
3.5	自作した SpaceWire 通信ケーブル..................................	20
3.6	SpaceCube の外観	21
3.7	Digital I/O $\vec{\pi} - \vec{F}$	22
3.8	SpaceWire FADC $\vec{\pi} - \vec{F}$	22
3.9	SpaceWire IF 搭載ボード上のメモリ空間 [10]	24
11	ADC1985102の動作検証セットマップ	25
4.1	ADC1265102の到F快祉ビグドアググ	20
4.2	ADC1285102 のこう記量 $[0]$	20 26
4.5	ADC1285102の入さと(半位・mm)[0]	20 26
4.4	ADC1265102 の与真	20
4.0		21
4.0	$I \boxtimes \mathcal{F} - \mathcal{A} [9] \dots \dots$	21
4.7	ADC128S102 Serial Timing Diagram[6] $\dots \dots \dots$	28
4.8		29
4.9		29
4.10	LTspice による ADC ホードアナロク部シミュレーション。緑緑か入刀信号、青緑か反転後	
	の出刀信亏である。左図の初期段階から部品や配置を変更して石図のように振動を解消した。	30
4.11	POBE で作回した ADC ホードのバターン	31
4.12	露光、現像、エッチングの過程	32
4.13	版ト印刷バターン・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	32

4.14	現像後の感光基板....................................	33
4.15	アルミボックスの内部の ADC ボード	33
4.16	外来ノイズ対策のアルミボックス	33
4.17	動作検証のセットアップ	34
4.18	User FPGA Internal Bus と SpaceWire FPGA、SpaceCube の関係 [10]	35
4.19	User Module 全体のブロック図	35
4.20	SPI 通信の構造	36
4.21	Control ADC Module の状態遷移図	36
4.22	ADC128S102 Serial Timing Diagram[6]	37
4.23	main_sthongo2の使用による動作短縮	38
4.24	波高値の決定方法....................................	40
4.25	5kHz, 振幅 5.0V sin 波の波形 ADC 動作クロック 12.5MHz	41
4.26	AD 変換のリニアリティ	43
4.27	フィッティング直線からの標準化残差.................................	43
4.28	AD 変換のリニアリティ (0V 付近)	44
4.29	AD 変換のリニアリティ (5V 付近)	44
4.30	AD 変換のリニアリティの電源電圧依存性	45
4.31	フィッティング直線からの残差....................................	45
4.32	AD 変換のリニアリティの動作クロック依存性	46
4.33	フィッティング直線からの残差....................................	46
4.34	sin 波のヒストグラム比較	47
4.35	ramp 波のヒストグラム比較	48
4.36	BGO+APD で検出した ¹³⁷ Cs の ADC128S102 での AD 変換後の放射線波形	49
4.37	${ m AD}$ 変換後のデジタル波形を用いた $^{137}{ m Cs}$ の放射線ヒストグラム \ldots \ldots \ldots	49
4.38	5kHz ramp 波の波形 5.0V,12.5MHz	50

表目次

2.1	HXI の性能 [1]	9
2.2	SGD(コンプトンモード)の性能 [1]	11
2.3	代表的な ADC の種類	14
3.1	SpaceCube の仕様	21
4.1	ADC128S102 動作検証の条件	41
4.2	ADC128S102の消費電力	42
4.3	リニアリティ測定の動作条件....................................	43
4.4	電源電圧依存性測定の動作条件	45
4.5	動作クロック依存性測定の動作条件....................................	46
4.6	入力波形依存性測定の動作条件・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	47
4.7	sin 波でのピーク値とその分散の周波数依存性	47
4.8	ramp 波でのピーク値とその分散の周波数依存性	48
4.9	BGO+APD 信号の AD 変換時の動作条件	49

第1章 序論

1.1 背景

宇宙にはブラックホールや超新星爆発、活動銀河核といった高エネルギーの天体現象があるが、これら が星の生成や銀河団や宇宙の大規模構造といった宇宙の進化や構造に大きな影響を与えていることが明ら かになってきている。これらの高エネルギーの天体現象の解明には硬X線やガンマ線による観測が必要で ある。その観測をするため2005年に硬X線検出器HXDを搭載したすざく衛星が打ち上げられ、現在、硬 X線領域での観測が行われている。そして、より広域かつ高感度での観測をするために次期X線天文衛星 ASTRO-H計画が2014年打ち上げを目指して進められている。ASTRO-H計画には宇宙航空研究開発機構・ 宇宙科学研究本部(JAXA/ISAS)を中心に、国内外の多数の大学や研究機関が参加している。

ASTRO-H 衛星には4つの検出器が搭載されており、そのうち2つの硬X線撮像検出器(HXI)と軟ガン マ線検出器(SGD)主要センサー部はBGOアクティブシールドで囲まれている。BGOアクティブシールド とは検出器の周囲をBGO(Bismuth Germanium Oxide)で囲み、視野外方向からのX線、ガンマ線、荷電 粒子を検出してバックグラウンドとして除去するためのものである。BGOアクティブシールドはBGOシ ンチレーター、光センサー APD(Avalanche Photo Diode)、さらに信号処理回路からなる。これらの部品 は衛星に搭載されるものであるので慎重に部品を選び、動作試験をする必要がある。

衛星では観測機器、通信機器などが個別に製作され、それらの機器、装置間では高速かつ正確にデー タ転送するための通信インターフェイスが必要である。従来、その通信規格は衛星ごと、機器ごとに開発 されていたため異なったものが混在し、これにより衛星開発の長期化、コストの増大、信頼性の確保が困 難になるといった問題が生じていた。これらの問題を解決するために、衛星上の各種装置を結ぶ統一通信 規格 SpaceWire が開発され、世界的にその規格策定が進められている。日本でも JAXA/ISAS を中心に SpaceWire の策定に参加している。SpaceWire は高速通信を行えるのみならず、可変ビットレートに対応 するなど、様々な装置間での柔軟な接続を可能にする。さらに、通信規格を SpaceWire に統一することに より我々は観測装置の開発に集中することができる。ASTRO-H 衛星の通信規格にはこの SpaceWire が採 用されており、BGO アクティブシールドの信号処理系にも SpaceWire への対応が要求されている。

1.2 研究の目的

ASTRO-H 衛星搭載 HXI,SGD で採用される BGO アクティブシールドでは、まず視野外からの宇宙線 が BGO 部分を通過すると BGO が発光し、その発光を APD が検出して電子を出し、プリアンプで増幅さ れてアナログ信号となる。このアナログ信号はデータ処理のために Analog-Digital Converter (ADC) でデ ジタル信号に変換され、信号の大きさが測定される。そして主検出器と BGO アクティブシールドで同時に 検出された信号は視野外からのバックグラウンドとして除去するのである。この信号処理系で用いられる ADC は諸条件の下に選定されたが、この ADC は HXI、SGD チームで使用されたことがない。信号を正 しく変換するかどうかは観測結果に大きく影響するので ADC 単体評価は重要である。そこで本研究では実 際に ASTRO-H 搭載 HXI,SGD で使われる ADC128S102QML とほぼ同性能で放射線耐性のない型である ADC128S102の動作検証を行った。具体的には、ADC128S102を搭載した基板を自作し、AD 変換後のデ ジタル信号を SpaceWire IF 搭載ボード上でプログラム可能な IC である FPGA を用いて処理し、AD 変換 のリニアリティ測定、電源電圧および動作クロック依存性から ADC128S102の評価を行った。

第2章 X線天文衛星ASTRO-H

2.1 ASTRO-Hの全体像

X線やガンマ線などの光子は透過力が大変強いため星間物質などの吸収を受けにくく、遠くまで見通す ことができ、高エネルギー天体現象を明らかにするための強力なツールとなる。しかし、X線、ガンマ線 は大気によって吸収されてしまうため地上観測が難しく、宇宙空間での観測が必要である。人工衛星や気球 などを用いた飛翔体観測による高エネルギー天文学は目覚ましい発展を遂げ、高エネルギー天体の正体が少 しずつ明らかになってきた。これらの進展には、日本のX線天文衛星による観測も大きな役割を果たして いる。一方で、10 keV から MeV に至る帯域では X線望遠鏡を作りにくく、またガンマ線と物質との相互 作用はコンプトン散乱が支配的になるため検出が困難で、感度は 10 keV 以下と比較して 1/100 程度と低 い。そのためこの帯域での現象は未だ多くの謎が残っており、他波長と合わせたスペクトルの議論におい て不足があった。この状況を打開すると期待されるのが 2014 年打ち上げを目標としている X 線天文衛星 ASTRO-H(図 2.1) であり、これに搭載される硬 X 線望遠鏡 (Hard X-ray Telescope:HXT)、硬 X 線撮像検 出器 (Hard Xray Imager:HXI:5-80 keV)、軟ガンマ線検出器 (Soft Gamma-ray Detector:SGD:10-600 keV) によって 1 桁以上の感度の向上を見込むことができる。感度向上にはバックグラウンドを徹底的に排除す ることが必要であり、HXI,SGD には BGO シンチレータのアクティブシールドを用いている。



図 2.1: ASTRO-H 完成予想図 [1]

2.2 ASTRO-H 搭載検出器 HXI,SGD の概要

硬X線撮像検出器 (Hard X-ray Imager:HXI) は5-80 keV の帯域をカバーし、この帯域で初めて精度良くイ メージングを行う検出器であり、HXI は 12m の焦点距離をもつ硬X線望遠鏡 (Hard X-ray Telescope:HXT) の焦点面に置かれている。HXI は個々に光子を検出し、そのエネルギーと到来方向を決定する。主検出部 は 0.5mm 厚の両面シリコンストリップセンサー (DSSD)4 層と 0.75mm 厚のテルル化カドミウム半導体 (CdTe)1 層で構成されている。DSSD は 250 µm ピッチの直行する電極ストリップが表裏に設けられてお り、これにより 5-40 keV の光子の到来方向とエネルギーを決定できる。また、20-80 keV の光子は、CdTe により光電吸収を起こしエネルギーが測定される。さらに BGO シンチレータによるアクティブシールド (後述)を用いることで周囲からのバックグラウンドを除去でき、従来よりも約 2 桁感度を向上させること が可能となる。表 2.1 に HXI の性能を示す。

エネルギー領域	5-80 keV
エネルギー分解能	$< 2~{\rm keV}$ @ $60~{\rm keV}$
有効面積	$300~{\rm cm^2@~30~keV}$
視野	$9 \times 9 \operatorname{arcmin}^2$

表 2.1: HXI の性能 [1]

軟ガンマ線検出器 (Soft Gamma-ray Detector:SGD) は、10-600 keV の帯域をカバーし、望遠鏡による 集光系を用いない検出器である。図 2.4 に示すように SGD1 台はコンプトンカメラ 3 台を 1 列に並べた構 造で、図 2.1 のように衛星構体の両側に 1 台ずつ、計 2 台配置される。SGD は BGO の井戸型アクティブ シールドと、リン青銅を用いたファインコリメータにより 150 keV 以下において視野を 33×33 分角以内に 絞ってバックグラウンドを排除し、天体からの光子を個々に直接検出する。さらに次に述べるコンプトン再 構成によりバックグラウンドを除去することによって感度を従来よりも 1 桁以上向上させることができる。



図 2.2: 最も単純なコンプトンカメラの概念図 [2]

主検出部には逆コンプトン散乱を利用したコンプトンカメラを使用している。図 2.2 にコンプトンカメ

ラの概念図を示す。コンプトンカメラは、散乱体と吸収体によって構成され、コンプトン運動学を用いて光 子のエネルギーと到来方向を決定する。まず入射光子が散乱体によってコンプトン散乱され、反跳電子は散 乱体中で止まりエネルギー E₁を失う。散乱前の電子の運動量をゼロとすると、運動量保存則とエネルギー 保存則より

$$E_1 = \frac{E_{\gamma}}{1 + \frac{E_{\gamma}}{m_e c^2} (1 - \cos \theta)} \tag{2.1}$$

となる。ここで $E\gamma$ は入射光子のエネルギー θ は光子の入射方向に体する散乱角である。一方で、散乱光子 は吸収体で光電吸収されエネルギー E_2 を失う。式 2.1 より、

$$\cos\theta = 1 - m_e c^2 \left(\frac{1}{E_2} - \frac{1}{E_1 + E_2}\right) \tag{2.2}$$

となる。これより $E_{\gamma} = E_1 + E_2$ として入射光子のエネルギーを求めることができる。散乱体におけるコン プトン散乱と吸収体における光電吸収の反応位置と式 (2.2) より散乱角 θ を用いて光子の到来方向を円環内 に制限できる。より高エネルギーのイベントは、光電吸収確率が下がるため多重コンプトン散乱によって 位置とエネルギーを決定できる。複数のイベントに対する円状の領域の重なり部分を取ることで天体のイ メージを取得することが可能となる。さらに、コンプトン散乱は偏光に依存するため、光子の偏光を測定す ることもできる。SGD での上記の観測方法をコンプトンモードと呼ぶ。表 2.2 に SGD のコンプトンモー ドでの性能を示す。SGD には光電吸収モードもあるが、これは有効面積が大きく、エネルギー帯域も広く なるが、コンプトンモードよりもバックグラウンドが大きくなるので比較的明るい天体の観測に使われる。 また、SGD-WAM という観測方法もある。これは大きな有効面積で、広い視野をもつ BGO で検出された 信号を使って Gamma-Ray Burst(GRB) などの突発現象の観測を行うものである。SGD の BGO は打ち上 げ時には世界最大の GRB 検出器となり、年間 200 個程度の GRB が検出できると予想されている [2]。

エネルギー領域	40-600 keV
エネルギー分解能	$< 4~{\rm keV}$ @ 40 ${\rm keV}$
有効面積	$20~{\rm cm^2@~100~keV}$
視野	$33 \times 33 \operatorname{arcmin}^2 (< 150 \text{ keV})$
	$600 \times 600 \text{ arcmin}^2 (> 150 \text{ keV})$

表 2.2: SGD(コンプトンモード)の性能 [1]

2.3 BGO アクティブシールド

ASTRO-H では HXI と SGD においてバックグラウンド軽減のために BGO のアクティブシールドが用いられる。BGO は無機シンチレータで、有効原子番号や比重が他の無機シンチレータより大きく、阻止能が高いことが特徴である。以下に、アクティブシールドの原理を述べる。



図 2.3: BGO アクティブシールドの原理

BGO アクティブシールドでは図 2.3 に示すように各 BGO ブロックで反応したイベントと主検出部で反応したイベントの反同時計数を取ることによってセンサー部のみでは落としきれないバックグラウンドとなる X 線、ガンマ線、荷電粒子などの除去を行う。具体的に HXI,SGD の BGO アクティブシールドの構造を図 2.4 に示す。HXI,SGD ともにアクティブシールドはトップ部、サイド部、ボトム部から構成される。HXI ではトップ部 4 個、サイド部 4 個とボトム部 1 個の BGO ブロックで主検出部を取り囲む構造となっているため、アクティブシールドは HXI1 台につき合計 9 個の BGO ブロックで構成される。また、SGD でも同様に BGO ブロックが主検出部を囲む構造をしているが、コンプトンカメラ 3 台を 1 列に並べた構造をしているため数量が異なり、アクティブシールドは SGD1 台あたり 25 個の BGO ブロックで構成される。



図 2.4: HXI,SGD の BGO アクティブシールドの構造 [1]

2.3.1 BGO シンンチレータ

放射線測定法の1つとして、電離放射線によってある物質中で発生したシンチレーション光を検出して 電気信号に変換するというものがある。シンチレーション過程は各放射線の検出とスペクトル測定を行う ための最も有効な方法として現在でも広く利用されている。HXI,SGDのアクティブシールドに使われるシ ンチレータとして要求される特徴は(1)阻止能が高いこと、(2)放射エネルギーが高効率で蛍光に変換され ること、(3)蛍光に対して透明度が高い(反応しにくい)こと、(4)蛍光の減衰時間が短いこと、(5)蛍光の 波長分布が光検出器の感度に適していること、(6)大きな結晶が製造可能であることなどが挙げられる。ま た、衛星の軌道上へ運ぶためコンパクト性も要求される。

これらの要求を考慮して HXI,SGD では無機結晶シンチレータである BGO(Bi₄Ge₃O₁₂) が使われる。 BGO は大きな比重 (7.3g/cm³) とビスマスの大きな原子番号 (83) をもち、市販されている他のシンチレー タよりも単位体積あたりのガンマ線光電効果が大きいことが特徴である。このことはサイズが厳しく制限 される宇宙用検出器には大きな利点である。また、図 2.5 に示すように低温ほど光量が増加するので低温 での動作が要求される半導体検出器との相性がよく、BGO より光量が多いが低温で下がってしまう CsI や NaI に比べて有用である。さらに、BGO はすざく衛星、INTEGRAL 衛星、Fermi 衛星などで使用された 実績がある。



図 2.5: シンチレータの種類毎の光出力の温度依存性(PMT での測定値)[3]

2.3.2 光センサー Avalanche Photo-Diode: APD

HXI,SGD では視野外からの宇宙線によるバックグラウンドを除去し、視野を絞って天体からの信号を検 出するために BGO アクティブシールドが使われるが、そのシンチレーション光の読み出しにはアバラン シェフォトダイオード (APD) が採用される。

APD はフォトダイオードの一種で、なだれ (アバランシェ) 増幅によって電子の増幅を行っている。p型 半導体とn型半導体を接合させた半導体検出器に逆バイアスをかけると空乏層内部で発生した電子-正孔が それぞれ N⁺,P⁻ ヘドリフトされる。キャリアの速度は電界の強さに依存するが、電界が強いと結晶格子に よって散乱し、全体としてある一定速度になる。それ以上に電圧を印加するとキャリアが非常に大きなエネ ルギーをもち、結晶格子と衝突して新たに電子-正孔対を生成する。新たに生成したキャリアがさらに電子-正孔対を生成し、連鎖的に電子が増幅される。これがなだれ増幅の原理である。 シンチレーション光の読み出しに従来よく使われていた光電子増倍管 (PMT) ではなく APD が採用され た理由には主に次の2つがある。1つは図2.4からわかるようにBGO ブロックは複雑に組み合わされた構 造であり、また HXI2 台と SGD2 台で合計68 個と数が多いため、全てのBGO ブロックに取り付けること を考えると PMT よりもサイズが10×10mm 程度と比較的小さい APD の方が限られた空間を有効に使える という理由である。もう1つは PMT を動作させるには約1000V 程度の高電圧が必要であるため多くの電 力を供給しなければならず、衛星上で使用することを考えると400V 程度の電圧で稼働する APD の方が消 費電力の面で適しているという理由である。

2.4 BGO アクティブシールドの信号処理システム

BGO で発生したシンチレーション光は APD で電荷に変換されるが、さらにノイズとの区別やデータ処 理のための波形整形やアナログ-デジタル変換を行う必要がある。HXI では1台あたり 9ch の BGO+APD の信号を、SGD では1台あたり 25ch の信号を処理する。入力信号である電荷はまず電荷有感型前置増幅 器 (Charge Sensitive Amplifier: CSA) で増幅されて電圧波形へと変換され、次に軽度の波形整形が行われ る。その後、信号は APD 用信号処理回路 (APD Processing & Management Unit; APMU) へ送られ、波 形のゲイン調節、整形等の他に Analog-Digital Converter(ADC) によってアナログ信号をデジタル波形信 号に変換することでデジタル処理できるようにし、さらに Field-Programmable Gate Array(FPGA; 後述) でデジタルフィルタ処理や波高値取得などを行う。図 2.6 は CSA-APMU の基本回路構成案である。



図 2.6: CSA-APMU 基本回路構成案 [4]

2.5 BGO アクティブシールドで用いられる ADC

積分型	2 重積分型	
	電荷平衡型	
	V/F 変換型	
	ウィルキンソン型	
比較型	逐次比較型	
	並列比較型	
$\Delta/\Sigma(m {m au} m u m au)$ 型		

表 2.3: 代表的な ADC の種類

AD 変換の方法には様々な種類があるが、大きく積分型、比較型、 $\Delta/\Sigma(\tilde{r}\mu p/\rho v)$ 型に分けられる。 代表的な ADC の種類を表 2.3 に示す。

積分型 ADC は容易に高精度の AD 変換ができることが特徴があるが、変換に時間がかかるという欠点 がある。積分型の中で最もよく使われる2重積分型 ADC では、まず積分器で入力信号を一定時間積分し、 次に逆方向に基準電圧で積分して元の電圧になるまでの時間 (クロックカウント数) を計測し、そのカウン ト数からデジタル値を決定する。これに似たものでウィルキンソン型というものがあり、HXI,SGD の半導 体検出器にはこのタイプが用いられている。

比較型 ADC は bit 数を増やすことで容易に高分解能にできることが特徴である。以前は回路規模が大 きいことが欠点であったが、最近の IC 技術の進歩によって回路規模の大きさは問題ではなくなってきてい る。比較型 ADC で最もよく使われる逐次比較型 ADC では逐次比較レジスタ (successive approximation register; SAR)を用いて最上位 bit (Most Significant Bit; MSB) から最下位 bit (Least Significant Bit; LSB) まで 1bit ずつ、レジスタ出力とアナログ入力の大きさを比較していく。例えば図 2.7 のように 3bit の ADC でリファレンス電圧が 4V、入力信号が 2.6V の場合、入力信号は 2V 以上なので MSB は'1'、3V 以下なの で次の bit は'0'、2.5V 以上なので LSB は'1' というようにデジタル値'101'を決定できる。bit 数を増やすこ とで分解能を良くすることができるがそれだけ比較時間が長くなることも考慮しなければならない。一方、 並列比較型 (フラッシュ型) は bit の数だけコンパレータを並べたものであり、処理は高速だが回路規模が 大きくなってしまう。

△/Σ型 ADC は極めて分解能が高いにもかかわらず比較的低価格で構成でき、また内部回路は一部を除 いてほぼデジタル回路で構成されているためノイズに強いという特徴がある。しかし、高速での A/D 変換 はできないという欠点があるため、例えば微妙な温度変化の検出等、ゆっくりした現象の精密な計測や制御 に適している。



図 2.7: 逐次比較型 ADC の原理

HXI,SGD 各 2 台ずつで採用される BGO アクティブシールドでは合計 68 個の BGO ブロックが使われ ており、それだけ AD 変換を行う ADC も多数必要である。ここで用いる ADC は衛星軌道上で動作させ るため (1)BGO のタイムスケール 3μ s に比べて速いサンプリングレートであること、(2) 小型であること、 (3) 消費電力が小さいこと、(4) 放射線耐性があること等が要求される。BGO アクティブシールドの信号処 理システムではこれらの要求を満たす ADC である National Semiconductor 社の ADC128S102QML が採 用される。ADC128S102QML は逐次比較型 ADC であり、100krad の放射線耐性をもつ。本研究ではこの ADC128S102QML とほぼ同じ性能であるが放射線耐性がない [5][6]、同じく National Semiconductor 社の ADC128S102 を用いて動作検証を行う。

これらの ADC は図 2.8 の動作ブロックで SW2 を ON にしてサンプリングされた入力電圧と DAC 出力 を逐次比較していく。2 つの ADC はスペックがほぼ同じで、タイミング要求 (図 2.9) や大きさやピン配置 も同じである (4 章図 4.2、4.3 を参照)。また、ADC128S102 の大きさの目安として 1 円玉硬貨との比較写 真を図 2.10 に示す。



図 2.8: ADC128S102の動作ブロック [6]



☑ 2.9: ADC128S102 Serial Timing Diagram[6]



図 2.10: ADC128S102 の大きさ [6]

2.6 開発状況と本論文の位置づけ

2.6.1 BGO 信号処理系の開発状況

BGO アクティブシールドの信号処理系の部品構成はほぼ決定し、現在はできるだけ信号にノイズが乗らないようなフィルタの時定数の模索や、部品構成の細かな調整を行っている段階である。この ADC は HXI、SGD チームでこれまで使用したことがなく、動作確認を行うことが重要である。そのため、本研究 では ADC 単体を用いて AD 変換のリニアリティ、電源電圧依存性、動作クロック依存性、入力波形依存性 などの測定から ADC128S102 の動作検証を行った。

第3章 SpaceWireとFPGA

科学衛星には観測装置、姿勢制御装置、各種センサ、データ処理装置、記憶装置、通信装置など様々な 機器が搭載され、衛星システムが機能するためにはこれらの装置間で情報のやり取りが行われなければな らない。従来の衛星では、このような衛星搭載機器間の通信インターフェイスは衛星ごと、機器ごとに開発 されており、それぞれ異なる規格が使用されていた。そのため各機器間通信のためのハードウェアを新たに 作る必要があり、開発期間が長期化する、信頼性の確保が困難になる、技術が継承されないといった問題が 生じ、科学衛星開発における研究者の負担を大きくしていた。そこでこのような問題を解決するため、衛星 搭載機器間の通信インターフェイス規格の統合が提唱され、、現在 SpaceWire と呼ばれる世界統一規格が拡 がりつつある (図 3.1)。SpaceWire は IEEE1355 を元に宇宙用に改良されたもので、欧州宇宙機関 (ESA) を始めとして、ISAS/JAXA、NASA など世界の主要な研究機関や大学、企業などが開発に参加しており、 日本でも新規の衛星計画に SpaceWire の採用が拡がっている。機器間通信インターフェイスが SpaceWire に統一されることで、装置開発と通信インターフェイス開発を完全に分離することができる。そのため我々 研究者は観測装置の開発に専念することができるとともに、装置開発と通信インターフェイス開発が互い に干渉し合うことが無くなり、高い信頼性を実現することができる。また、全ての装置が同じ通信インター フェイスを持つことで、機器同士の接続の自由度が高くなり、より柔軟なシステムの構築が可能になる。



図 3.1: 世界統一規格 SpaceWire

3.1 SpaceWire & SpaceCube

3.1.1 SpaceWireの特徴

SpaceWire は IEEE1355 をベースに開発された全二重双方向のシリアルインターフェイス規格である。 SpaceWire は IEEE1355 を宇宙用途に最適化した上で、ネットワーク機能やエラー訂正機能が追加されてい る。SpaceWire での伝送には Low Voltage Differential Signaling(LVDS) 方式が採用されている。低電圧で の差動伝送方式のため高速通信でも消費電力が低く、低ノイズでの伝送が可能である。また、Data-Strobe encoding と呼ばれる符号化方式を用いて、Data 信号と Strobe 信号をそれぞれ別ケーブルで伝送すること により受信側でクロック信号を再現することができ、クロック信号そのものを伝送する場合に比べてクロッ クのタイミングのずれを起こりにくくしている。ケーブルは LVDS 信号を伝送するために 2 本の導線をよ りあわせたツイストペアの構造になっており、Data 信号と Strobe 信号が送受信それぞれ 1 組ずつあるの で計8本の導線から構成されている。各々のツイストペアはシールドされ、さらにケーブルの外周もシー ルドされているため、クロストークや外部からのノイズの影響が少なく、ケーブルからのノイズの放射も 抑えられている。そのためケーブルを10m以上延ばすことができ、柔軟な機器配置が可能である。また、 使用されるケーブルコネクタは9ピン D-subコネクタと同じ形である。この型は宇宙用途で多用されてい る。SpaceWire のリンク速度は2Mbps~400Mbps で可変であることから、様々な機器に柔軟に対応するこ とができる。また、複数本のSpaceWire を束ねてさらに高速な通信を行う事も可能である。図 3.2、図 3.3 にケーブルおよびコネクタのピンアサインを示す。また、図 3.4 にケーブルの結線図、それをもとに実際に 作成したケーブルを図 3.5 に示す。





図 3.2: ケーブルの構造 [7]

図 3.3: コネクタ・ピンアサイン [7]



Low impedance bond from outer braid to connector shell

Inner shields are isolated from one another. Inner shields around Sout and Dout pairs are connected together and to pin 3 of connector.

図 3.4: ケーブル結線図 [7]



図 3.5: 自作した SpaceWire 通信ケーブル

3.1.2 SpaceCube

SpaceCube は SpaceWire の開発プラットフォームとされている小型コンピュータであり、ISAS/JAXA とシマフジ電機によって開発された。表 3.1、および図 3.6 に SpaceCube の仕様と外観を示す。写真の左側 に大きさ比較用の単 3 電池を置いている。

CPU	VR5701
	200 MHz / 250 MHz / 300 MHz
Flash ROM	16 MB
INPUT /	IEEE1355(SpaceWire), RTC, CF(True
OUTPUT	IDE), $XGA(1024 \times 768)$, USB1.1,
	LAN(100BASE), Audio(Stereo),
	入出力 RS232C, JTAG I/F(Debug)
POWER	+5V
SIZE	$52 \text{mm} \times 52 \text{mm} \times 55 \text{mm}$



表 3.1: SpaceCube の仕様

図 3.6: SpaceCube の外観

SpaceCube は CPU として NEC 製の VR5701(300MHz) を搭載し、PCI バスに LAN、USB を搭載した ボードを内蔵し、OS は Linux と T-Engine が対応する。キーボード、マウス、ディスプレイを接続すれば 普通の PC として起動することもできる。T-Engine は組み込み式 OS であり、リアルタイム性に優れてい る。これは常に優先度が高い処理から行われるように設計されているためであり、突発的な現象に対応する 必要がある観測衛星での使用に適している。 SpaceCube では SpaceWire による通信部分が標準化されて提供されているため、我々ユーザは個々の機 能モジュールを実装するだけで SpaceWire を用いたシステムを手軽に構築できる。SpaceCube 自体は民生 用部品を多用して作られているため、非常に低価格で SpaceWire の開発環境を構築することができるが、 そのままでは衛星に搭載することができない。現在では SpaceCube のアーキテクチャをベースに、宇宙用 部品を用いて構成された衛星搭載用コンピュータである SpaceCube2 が開発され、2008 年に打ち上げられ た小型衛星 SDS-1 の SpaceWire 実証モジュールにより SpaceCube2 の宇宙機への適用のめどを得た [8]。

3.2 SpaceWire IF 搭載ボード

科学衛星では検出器からの多量のデータを素早く、かつ正確に処理をすることが求められる。そのデー タ処理のための SpaceWire 搭載ボードとして、Digital I/O ボード (図 3.7)、SpaceWire FADC ボード (図 3.8) などがある。これらのボードは Field Programmable Gate Array(FPGA) を 2 つ実装しており、ここ でデータ取得やデジタルフィルタ、波形保存といったデータ処理等を行う。FPGA はプログラマブルロジッ クデバイスの1種である。通常の集積回路は設計時に仕様や機能が定まり、後から回路を変更することはで きない。これに対してプログラマブルロジックデバイスはユーザーがハードウェア記述言語を用いて回路の 構成情報を設定してはじめて機能するというものである。SpaceWire IF 搭載ボード上の FPGA にハード ウェア記述言語でプログラムを書き込むことで波形取得、保存等の様々な動作を実行させることができる。



図 3.7: Digital I/O ボード



図 3.8: SpaceWire FADC ボード

3.3 VHDL

ここでは FPGA の設計に用いるハードウェア記述言語 (HardwareDescription Language: HDL) について述べる。

以前はハードウェアを目的の動作に向けて記述する際、真理値表、論理式などを用いて AND や OR 回 路を組み合わせたゲートレベルでの設計が主流であった。つまり、ある処理を作動させるときに、どのよう に処理をするかを'0'と'1'を用いて表し、条件を考えるときも AND や OR などの論理式を考えなくてはな らなかった。そのため高度な処理を記述すると、回路が複雑になる、設計に時間がかかる、回路の変更が 困難である、誤作動が起きたときにエラーが起きている箇所を判別しにくくなる、設計者以外にその回路 の意図を理解されにくい等の問題が生じていた。これを解消するために、著しく発達したコンピュータを 利用して回路の接続関係を記述する言語、HDL が利用されるようになった。HDL ではゲートレベルでの 記述以上に抽象度の高い記述を行うことができる。つまりC 言語等のコンピュータ言語を操るかのように 回路を記述することができるので、上記のような問題は解決された。現在普及している HDL では VHSIC HDL(VHDL)と Verilog HDL が主流である。本研究では高い記述能力を持つ VHDL を用いて回路設計を 行った。VHDL は米国国防総省の Very High Speed Integrated Circuit(VHSIC) 委員会によって提唱され て開発された。当時、国防総省向けの特定用途向け集積回路 (ASIC) を開発する際ゲートレベルでの開発を 行っていたため開発に長い時間がかかり、回路設計が完了するころにはより高性能な部品ができ、完成品が 時代遅れとなってしまうという問題があった。そのため、より抽象度が高く、回路設計終了時にその時点で の最新の部品が使えるような設計手法を開発する必要があった。これより、1981年に提唱、1986年に公開 されたのが VHDL である。その後文法の改訂作業を経て、IEEE(米国電気電子技術者協会) により標準化 され、VHDLは世界の標準 HDL として認識されるようになった。

本研究ではこの VHDL を自在に使える開発環境として Xilinx 社が無償で配布している開発ソフトウェ ア、ISE Design Suite 12 を用いた。このソフトは ISE WebPACK としてインターネットからダウンロード した (http://japan.xilinx.com/tools/webpack.htm)。ISE は VHDL のデザイン、論理シミュレーション、 論理合成を行うことができる。更に回路を書き込むデバイスを適切に選択することで、配置配線、タイミン グシミュレーション、更に実際のデバイスへのダウンロードも可能である。したがってこのソフトがあれば デザイン設計から実装まで全て行うことができる。

3.3.1 UserFPGA & SpaceWire FPGA

SpaceWire IF 搭載ボード上には 2 つの Field Programmable Gate Array(FPGA) が搭載されており、 1 つは SpaceWire 通信プロトコルが書き込まれたもので、SpaceWireFPGA(Xilinx XC3S1000) と呼ばれ る。SpaceWireFPGA 上には図 3.9 のようなメモリ空間が構成されている。UserFPGA で処理した信号を SpaceCube から読み取りたいときは、SpaceCube 側から SpaceWire FPGA メモリ空間 0101-0000H 番か ら 0101-FFFF 番にアクセスして読み取りを行う。もう一方はユーザが独自の回路を書き込むことができる FPGA で、UserFPGA(Xilinx XC3S400 または XC3S1000) と呼ばれる。UserFPGA では予めその雛型と言 うべき形が作られているため、新たにユーザが作成するのはそのうち実際の処理を行う Module とそれに関 連する部分のみである。ただし UserFPGA で、どのメモリアドレスが UserFPGA のどのレジスタと対応し ているかという設定は必要である。その設定ファイル (AddressMap) で 0101 以下のアドレスと UserFPGA での信号との対応を指定することで、UserFPGA で処理した信号を SpaceCube を通して読むことができる ようになる。



図 3.9: SpaceWire IF 搭載ボード上のメモリ空間 [10]

第4章 ADC128S102の動作検証

ADC128S102の動作検証は自作の ADC ボード、SpaceWire IF 搭載 FADC ボード、SpaceCube、Linux PC を用いて行った。ADC ボードは ADC が動作するように ADC128S102の仕様に合わせて製作し、FADC ボードと接続した。FADC ボード上の User FPGA には ADC ボードをコントロールして波形を得て、受け 取った波形データをメモリに保存するロジック回路を VHDL で書き込んだ。ADC128S102の評価のための データ処理はボード上に保存された波形データを SpaceCube を通して Linux PC に転送してから行った。図 4.1 は ADC128S102の動作検証のためのセットアップである。

ここでは ADC ボードの製作過程、SpaceWire FADC ボード上の User FPGA に VHDL で書き込んだ ADC128S102 コントロール回路、User FPGA に一時保存されたデータを SpaceCube 経由で取得し、解析 をするための C++プログラム、ADC128S102 の動作検証の結果について述べる。



図 4.1: ADC128S102 の動作検証セットアップ

4.1 ADC 評価用基板 (ADC ボード)の製作

ADC128S102 にはアナログ電源 (V_A) とデジタル電源 (V_D)、アナロググラウンド (AGND) とデジタル グラウンド (DGND),8ch のアナログ入力 (IN0-7)、シリアルクロック (SCLK) とチップセレクト (CS) とデ ジタルデータインプット (DIN) の 3 つのデジタル入力、デジタルデータアウトプット (DOUT) の合計 16 個のピンがある。図 4.2、図 4.3 および図 4.4 に ADC128S102 のピン配置、大きさ、写真を示す。



図 4.2: ADC128S102 のピン配置 [6]



図 4.3: ADC128S102の大きさ (単位:mm)[6]



図 4.4: ADC128S102 の写真

4.1.1 動作システム



☑ 4.5: Block Diagram[6]

これより動作システムを説明する。図 4.5 は ADC128S102 の Block Diagram である。V_A は AD 変換動 作のための電源であると同時にリファレンス電圧として使われている。リファレンス電圧は AD 変換の基 準となる電圧で、例えばデジタル出力が 12bit(4096ch) である ADC128S102 では 1ch あたりの値がリファレンス電圧の 4095 分の 1 となる。許容範囲は $+2.7V < V_A < +5.25V$ である。V_D はコントロールロジック のための電源で、許容範囲は $+2.7V < V_D < V_A$ である。これら 2 つの電源はいずれもピンから 1cm 以内に 0.1 μ F のバイパスコンデンサを接続することを推奨されている。バイパスコンデンサは電源電圧が降下した 場合の電荷供給やノイズが原因である僅かな電圧変動を抑えるといったはたらきをする。AGND、DGND はそれぞれアナログ電源やアナログ信号、デジタル電源やデジタル信号に対するグラウンドで、これらを 分けることで比較的ノイズの多いデジタルグラウンドが安定さがより重要なアナロググラウンドに影響を 与えないようにしている。また、これらのグラウンドは1 点アース (図 4.6) で接続している。2 点アースに なっていると大電流がデジタル部からグラウンド基準点に流れる際、接続点付近で電圧降下が起きてグラウンド基準点との間に電位差が発生してしまい、アナログ部まで影響を与えることがあるが、1 点アースに することでその発生を防ぐことができる。



図 4.6: 1 点アース [9]

AD 変換させるアナログ信号は IN0-7 に入力するが、リファレンス電圧に対して 0-4095 のデジタル値に変換

するため、信号の電圧は AGND 電圧以上リファレンス電圧以下でなければならない。SCLK は ADC128S102 の変換、読み出し速度を決める外部からのデジタルクロック入力であり、許容範囲は 8 MHz から 16MHz で ある。CS は ADC128S102 の伝送開始の同期をとるため、およびバス接続のためのピンであり、CS が low で ある限り AD 変換が続けられる。DIN は IN0-7 のどのアナログ信号を AD 変換するかを決める 3bit(000 111 の 8 通り) のデジタル信号を入力するピンである。AD 変換された値は DOUT からシリアル出力される。

図 4.7 に ADC128S102 のタイミングダイアグラムを示す。図中の DONTC(don't care) はデバイスに影響しない箇所である。まず CS が low になり SCLK に同期した動作が開始する。まず DOUT から 0 が 4 ク ロック分出力され、その間に DIN の 3bit で入力ピン (IN0-7) を指定する。その直後のクロックから 12bit のデジタル値が MSB から順に DOUT に出力される。今回の動作検証では ADC の IN0,IN7 のみを使用し たため DIN を常に 0 にして動作させた。



☑ 4.7: ADC128S102 Serial Timing Diagram[6]

4.1.2 ADC ボード回路図設計

図 4.8 は National Semiconductor 社のデータシートに記載されている ADC128S102 の動作回路の典型 的な例である。本研究ではこの回路を元に図 4.9 の回路図を設計し、ADC ボードの製作に用いた。今回は IN0,IN7 の入力のみを利用し、IN1-IN6 は全て AGND に接続した。

プリント基板はサンハヤト社のボジ感光基板 NZ-G30K を用いた。このプリント基板は片面用で大きさ が75mm×100mm である。実際の BGO+APD からプリアンプを通して ADC ボードに送られてくる信号 は負の信号であるが、ADC128S102 には正の信号を入力しなければならないため、ADC ボードのアナロ グ IN0,IN7 と ADC128S102 の間に OP アンプを用いた反転アンプが必要である。ここでの OP アンプには National Semiconductor 社の LMP7732 を用いた。また、FADC ボードから ADC ボード、あるいはその反 対方向に急激に電流が流れないよう、ADC ボード上のデジタル IN/OUT と ADC128S102 の間にバッファ を接続している。バッファには東芝社の TC74LCX541F を用いた。これらは衛星用ではなく、できるだけ 低ノイズで ADC に適したスペックのものを選んだ。また、ADC ボードの電源には松定プレシジョン株式 会社の直流電源 PLE-18-2 を用いた。

典型的な動作回路ではアナログ入力と ADC128S102 の間に 22Ω の抵抗と 1nF のコンデンサによるロー パスフィルタが配置されている。実際に製作した ADC ボードでは BGO+APD の信号を読むため、この ローパスフィルタは APMU で予定されている 1kΩ の抵抗と 1nF のコンデンサで時定数 1 μ s に変更してい る。ここで増幅率1倍の反転アンプにより負の信号を正の信号にしている。なお、インピーダンス整合の ために10kΩの抵抗をアナログ入力と並列に配置している。また FADC ボードとバッファの間に配置して いる10kΩの抵抗もインピーダンス整合の役割を果しており、47Ωの抵抗は FADC ボードからの電流の反 射を防ぐものである。これらの抵抗値などは後述の回路シミュレーションソフトウェア LTspice を用いて決 定した。



図 4.8: ADC128S102 の動作回路の典型的な例 [6]



図 4.9: 実際に製作した ADC ボードの回路図

4.1.3 LTspice によるアナログシミュレーション

ADC ボードの設計においてはアナログ部の抵抗やコンデンサ容量を決定する回路設計でシミュレーションを行った。ADC ボードのアナログ回路シミュレーションには Linear Technology 社が無償で提供している LTspice を用いた。LTspice は電子回路のアナログ動作をシミュレーションするソフトウェアである SPICE が派生したものの1つである。SPICE では回路図や入力信号、計測したい箇所を指定するだけでその箇所 での波形や周波数特性を得ることができる。今回は主な SPICE ソフトウェアのうち、フリーソフトウェア でありその回路規模に制限がないという理由から LTspice を採用した。図 4.10 は ADC ボードのアナログ 部で必要となる反転アンプ (ゲイン 1 倍) のシミュレーション結果である。ローパスフィルタの時定数や反 転アンプの増幅率から抵抗値やコンデンサ容量を決定した初期段階では左図のように出力信号が大きく振 動していたが、抵抗やコンデンサを変更して右図のように出力信号が安定するまでシミュレーションを繰り 返すことで、適切な抵抗値やコンデンサ容量を得ることができた。



図 4.10: LTspice による ADC ボードアナログ部シミュレーション。緑線が入力信号、青線が反転後の出力 信号である。左図の初期段階から部品や配置を変更して右図のように振動を解消した。

4.1.4 PCBE

LTspice を用いた回路設計が完了すると実際に基板を製作する段階に入る。ここでは部品の配置や配線 が必要となる。そこで、プリント基板の設計には高戸谷隆氏がインターネット上でフリーソフトウェアとし て公開している PCBE を用いた。PCBE はプリント基板、版下作成用の作画ソフトであり、これを用いて ガーバファイルを出力することでプリント基板メーカーに発注することもできる。パターンの太さは 0.1mm から選べ、二層以上のプリント基板を作成することもできる。レイヤの種類も豊富で、版下印刷するときの レイヤを指定することができるため、実際にはプリント基板に印刷しない抵抗やパーツなども表示しなが ら作図することができる。図 4.11 は PCBE で作画した ADC ボードのパターンである。この図の青色の部 分はデジタルグラウンド、緑色の部分はアナロググラウンドである。グラウンドはノイズを減らすためにも 安定させる必要があり、面積を広くとることがその手段の1つであるため、今回製作した ADC ボードでも 空いているスペースは出来る限りグラウンドにした。



図 4.11: PCBE で作画した ADC ボードのパターン

4.1.5 基板製作

感光基板を用いて ADC ボードを製作するには露光、現像、エッチングという過程が必要である (図 4.12)。 露光作業では PCBE で作画したパターンを OHP フィルムに版下印刷し、感光基板の上にパターンを置い て紫外線を当てることで透明な箇所だけを感光させる。ここでは感光基板に露光させるための専用装置であ るちびライト (サンハヤト社小型感光基板用露光ライトボックス BOX-1)を用いて約 150 秒の露光を行っ た。この露光時間は感光基板の製造からの経過期間によって変わる [11]。露光時間が長すぎると本来導通部 にしたい箇所まで絶縁してしまい、逆に露光時間が不足していると絶縁すべきところで導通してしまい、回 路に不具合を生じてしまうので注意が必要である。図 4.13 は版下印刷したパターンであり、最終的に黒く 印刷されているところは導通部に、透明なところは絶縁部になる。



図 4.12: 露光、現像、エッチングの過程



図 4.13:版下印刷パターン

この基板を現像液に浸すと感光した部分は容易に現像液に溶解するが、紫外線が当たらなかった部分は 変化しない。こうして PCBE パターンの透明であった部分が銅箔面となる (図 4.14)。現像が完了してから 基板を水で洗浄した。現像液にはサンハヤト社の DP-10 を 40 度程度の湯に溶かして使用した。



図 4.14: 現像後の感光基板

エッチング作業では現像後の基板を液温が40度程度になるように湯煎したエッチング液に25分程浸し、 銅箔面を融解させた。エッチングの完了を目で見て確認し、基板を水で洗浄した。エッチング液はサンハヤ ト社のプリント基板用エッチング液H-1000Aを用いた。感光被膜の残っている部分はエッチング液によっ て変化しないので、版下印刷時の黒い部分はエッチング後も銅箔面と感光被膜が残っている状態である。

ここで銅箔面に半田付けを行うため感光被膜をアルコールで拭き取り、ADCボードに必要な部品取り付け用の穴を空け、各部品を半田付けした。さらに、ADCボードの四隅にも穴を空け、ねじでアルミダイキャスト製の箱の中に固定し(図 4.15)、アナロググラウンドとアルミボックスを接続し、蓋をした(図 4.16)。こうすることで環境放射線などによる外来ノイズを減らすことができる。図 4.17 は今回の動作検証のセットアップの写真である。



図 4.15: アルミボックスの内部の ADC ボード



図 4.16: 外来ノイズ対策のアルミボックス



図 4.17: 動作検証のセットアップ

4.2 SpaceWire IF 搭載 FADC ボードを用いた信号読み出しシステム

ADC ボード上の ADC128S102 からデータを受け取るにはデータシートに記載されているタイミングダ イアグラム (図 4.7)に従って ADC 制御およびデータ取得のための信号の受渡しを行わなければならない。 今回の動作検証ではその通信のために SpaceWire FADC ボードを用いた。デジタル信号を出力することに よる ADC 制御や ADC ボードからデータとして受け取ったデジタル信号の保存などの処理は SpaceWire FADC ボード上の User FPGA で行われる。この処理を行うための User FPGA 内のロジック回路は既に 述べたハードウェア記述言語 VHDL を用いて記述した。User FPGA 内でユーザーが具体的な処理を行う 部分である User Module の新規開発や、User FPGA と SpaceWire FPGA のバス接続などのロジック回路 については東京大学牧島研湯浅氏や JAXA の小高氏を中心に作成されたテンプレートがあり、User FPGA 上のメモリ配置を決める AddressMap ライブラリ、ピンアサインを設定するユーザー制約ファイルもこの テンプレートに含まれる。User FPGA 内の User Module と External Bus との通信は Internal Bus と呼ば れる SpaceWire FADC ボード上の雛型によって制御される (図 4.18)。以上のように SpaceWire による通 信部分が標準化されて提供されているためユーザーは User FPGA の機能を設定する User Module の作成 に集中することができる。以下に User Module 全体のブロック図 (図 4.19) を示す。



図 4.18: User FPGA Internal Bus と SpaceWire FPGA、SpaceCubeの関係 [10]



図 4.19: User Module 全体のブロック図

4.2.1 Trigger Module

Trigger Module は ADC ボードからの信号とユーザーが設定したスレッショルドを順次比較していき、スレッショルドより入力信号が大きいときに Trigger 信号として'1'を出力するモジュールである。ADC ボードでは常に AD 変換を行っており、ユーザーが求めるデータ以外のアナログ信号も AD 変換してデジタル出力してしまうが、Trigger 信号が'1'であるときのみ信号処理することで不必要な信号の処理を減らすことができる。

4.2.2 Control ADC128S102 Module

ADC ボードのコントロール方法は SPI(Serial Peripheral Interface: 周辺機器接続用シリアル) 通信を参考にしている。SPI 通信とはオンボード IC 間(マスター IC、スレーブ IC 間)の通信方式の1つで、構造は単純であるが汎用性が高いため広く使われている。また、IC の能力によっては 20Mbps 以上の伝送速度が可能であり、ADC、DAC、通信 IC の接続など、比較的速度を要する用途で主に採用されている。

実際の ADC128S102 の動作検証での SPI 通信の構成は図 4.20 のようになっている。ここでは SpaceWire FADC ボードがマスター IC、ADC128S102 がスレーブ IC となっている。FADC ボードと ADC128S102 間 は 4 本の信号線、CS(Chip Select)、SCLK(Serial Clock)、DIN(Digital Input)、DOUT(Digital Output) で 接続され、SpaceWire FADC ボードの駆動するクロックで ADC128S102 をコントロールし、通信を行う。







☑ 4.22: ADC128S102 Serial Timing Diagram[6]

Control ADC Module では CS の切替え、FADC ボードから ADC の DIN への出力、AD 変換されて

DOUT から伝送されてきたデジタル信号の受取りを行っている。図 4.21 は図 4.22 のタイミングダイアグ ラムに同期して動作する Control ADC Module の状態遷移図である。初期状態は Initialize で、CS を'1'に し、メモリが書き込み可能という SpaceCube からの合図である StartADC=1 を受け取ったら SPI Start へ 移る。SPI Start では CS を'0' にして AD 変換をスタートさせ、ADC の入力チャンネルを決定し、SPI OP Code に移る。ただし、今回は IN0 ピンのみを使用したので入力チャンネルが常に 0 となるように VHDL で記述している。次に Send OP Code に移り、ADC128S102 からの信号を保存のために Master In Slave Out(MISO) Data とし、先程の SPI OP Code の 8 bit 目 (MSB: 先頭の bit)を ADC の DIN へ送る。SPI OP Code の 8 bit 目は送ったので今度は 7-1 bit を 8-2 bit に代入する。Send OP Code ではこれを 4 回繰 り返してアナログ入力 ch を決定させ、状態は MISO へ移る。MISO ではまず MISO Data および DIN To ADC を 0 にした上で、ADC で変換され、DOUT から 1 bit ずつ送られてきたデジタル信号を MISO Data の下位 bit から順に埋めていく。この後、Start ADC が 1 である限り再び Send OP Code の状態となり、メ モリがいっぱいになるまで ADC との信号のやり取りをくり返す。メモリがいっぱいでなくても Start ADC が 0 になったら初期状態の Initialize に移る。メモリがいっぱいになれば Wait SS の状態になり、SpaceCube がメモリから波形データを取得するまで待つ。

4.2.3 Save Waveform Module, Buf01 Module

Save Waveform Module では立ち上がり、立ち下がりの速い波形にも対応できるように受け取ったデー タを User FPGA 内のメモリに一時的に保存してから波形データを受け取っている。Control ADC Module の状態遷移図 4.21 で Send OP Code と Master In Slave Out は合計 16 クロックかかる動作であるが、こ れは ADC128S102 のタイミングダイアグラム (図 4.22)の DOUT で FOUR ZEROS と 12 bit のデジタル 信号を送る 16 クロックに対応している。つまり、DOUT からの信号を 1bit ずつ受け取り 1 つのデータに するためのサンプリングクロックには ADC128S102 の SCLK の 1/16 の周波数 (slow clock) が適している。 Save Waveform Module はこの slow clock に同期して Buf01 Module 内の Block RAM(BRAM) に 1024 個 ずつデータを保存していく。BRAM に保存したデータは Internal Bus を通じて SpaceWire FPGA に送ら れる。

4.3 データ取得プログラム

今回の ADC128S102 動作検証のためのセットアップでは SpaceWire FADC ボードの I/O ポートを利用し て ADC を制御している。FADC ボード上にも ADC は配置されているが、この ADC は今回使用していない。 ADC で変換されたデジタル信号は SpaceWire FADC ボードの FPGA 上のメモリ空間にデータとして保存 される。このデータをユーザーが取得するにはデータが保存されているアドレスに SpaceCube を用いてアク セスする必要がある。ここでは FADC ボードと通信するために SpaceCube で実行する main_sthongo2 とい う C++プログラムと Linux でデータ取得、解析のために用いた srtrigstartup、srRead_WF、srDisplayWF、 srReadHistgram という C++プログラムについて説明する。

4.3.1 SpaceWire インターフェイスプログラム

実際のデータ取得系を構築するためには SpaceWire ボードの UserFPGA 用の VHDL コードとともに SpaceCube 側でのデータ取得プログラムが必要である。データ取得の基本的な流れはまず Linux でデータ

取得プログラムを書き、コンパイルした後 Linux から SpaceCube へ実行プログラムを転送し、SpaceCube でプログラムを実行し、SpaceCube に保存された取得データを Linux に転送というものである。しかし、 Linux-SpaceCube 間のデータ転送には時間がかかるため今回は東京大学の湯浅氏が開発した main_sthongo2 というプログラムを使用した。main_sthongo2 を SpaceCube で実行しておくと、データ取得プログラムを SpaceCube に転送せずに Linux で実行することができる。これにより実行プログラムを転送するだけでな く取得したデータを直接 Linux に保存することができ、大幅な時間短縮が可能となるため、開発段階での main_sthongo2 の使用は非常に有効である (図 4.23)。



図 4.23: main_sthongo2の使用による動作短縮

4.3.2 データ取得、解析用プログラム

スレッショルド決定プログラム

ADC128S102 で AD 変換されたデータを取得するにあたり、まずノイズなどの不要なデータを除去する ために srtrigstartup でスレッショルドを指定する。スレッショルドを指定するプログラムは FADC ボード 上の UserFPGA に書き込まれている AddressMap に対応したアドレスにアクセスし、指定された値を書き 込むことで、スレッショルド以下のデータを除去するというものである。

波形取得プログラム

次に srRead_WF というプログラムで実際に AD 変換されたデジタル値を取得する。UserFPGA では ADC128S102 から 1 bit ずつ受け取ったデジタルデータを 12 bit で 1 サンプルとして保存している。波形取 得プログラム srRead_WF ではまず波形を取得する時間を指定する。すると、UserFPGA 上のアドレスに アクセスして保存されている 12 bit ごとのデータを指定時間だけ取得し、そのデジタル値を 10 進法に変換 して 1 行 (1 イベント) につき 1024 個の波形データを並べたテキスト形式の dat ファイルとして保存する。

波形並び替えプログラム

得られたデータの波形を視覚化して確認するときは srDisplayWF というプログラムを用いる。取得、保存した dat ファイルはイベント番号が1個、波形データが1024 個の合計 1025 個のデータが1 行に並んだ状態であるが、この状態ではグラフ化が困難であるため、srDisplayWF でこの dat ファイルを1 列目にイベント内でのデータ番号、2 列目に取得データの値となるように並び替えて別の dat ファイルとして保存する。こうしておくと gnuplot や ROOT などの解析ソフトウェアで簡単にグラフにすることができる。srDisplayWF は波形確認に用いるプログラムであるのではじめの 16 波形までしか処理していない。

ヒストグラム化プログラム

得られたデータの波高値をヒストグラムにするときは srReadHistogram というプログラムを用いる。 srReadHistogram では取得波形データ列について 3 点前の値と順次比較していき波形の最高点を判断する が、波高値の決定には基準となるベースラインが必要である。ベースラインは入力したスレッショルドと ディレイタイムから図 4.24 のように決定し、最高点の値とベースラインの値の差分を波高値としてヒスト グラム用の dat ファイルに保存していく。今回は全てのヒストグラムでスレッショルドを 10、ディレイタ イムを 5 にした。ここでも解析ソフトウェアを使用するために 1 列目が 0-4095 の波高値、2 列目がその波 高値をとったカウント数となるように保存する。



図 4.24: 波高値の決定方法

4.4 ADC128S102の動作検証

本研究では表 4.1 に示すように 5 種類の測定から ADC128S102 の動作検証を行った。リニアリティ、電源 電圧依存性、動作クロック依存性の測定では入力電圧に比例してデジタル値が出力されるかをフィッティン グ直線の標準化残差から検証した。具体的には Tektronix 社の波形ジェネレーター AFG310 を用いて ADC に図 4.25 のような sin 波を入力し、ADC から出力されたデジタル値で波高値のヒストグラムを作成し、ガウ シアンフィッティングによってヒストグラムのピーク値を求め、データ解析ソフト ROOT を用いてさまざま な電圧 (sin 波の振幅) でのピーク値から入力電圧 vs 出力デジタル値のフィッティング直線を求め、残差を算 出した。入力波形依存性では sin 波、ramp 波でそれぞれ周波数を変えてピーク値を求め、そのヒストグラム の分散について検証を行った。最後に実際の HXI,SGD の BGO アクティブシールドで使われる BGO+APD からの信号を読み出した。衛星に搭載される部品では消費電力も重要な情報となるので ADC128S102 の消 費電力を測定した。表 4.2 がその結果である。

測定対象	電源電圧	ADC 動作クロック	入力信号	入力波周波数	入力波電圧
リニアリティ	$5.0 \mathrm{V}$	$12.5 \mathrm{~MHz}$	sin 波	$10.0 \mathrm{~kHz}$	$0.050\text{-}4.975 \ \mathrm{V}$
電源電圧依存性	$4.0\text{-}6.0~\mathrm{V}$	$12.5 \mathrm{~MHz}$	sin 波	$10.0 \mathrm{~kHz}$	0.500 - 5.500 V
動作クロック依存性	$5.0 \mathrm{V}$	$5.020.0~\mathrm{MHz}$	sin 波	$10.0 \mathrm{~kHz}$	0.250 - 4.750 V
入力波形依存性	$5.0 \mathrm{V}$	$12.5 \mathrm{~MHz}$	sin 波、ramp 波	$2.5-100.0 \ \rm kHz$	1.000 V
BGO+APD 信号	$5.0 \mathrm{V}$	$12.5 \mathrm{~MHz}$	BGO+APD 信号		

表 4.1: ADC128S102 動作検証の条件



図 4.25: 5kHz, 振幅 5.0V sin 波の波形 ADC 動作クロック 12.5MHz

測定箇所	待機時消費電力	AD 変換時消費電力
デジタル部	$0.000 \mathrm{mW}$	$0.568 \mathrm{mW}$
アナログ部	$0.034 \mathrm{mW}$	$0.035 \mathrm{mW}$
合計	$0.034 \mathrm{mW}$	$0.603 \mathrm{mW}$

表 4.2: ADC128S102 の消費電力

4.4.1 AD 変換のリニアリティ測定

まず表 4.3 の動作条件で AD 変換前後のアナログ入力とデジタル出力のリニアリティ測定を行った。図 4.26 は 0.25-4.75 V の入力電圧 (振幅) で sin 波を AD 変換し、波高値を算出し、ROOT を用いてプロット 及び直線フィッティングしたグラフである。このフィッティング直線からの標準化残差のグラフを図 4.27 に示す。標準化残差は最大となる 0.5V 付近で 2%程度であることが分かる。また、限界値 (0V,5V) 付近で のリニアリティを調べるため、入力電圧を 0.050-0.250 V、4.825-4.975 V の範囲で 0.025 V 単位で変化さ せたデータ点と 0.25-4.75 V の範囲でフィッティングした直線を比較した (図 4.28、図 4.29)。0V 付近では 0.125V 以下、5V 付近では 4.9V 以上のデータ点でそれぞれフィッティング直線からのずれが大きくなって いることがわかる。なお、図 4.26、図 4.27 での誤差は最も大きかった 0.5 V 入力でも ± 0.06 、標準化残差 では $\pm 0.02\%$ と十分小さかったため、グラフには表記していない。

電源電圧 (V)	ADC 動作クロック (MHz)	入力信号	入力波周波数 (kHz)	入力波電圧 (V)
5.0	12.5	sin 波	10	0.050 - 4.975
フィッティング直線	y = (82)	23.67 ± 0.01	$x - (20.85 \pm 0.04)$	

表 4.3: リニアリティ 測定の動作条件



図 4.26: AD 変換のリニアリティ



図 4.28: AD 変換のリニアリティ (0V 付近)



図 4.27: フィッティング直線からの標準化残差



図 4.29: AD 変換のリニアリティ (5V 付近)

4.4.2 電源電圧依存性

次に、電源電圧を変化させたときに AD 変換のリニアリティにどのような影響が現れるかを調べた。表 4.4 は電源電圧依存性測定での ADC128S102 の動作条件であり、図 4.30 はデータ点を直線でフィッティン グし、各電源電圧でのフィッティング結果を重ねたもの、図 4.31 は各電源電圧でのフィッティング直線から の標準化残差である。ADC128S102 では電源電圧がリファレンス電圧も兼ねているため、電源電圧を変え ると AD 変換可能な入力信号の範囲も変わる。したがってグラフでは比較のため、(入力電圧)/(リファレン ス電圧) を横軸にしている。グラフから 4.0-6.0 V の範囲では各電源電圧での ADC128S102 のリニアリティ に大きな変化は見られないことが分かった。なお、電源電圧依存性の測定でも誤差は十分小さかったためグ ラフ中に表記していない。

電源電圧 (V)	ADC 動作クロック (MHz)	入力信号	入力波周波数 (kHz)	入力波電圧 (V)
4.0	12.5	sin 波	10	0.50 - 3.75
5.0	12.5	sin 波	10	0.50 - 4.75
6.0	12.5	sin 波	10	0.50 - 5.75





図 4.30: AD 変換のリニアリティの電源電圧依存性



図 4.31: フィッティング直線からの残差

4.4.3 ADC 動作クロック依存性

次に、ADC128S102の動作クロック(SCLK)を変化させたときに AD 変換のリニアリティにどのような 影響が現れるかを調べた。動作クロックを変化させると ADC の動作自体に影響が出る可能性のほかに、サン プリングレートの変化による取得波形の荒さも変化する。表4.5 は ADC128S102 の動作条件であり、図 4.32 はデータ点を直線でフィッティングし、各動作クロックでのフィッティング結果を重ねたもの、図 4.33 は各 動作クロックでのフィッティング直線からの標準化残差である。2 つのグラフから ADC128S102 は 5.0-20.0 MHz の範囲ではリニアリティに多少の差は見られるものの、動作クロックに依存した大きな変化はない ことが分かった。また、動作クロック 5.0MHz、20.0MHz でのサンプリングレートはそれぞれ 312.5ksps、 1.25Msps と推奨サンプリングレート 500ksps-1Msps の範囲外であるが標準化残差も最大で 3.1%程度と小 さかったことから、この動作条件ではサンプリングレートの変化の影響は小さいといえる。なお、動作ク ロック依存性の測定でも誤差は十分小さかったためグラフ中に表記していない。

電源電圧 (V)	ADC 動作クロック (MHz)	入力信号	入力波周波数 (kHz)	入力波電圧 (V)
5.0	5.0	sin 波	10	0.50 - 4.50
5.0	10.0	sin 波	10	0.25 - 4.75
5.0	12.5	sin 波	10	0.50 - 4.75
5.0	15.0	sin 波	10	0.50 - 4.75
5.0	17.5	sin 波	10	0.50 - 4.50
5.0	20.0	sin 波	10	0.50 - 4.75





図 4.32: AD 変換のリニアリティの動作クロック依存性



図 4.33: フィッティング直線からの残差

4.4.4 入力波形依存性

電源電圧 (V)	ADC 動作クロック (MHz)	入力信号	入力波周波数 (kHz)	入力波電圧 (V)
5.0	12.5	sin 波	2.5 - 50.0	1.0
5.0	12.5	ramp 波	2.5 - 50.0	1.0

表 4.6: 入力波形依存性測定の動作条件

ここまでは周波数 10kHz の sin 波を入力して動作検証を行ったが、次に入力波形およびその周波数を表 4.6 のように変えて ADC128S102 の動作検証を行った。sin 波の周波数を変えて波高値のヒストグラムを作 成し、そのヒストグラムのピーク値と分散を求めた結果が表 4.7 であり、5.0kHz と 50.0kHz でのヒストグ ラムを比較したものが図 4.34 である。表とグラフから入力信号の周波数が大きくなるにつれて波高値が小 さくなり、分散が大きくなっていることが分かる。これは周期あたりのデータ点が減り本来の最高点付近で データを取ることが減り、最高点から離れたデータ点まで波高値に含まれてしまうことによると考えられる が、25kHz 程度までは分散が十分小さいため問題なく AD 変換できるといえる。

入力信号周波数 (kHz)	ピーク値	誤差	分散 (%)	誤差
2.5	806.4	± 0.0	0.02	± 0.00
5.0	805.3	± 0.1	0.03	± 0.01
10.0	803.0	± 0.0	0.04	± 0.00
25.0	798.4	± 0.0	0.15	± 0.00
50.0	790.8	± 0.0	2.43	± 0.00



表 4.7: sin 波でのピーク値とその分散の周波数依存性

図 4.34: sin 波のヒストグラム比較

次に、ramp 波の周波数を変化させて入力し、ヒストグラムのピーク値の分散にどのような影響がある かを調べた。その結果が表4.8 であり、5.0kHz と 50.0kHz でのヒストグラムを比較したものが図4.35 であ る。sin 波のデータと同様、表とグラフより入力信号の周波数が大きくなるにつれてピーク値が小さくなり、 分散が大きくなっていることが分かる。この理由も sin 波と同じく周期あたりのデータ点が減り本来の最高 点付近でデータを取ることが減り、最高点から離れたデータ点まで波高値に含まれてしまうことによると考 えられる。しかし、10kHz 程度までは分散が十分小さいため問題なく AD 変換できるといえる。

入力信号周波数 (kHz)	ピーク値	誤差	分散 (%)	誤差
2.5	789.9	± 0.2	0.25	± 0.01
5.0	784.4	± 0.2	0.38	\pm 0.01
10.0	773.7	± 0.5	0.92	± 0.07
25.0	743.6	± 0.6	9.09	± 0.09
50.0	744.0	\pm 5.3	13.1	± 0.4



表 4.8: ramp 波でのピーク値とその分散の周波数依存性

図 4.35: ramp 波のヒストグラム比較

4.4.5 BGO+APD 信号の AD 変換

表 4.9 の動作条件で¹³⁷Cs の放射線を実際の BGO アクティブシールドと同様に BGO+APD で検出し てプリアンプを通し、ADC128S102 により AD 変換した。図 4.36 は AD 変換後の ¹³⁷Cs の放射線波形、図 4.37 はその波高値のヒストグラムである。放射線波形ではプリアンプ波形がきちんと取得できており、ヒ ストグラムでは¹³⁷Cs からのガンマ線 (662keV) によるピークが 170 チャンネル付近に確認できる。2 つの グラフより BGO+APD からの信号を ADC128S102 を用いて AD 変換することができたといえる。また、 BGO+APD 信号の波形の立ち下がりと図 4.38 に示す 5kHz の ramp 波の立ち下がりがほぼ同じであったた め、ramp 波の周波数依存性より 0.38%程度と十分小さな分散で BGO+APD 信号の AD 変換が可能である といえる。

電源電圧	$5.0 \mathrm{V}$
ADC 動作クロック	$12.5~\mathrm{MHz}$
線源	^{137}Cs
温度	$-15^{\circ}\mathrm{C}$

表 4.9: BGO+APD 信号の AD 変換時の動作条件





× 4.36: ADC128S102 での AD 変換後の放射線波形

BGO+APD で検出した¹³⁷Cs の 図 4.37: AD 変換後のデジタル波形を用いた¹³⁷Cs の 放射線ヒストグラム



図 4.38: 5kHz ramp 波の波形 5.0V,12.5MHz

第5章 まとめと今後

本研究では X 線天文衛星 ASTRO-H に搭載される硬 X 線撮像検出器 HXI と軟ガンマ線検出器 SGD の BGO アクティブシールドで用いられる AD コンバーター ADC128S102QML とほぼ同性能の ADC128S102 の動作検証を行った。ADC のコントロールには衛星搭載機器間通信インターフェイスの世界統一規格であ る SpaceWire が搭載された SpaceWire FADC ボードを用い、また FADC ボードと ADC 間の通信を行う ため ADC128S102 のピン配置に従った配線の ADC ボードを自作した。ユーザーが自由に回路設計を書き 込める FADC ボード上の User FPGA には ADC128S102 の仕様書に記載されているタイミングダイアグラ ムに従ったコントロール回路を VHDL で書き込んだ。User FPGA 内のメモリに保存された波形データは C++プログラムを用いて SpaceCube 経由で取得し、Linux PC で保存および解析を行った。

動作検証では AD 変換のリニアリティを調べ、さらに電源電圧や ADC 動作クロックによるリニアリティ の変化、入力波形の種類と周波数による波高値の分散を調べた。その結果、ADC128S102 は検証した範囲 内の電源電圧、動作クロックにおける使用ではリニアリティに大きな変化はないことが分かった。また、実 際の BGO アクティブシールドと同様に BGO+APD で検出した放射線波形を ADC128S102 により小さな 誤差、分散で AD 変換できることも確認できた。以上のことから放射線耐性以外の面では ADC128S102 は BGO アクティブシールドに用いる ADC として適しているといえる。

今回の研究により SpaceWire を用いた機器開発や基板製作の手法の基本を学ぶことができたが、VHDL による回路設計の応用や ADC ボード動作の安定性に関しては課題が残った。今後は FPGA 内でデジタル フィルタなどの信号処理を行う回路設計もできるように SpaceWire や VHDL についてより深く学びたい。 また、基板製作においても安定性を高めるため、回路やノイズに関する知識を深めたい。

謝辞

本研究を行うにあたり、松岡さんには SpaceWire に関する知識や VHDL での回路設計、基板製作の方 法、C++ プログラムについてはもちろん、論文作成やその発表方法まで丁寧に指導や助言をしていただき、 ときには夜遅い時間まで実験に付き合って下さり、お世話になりました。大変感謝しています。深沢先生に は度々、研究に関する提案や論文についての指導をしていただきました。ありがとうございます。ひろたか さんには Linux PC と SpaceCube のつなぎ方や VHDL について分かり易く指導していただきました。あ りがとうございます。花畑さんはひろたかさん、松岡さんとともに BGO+APD 信号読み出しのセットアッ プをしていただき、ありがとうございます。西野さんには解析での誤差について指導していただき、また一 緒に食事に行ったりサッカーをしたりと研究以外の面でも楽ませて下さり、ありがとうございます。同じ4 年生でいつも実験室という閉鎖的な空間で共に作業をしていた宇井君はよくくだらない割に面白い話をし てくれてありがとうございます。最後になりましたが、研究室のみなさまには様々なアドバイスや的確なコ メントをいただき、また楽しく賑やかな研究室生活を送らせていただき、大変感謝しています。

関連図書

- [1] N.Ota, M.Tsujimoto, H.Takahashi "ASTRO-H Quick Reference", 2010-11-09
- [2] 花畑義隆 "X 線天文衛星 ASTRO-H 搭載アクティブシールドの基礎特性評価とデジタル信号処理の検 討研究", 修士論文 広島大学,2010
- [3] GLENN F. KNOLL "放射線計測ハンドブック第3版",日刊工業新聞社,2001
- [4] 国分紀秀 (早稲田大学) "ASTRO-H HXI/SGD APD プリアンプ基板設計検討資料 (第2版)", 2011.1.17
- [5] National Semiconductor 社 "ADC128S102QML Datasheet", May 17,2010
- [6] National Semiconductor 社 "ADC128S102 Datasheet", July 23,2009
- [7] European Cooperation for Space Standardization, Standard ECSS-E-50-12A " SpaceWire Links, nodes, routers and networks ", January 2003
- [8] 宇宙航空研究開発機構研究開発本部中村安雄,平子敬一"小型実証衛星1型(SDS-1)成果概要と運 用終了",平成22年9月22日
- [9] 宮崎仁"ノイズ対策法 あの手この手",トランジスタ技術 1992 年 6 月号 CQ 出版
- [10] Hirokazu Odaka, Takayuki Yuasa "SpaceWire のつなげかた TRON 版 SpaceCube 編", 第 1.0 版, 2006-11-11
- [11] サンハヤト社 "クイックポジ感光基板の作り方", 2010 年 4 月 10 日
- [12] 次期 X 線天文衛星計画ワーキンググループ "NeXT 計画提案書", 2005
- [13] 田中琢也 "衛星搭載機器統一通信規格 SpaceWire を用いた宇宙 X 線・ガンマ線観測用データ収集シス テムの開発",修士論文 広島大学,2008
- [14] 松岡正之 "新衛星通信規格 SpaceWire を用いたデータ収集システムの開発",卒業論文 広島大学,2008
- [15] Takayuki Yuasa and SpaceWire User Group Japan "SpaceWire/SpaceCube Tutorial", 2010-06-16
- [16] 高橋弘充, 松岡正之, 湯浅孝行 "SpaceWire-to-TCP/IP converter "main_sthongo" コマンドの使い 方",2010-02-17
- [17] 神崎康宏, 木下淳 "LTspice スタートアップ・マニュアル", トランジスタ技術 2008 年 7 月号 別冊付録 CQ 出版
- [18] M.Matsuoka "エッチングのススメ",2010.11.12
- [19] 長谷川裕恭"改訂 VHDL によるハードウェア設計入門", CQ 出版 1995 年

- [20] National Semiconductor 社 "LMP7732 Datasheet", June, 2008
- [21] 東芝社 "TC74LCX541F Datasheet", 2010-01-31