次期X線天文衛星ASTRO-H搭載
硬X線撮像用シリコン検出器の性能評価

広島大学大学院理学研究科 物理科学専攻
高エネルギー宇宙・可視赤外線天文学研究室
M085125　林 克洋
主査 深沢 泰司　副査 石川 健一

2010年2月10日

概 要

次期 X 線天文衛星 ASTRO-H に搭載される硬 X 線撮像検出器 HXI は、X 線望遠鏡を用いた硬 X 線帯域 (5-80 keV) での世界初の撮像観測を実現し、これまでの検出器を大きく上回る高い感度とエネルギー分解能を達成することで、ブラックホールや宇宙線など、宇宙の様々な高エネルギー現象を解明できると期待されている。HXI の主検出部を構成する半導体検出器は、Si と CdTe が層状に組まれた二段階構造をしており、そのうちの Si 層は、両面シリコンストリップ検出器 (DSSD) と呼ばれ、5-30 keV の低エネルギーフォトンの検出を行う。これは、ストリップ状の P 型/N 型半導体がシリコンウエハに直行状に埋め込まれたものであり、両極間に逆バイアス電圧をかけることで、両者が重なった部分がそれぞれダオードとしてのはたらきをする。本研究室および ISAS/JAXA、SLAC などとの共同研究を通じて、これまで十年以上に渡って様々な形状の素子での研究が進められ、最適なモデルの検証が行われてきた。私はこのような過程の結果得られた、硬 X 線集光撮像に最適なモデルである、大きさ 3.4cm 角、片面ストリップ数 128 本のフライトモデルの性能評価を行った。

まず検出器のエネルギー分解能に作用するリーク電流や容量の基礎特性を調べ、1 チャンネルスペクトルの導出を行った。その結果、リーク電流や容量は、バイアスや温度などの変化に対し、理論値やこれまでの DSSD 基礎特性結果と整合性のとれるふるまいを示した。さらには、従来の DSSD で問題になっていた Nside 側の分解能が、そのストリップ周辺に改良が加えられたことによって、2.4keV(FWHM @60 keV) という過去最良の値を得ることに成功した。これら得られた電流値や容量値は、DSSD の要求性能を満たしており、高いエネルギー分解能でのスペクトルの導出を可能にする。

次に、実際の撮像観測で行われる、複数のストリップからの信号を同時に読み出した際の X 線応答を調べるために、4 チャンネルプリアンプと ADC 変換ボードを用いて、多チャンネル同時読み出しを行った。X 線の入射とともに DSSD のバルク内で生成される電子ホール対は、それが生成された場所によって読み出されるストリップが変わってくる。特にストリップの間で生成された電子ホール雲は、両ストリップで共有されて読み出されるため (スプリットイベント)、計測されるエネルギー値が下がり、入射 X 線に対する正しいエネルギー変換が行えない可能性がある。また先行研究において、Pside 側では、素子の表面の SiO_2 層内に内在する正の固定電荷の影響によって、片方のストリップで極性の異なる信号が出力されるとの報告もある。そこで両隣のストリップについて、同期したイベントの出力を行い、スプリットイベントや極性の異なる信号が、全体の出力信号のどのくらいの割合を占めるか測定を行った。その結果、^{131}Ba の 31 keV 輝線に関して、スプリットイベント、負の信号の割合は、それぞれ 0.17、0.05 と求まった。この結果は、これまでの DSSD の先行研究に比べて異なる結果であるが、ストリップピッチ間隔などの DSSD の形状で説明可能な現象である。さらに、これらの信号の波形を調べ、その立上りからバルク内での電荷収集時間の評価も行ったところ、どのイベントに対する peaking time も一致したものであり、実際の観測においてもエネルギーによって異なる波形整形条件などを加味すする必要はないことを実証した。

目 次

第 1 章　はじめに **5**

1.1　宇宙 X 線観測と ASTRO-H 衛星 5

1.2　研究の目的 6

第 2 章　硬 X 線撮像検出 **8**

2.1　硬 X 線撮像システム 8

2.1.1　硬 X 線望遠鏡 HXT 8

2.1.2　硬 X 線撮像検出器 HXI 9

2.2　半導体検出器 13

2.2.1　両面シリコンストリップ検出器 (DSSD) 13

2.3　半導体検出器のノイズ源 14

2.3.1　半導体検出器のノイズ源となる要因 14

2.3.2　電子回路系によるノイズ 18

2.4　X 線応答 19

2.5　DSSD 開発の経緯 20

第 3 章　DSSD の基礎特性評価 **22**

3.1　3.4cm 角 DSSD の性質 22

3.2　リーク電流測定 25

3.3　検出器容量の測定 28

3.4　1ch スペクトルの取得 30

第 4 章　多チャンネル読み出しによるスプリットイベントの評価 **33**

4.1　多チャンネル読み出しシステム 33

4.1.1　4 チャンネルプリアンプと FADC ボード 33

4.1.2　SpaceWire と SpaceCube 36

4.2　2 チャンネル同時読み出し 39

4.2.1　スプリットイベント 39

4.2.2　実験セットアップ 39

4.2.3　スプリットイベントの取得 42

4.2.4　極性の異なるイベント 46

4.2.5　過去の測定との比較 46

4.2.6　波形の比較 49

第 5 章　まとめと今後 **54**

第 6 章　極性の異なる信号 **56**

図 目 次

1.1 ASTRO-H 衛星の概観および硬 X 線撮像検出システム 7

2.1 全反射鏡、多層膜ミラー、多層膜スーパーミラーの模式図 9
2.2 HXT の有効面積 9
2.3 HXI の構造 (左) と主検出部 (上) 10
2.4 Si と CdTe を層状に組み合わせた場合の検出効率 11
2.5 HXT による集光 · 結像の概略図 11
2.6 HXI で実現される感度の他の検出器との比較 12
2.7 DSSD の断面図 14
2.8 DSSD の各面の概略図 14
2.9 DSSD がもつ容量 16
2.10 Nside 側の Interstrip Capacitance 16
2.11 異なるストリップギャップでのリーク電流値 [2] 17
2.12 Pside 側のストリップの幅 · 間隔と容量の関係 [4] 17
2.13 ストリップ周辺の拡大写真 17
2.14 DC 結合の等価回路 18
2.15 収集された電荷からパルス出力までの模式図 19
2.16 2.56 cm 角および 4 cm 角 DSSD[1] 21
2.17 片面ストリップ数 32 本の DSSD で得られた X 線画像 [2] 21

3.1 DSSD の Nside 拡大図面 22
3.2 測定した DSSD および基板上の読みだしセットアップ写真 23
3.3 DSSD 基板の図面 (左:Pside· 右:Nside) 24
3.4 リーク電流測定セットアップ図 25
3.5 リーク電流の各温度でのバイアス依存性 26
3.6 リーク電流の温度依存性 27
3.7 傷の入った素子のリーク電流 27
3.8 DSSD 容量測定のセットアップ。左:Body Capacitance· 右: InterstripCapacitance (Pside) 28
3.9 DSSD 容量のバイアス依存性。左:Body Capacitance· 右:Interstrip Capacitance 29
3.10 1ch スペクトル読み出しセットアップ 31
3.11 温度-20 ℃、バイアス 140V での 1ch スペクトル。左が Pside、右が Nside の結果。 31
3.12 エネルギー分解能のシェイピングタイム依存性 32

4.1 多チャンネル読み出しセットアップ図 34
4.2 SpaceWire PoGO 用 FADC ボード [20] 35

4.3 FADC User FPGA 上の論理回路ブロックダイアグラム図 36
4.4 SpaceWire の外観 (右)[15] と断面図 (左)[14] 37
4.5 SpaceCube の外観 [17] 37
4.6 FADC ボードを通じて出力された波形の例 38
4.7 スプリットイベントの模式図 [8] 39
4.8 使用したコリメータ 40
4.9 コリメートシステムの模式図 41
4.10 DSSD の真上にコリメータを設置した様子 42
4.11 DSSD と 4 チャンネルプリアンプの接続の様子 42
4.12 多チャンネル読み出しセットアップの全景写真 43
4.13 2 チャンネル同時読み出しの際の各チャンネルの ^{241}Am のスペクトル (左:Ch63· 右:Ch64) 43
4.14 Pside の両隣のストリップの 2 チャンネル同時読み出しによって得られた二次元イベントマップ 44
4.15 Nside の両隣のスリップの 2 チャンネル同時読み出しによって得られた二次元イベントマップ 45
4.16 SiO_2 上の固定電荷によって発生するローカルミニマムポテンシャル構造 [1] 46
4.17 ローカルミニマム領域で電子/ホール雲が発生した場合に Pside 側に誘引される電荷 [1] 46
4.18 3.4 cm 角 DSSD と 4 cm 角 DSSD の電荷収集の模式図 48
4.19 Nside の電場構造とキャリアの流れ 48
4.20 2 チャンネル同時読み出しの際に得られた Ch63 のある 1 イベント 59.5 keV の波形 49
4.21 59.5 keV ピークに対するノーマルイベントとスプリットイベントの波形 . 50
4.22 2 チャンネル同時読み出しの際に得られた Ch63 での各種イベントの波形 51
4.23 Ch64 が正、Ch63 が負の極性の異なるイベントの波形 52
4.24 Nside におけるノーマルイベントおよびスプリットイベントの波形 53

6.1 4cm 角 DSSD で測定された 2 スプリット間同時イベント (左:Pside、右:Nside) 56
6.2 SiO_2 上の固定電荷によって発生するローカルミニマムポテンシャル構造 [1] 57
6.3 ローカルミニマム領域で電子/ホール雲が発生した場合に Pside 側に誘引される電荷 [1] 57
6.4 VENUS2D シミュレータによって得られた Pside の 2 ストリップ間イベントマップ [1] 58
6.5 Pside の 2 ストリップ間イベントとその発生位置関係 [10] 59

表 目 次

2.1 HXT の要求性能 9
2.2 硬 X 線 · γ 線検出器に使われる半導体素材の比較 [6] 10
2.3 HXI の要求性能 11

3.1 測定したフライトモデル DSSD の仕様 23
3.2 20 度における DSSD のリーク電流の比較 26
3.3 DSSD の空乏化電圧での Interstirp capacitance の比較 29
3.4 1ch スペクトル取得に使用した機器 31

4.1 4 チャンネルプリアンプの主な仕様 [16] 34
4.2 SpaceCube の仕様 [17] 37
4.3 手動精密ステージ XM16A-S1L の仕様 [7] 40
4.4 スプリットイベントおよび負のイベントのノーマルイベントに対する割合 47

第1章　はじめに

1.1　宇宙X線観測とASTRO-H衛星

宇宙は無数の星や星間物質で満たされ、それらは極低温から数億度に達するような超高エネルギーなものまで様々な物理状態にある。中でも超新星残骸・ブラックホール・銀河団などの高エネルギー天体は、加速された粒子のシンクロトロン放射や逆コンプトン散乱などを通じた非熱的放射によって、硬X線やγ 線で明るく輝く。さらにこれらの電磁波は、電波や可視光に比べてエネルギーが高く、星間空間での吸収・散乱を受けにくい。従って、放射機構や加速粒子の分布など、宇宙における高エネルギー現象を解明する上で、X線γ 線は最も重要な情報源であり、その観測は欠かせないものである。

しかし、X線γ 線は大気による吸収を受けるため、地上観測が難しく、1950年代以前は、それらの観測を通じての宇宙研究は行われていなかった。1962年、GiacconiによるX線星 (Sco-X1) の発見を口火に、観測機器を搭載した人工衛星や気球が次々に打ち上げられ、X線γ 線天文学は急速に発展した。こうしてX線やγ 線観測による高エネルギー宇宙物理学は、観測装置の開発から理論モデルの構築まで、今日の宇宙物理学における主要な研究対象の一分野となっている。

最近のX線観測衛星としては、日本のASCA(1993-2001)、NASAのChandra(1999-)、ESA(欧州宇宙機関)のXMM-Newton(2000-)らがある。しかし、これらの衛星は、熱的放射が支配的な軟X線帯域 (10keV以下) までの観測しか行うことができず、非熱的放射が見え出す硬X線帯域の情報は、ほとんど明らかにされていなかった。そのような中、2005年に打ち上げられた日本の「すざく」衛星は、硬X線帯域観測機器HXD(Hard X-ray Detector)を有し、広いエネルギー帯域 (10-600keV) と低いバックグラウンドを特長とする高い観測精度を実現した。その観測によって、現在、ブラックホールや中性子星などの比較的小さな系から、銀河・銀河団に渡る大きな系まで、宇宙における高エネルギー現象の様々な謎が明らかになりつつある。

さらに、次世代のX線観測衛星として、現在ISAS(宇宙科学研究本部)を中心に、国内外の多数の大学や研究機関を踏まえて開発が進められているのが、2014年打ち上げ予定のASTRO-H衛星である (図1.1)。ASTRO-Hは軟X線帯域での詳細なスペクトル解析が可能なSXS(Soft X-ray Spectrometer:高分散X線分光検出器;0.3-10keV)、X線CCDカメラを用いた軟X線帯域での撮像検出が可能なSXI (Soft X-ray Imager:軟X線撮像検出器;0.5-12keV)、硬X線帯域での撮像を初めて可能にするHXI(Hard X-ray Imager:硬X線撮像検出器;5-80keV)、そして最も高いエネルギーの軟γ 線帯域を担うSGD(Soft Gamma-ray Detector:軟γ 線検出器; 10-600keV)の4つの検出器を有する。SXSやSXIは軟X線望遠鏡SXT(Soft X-ray Telescope)の焦点面に置かれ、それぞれ「すざく」で実現できなかった実観測による詳細な輝線スペクトル導出や、「すざく」XIS(X-ray Imaging Spectrometer)に代わる検出器として、より視野の広い高精度な観測を実現する。またHXIは多層膜スーパーミラーというこれまでにない独自の技術を用いて初めて可能になった硬X線帯域の

集光望遠鏡 HXT(Hard X-ray Telescope) の焦点面に置かれ、ストリップ状の半導体検出器を用いて、世界初硬 X 線帯域での高感度な撮像観測を可能にする。さらに SGD は、半導体多層膜コンプトンカメラを用いた次世代のγ 線検出方法で、コンプトン運動学という手法に基づいたγ 線エネルギーや到来方向決定の算出によって、軟γ 線帯域でのこれまでにない高い観測精度を実現する。

ASTRO-H はこれらの最新の技術を駆使した高感度な X 線γ 線観測を行うことで、様々な宇宙の高エネルギー現象の解明をもたらすことが期待される。

1.2 研究の目的

ASTRO-H に搭載される 4 つの検出器の中でも、5-80keV 帯域での硬 X 線撮像観測を実現する HXI は、低エネルギー側 (5-30keV) フォトンの検出のための両面 Si ストリップ検出器 (DSSD) と、高エネルギー側 (30-80keV) フォトンの検出のための CdTe ストリップ検出器からなる。これらは主として荷電粒子の飛跡検出器として、地上での素粒子実験・原子核物理実験に使われていたもので、宇宙観測用として人工衛星に搭載されるのは、ASTRO-H が初めてとなる。これまで 10 年以上に渡って、ISAS・広島大学・スタンフォード線形加速器センター (SLAC) によって、共同研究が進められ、検出器サイズ、厚さ、ストリップ幅、ストリップ数など、様々な形状での素子評価を繰り返し、最適なモデルの検証が行われてきた。そして浜松ホトニクス製の、3.4cm 四方の大きさを持ったフライトモデル (FM) の決定に行き着いた。本研究では、この FM の DSSD 検出器が当要求性能を満たすものか確かめ、高精度な宇宙硬 X 線撮像観測の実現が可能であるか実証する。

まずはじめに、DSSD のエネルギー分解能に大きく関連する、リーク電流や容量の計測を行った。これらは、検出器内で起こる雑音の根源となり、とくに測定されるスペクトルのエネルギー分解能に大きな寄与を与える。その情報を得た上で、実際に 1 チャンネルスペクトルを測定し、要求性能を満たす分解能が得られるかどうか実証した。

次に複数のチャンネルを同時に読み出し、その結果現れる X 線応答についての評価を行った。実際の撮像観測では、P/Nside 合わせて 256 本あるストリップから、その X 線エネルギーや位置情報が読み出される。しかし、ストリップ間に入射した X 線によって生成されたキャリアは、両ストリップで共有されて読み出されるため、測定されるエネルギー値が下がり、正確なエネルギー値を反映できない可能性が高い。また、素子内の電場構造によって、極性の異なる信号が発生するなど、DSSD においては、一定の X 線エネルギーに対する応答も様々である。そこで、これらのイベントが、照射された X 線エネルギーをもつイベントに対してどのくらいの頻度で起こるのか、またその波形から電荷収集時間を読み取り、特徴的な応答をしていないか調査を行った。

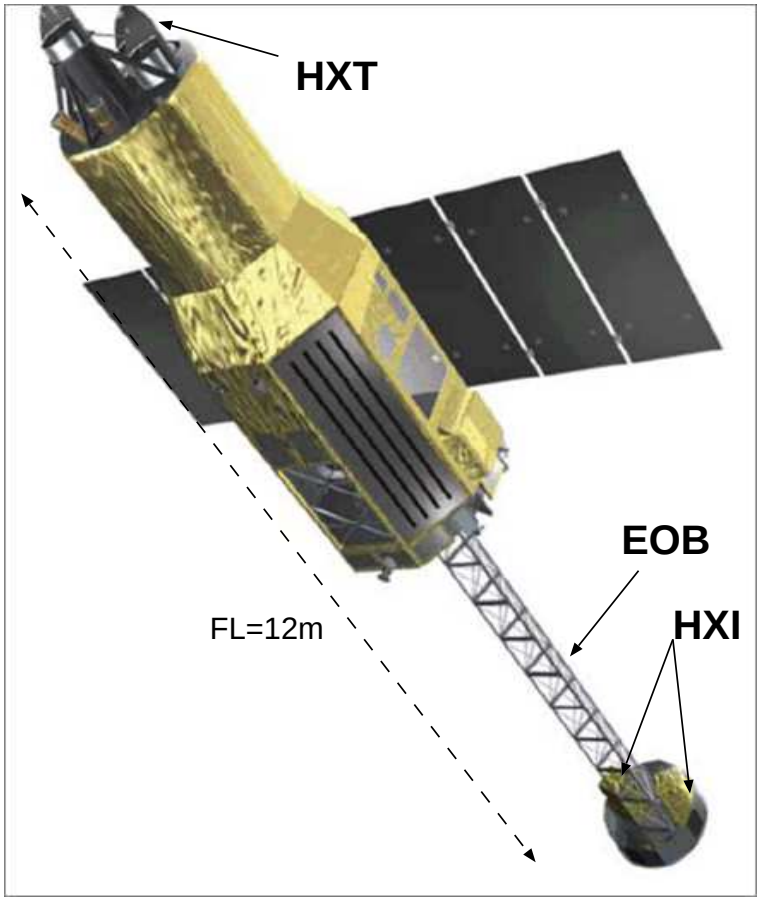

図 1.1: ASTRO-H 衛星の概観および硬 X 線撮像検出システム

第2章　硬X線撮像検出

2.1　硬X線撮像システム

2.1.1　硬X線望遠鏡 HXT

HXI は、硬 X 線望遠鏡 HXT によってその焦点面に X 線を集光し、その撮像検出を行う。このように硬 X 線帯域では実現されていなかった望遠鏡による集光を行うことによって、その有効面積に対して検出器の面積を小さくすることで、signal/noise の値を上げ、検出器の感度を大きく向上させる。

X 線は電波や可視光に比べて透過率が非常に高く、一般の光学望遠鏡と同じ素材で反射望遠鏡を作ることは不可能である。さらに、全反射させて焦点面に集光させるには、反射面に対して入射角度を 1 度以下におさえなくてはならない。10 keV 以下の軟 X 線の集光については、これまでに、Chandra、XMM-Newton、「すざく」衛星などの X 線望遠鏡の開発によって実現されてきた。その全反射鏡の素材には、反射率の高い、ニッケル、金、プラチナ、イリジウムなどの重金属が使われている。さらに 0.1 度程度の入射角度が求められる 10 keV 以上の硬 X 線に対して、集光を可能にしている全反射鏡が多層膜型ミラーである。これは、X 線を反射させる Pt や Ir 結晶の層と、反射には寄与しない C や Si といった軽元素の結晶の層を、10$\AA$ の周期で積層させたものであり、結晶内でのブラッグ反射の原理から、臨界角を超えて入射してきた X 線に対しても、集光可能な反射率に変換することが可能となる (図 2.1 中央)。ブラックの反射条件は、X 線波長 λ、周期長 d、入射角 θ、ブラック反射次数 m として次のように書ける。

$$m\lambda = 2d\sin\theta \tag{2.1}$$

X 線波長 λ を X 線のエネルギー E(keV) に変換すると、

$$m\frac{12.39}{E} = 2d\AA\sin\theta \tag{2.2}$$

と表せる。

しかし、周期長 d が一定のままでは、ブラックの条件式 (2.2) から、単一のエネルギーの光しか全反射できない。そこで、周期長の異なる膜を多層に積み重ね、全反射が可能となるエネルギーに幅をもたせたものが多層膜スーパーミラーである (図 2.1 右)。このような多層膜望遠鏡については、名古屋大学を中心に研究・開発が進められてきた。HXI では、入射角 0.1 度程度の 10 keV 以上の硬 X 線を全反射させることが求められる。そこで反射鏡の素材には周期長の短い Pt を利用し、異なる周期長の Pt と C の膜を積層することによって、より高エネルギー側のエネルギー幅のある硬 X 線全反射鏡多層膜スーパーミラーが開発された。その上で、伸展式光学台 EOB(図 1.1) で 12 m という長い焦点距離を稼ぐことによって、5-80 keV という広いエネルギー帯域での高い反射率を実現し、大きな有効面積をかせぐ (図 2.2)。表 2.1 には HXT に求められる要求性能をまとめた。

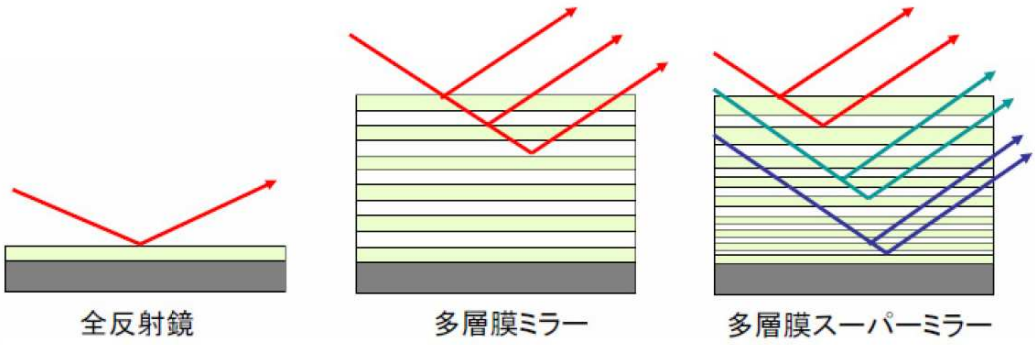

図 2.1: 全反射鏡、多層膜ミラー、多層膜スーパーミラーの模式図

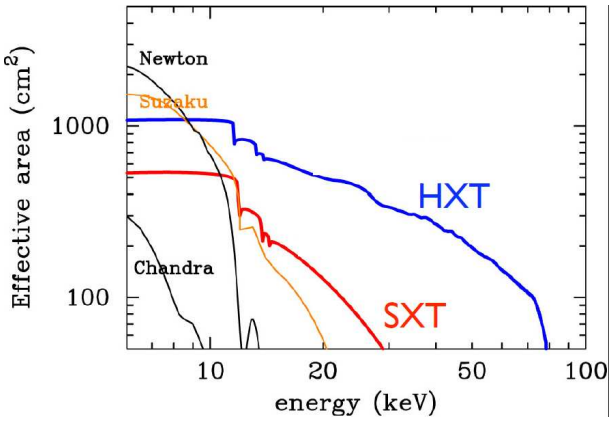

図 2.2: HXT の有効面積

有効面積	300 cm^2 @30keV
エネルギー帯域	0.5-80 keV
空間分解能	30 秒 (*HPD)
視野	9 分

表 2.1: HXT の要求性能
*Half Power Diameter:図 2.5 参照

2.1.2 硬 X 線撮像検出器 HXI

HXT によって集光された硬 X 線は、その焦点面の HXI によって撮像検出される。図 2.3 は HXI の全体構造およびその主検出部である。主検出部は、3.4 cm 四方、厚さ 0.5 mm の両面 Si ストリップ検出器 4 枚と、CdTe ストリップ検出器 1 枚で構成される。原子番号が小さく、CdTe に比べて自らの放射化が無視できる Si(DSSD) を上層部に、原始番号が大きく比抵抗の小さい CdTe を下層部に配置し、Si で 5-30 keV の低エネルギー光子を、CdTe で 30-80 keV の高エネルギー帯域の光子を検出する。Si 層 1 枚では、図 2.4 のように 20 keV 近辺のエネルギー帯域に十分な検出効率が満たされないため、それを 4 枚重ねることでその帯域の検出効率を補う。さらに 30 keV 以上の高エネルギー光子については、Si ではほとんど吸収されないので、下層部に CdTe を配置することによって図 2.4 のようなハイブリッド検出が可能となり、全エネルギー帯域で高い検出効率を実現できる。

硬 X 線望遠鏡の 9 分角 (表 2.1) という視野を満たすため、DSSD や CdTe 検出器には 3.2cm 角の effective area が求められる。また、HXT には 30 秒角の広がり (HPD:Harf Power Diameter) が存在するため、焦点距離が 12 m の場合、検出器には少なくとも 2 mm 以下の位置分解能が必要となる。さらに焦点面での正確な結像を行い、天体の高い位置決定精度を実現するには、3∼5 秒角の位置分解能、つまり 250 μm 程度のストリップ間隔が求められる。図 2.5 にこれら HXT による集光と HXI による結像の関係を概略図として表した。

HXI は結像によるイメージング取得と併せて、入射 X 線のエネルギーを判断し、スペ

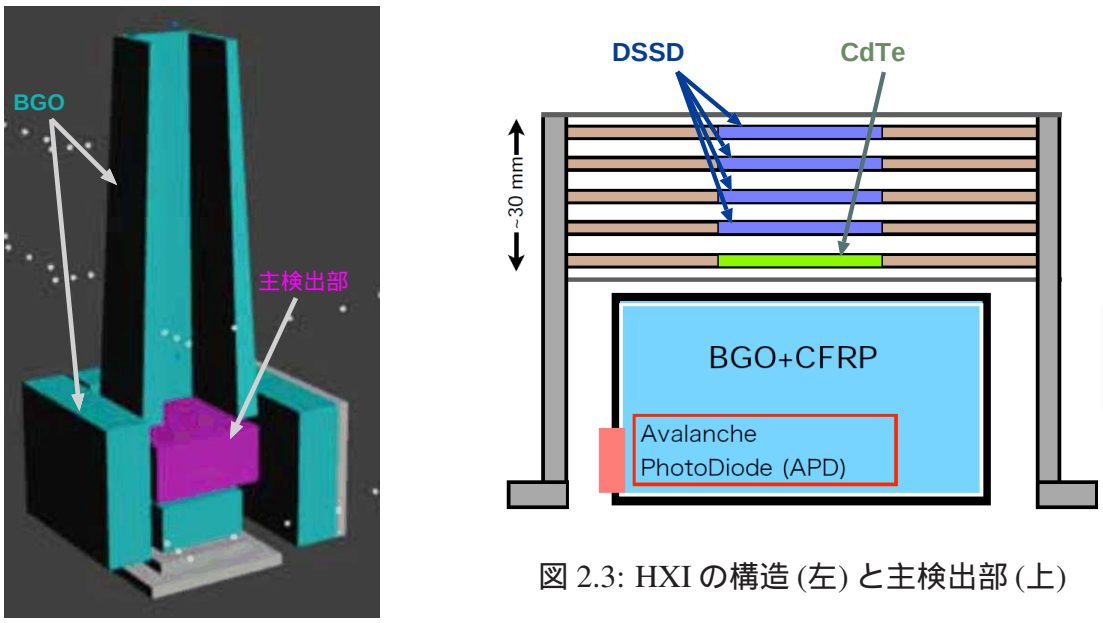

図 2.3: HXI の構造 (左) と主検出部 (上)

	原子番号 Z	密度 [g/cm^2]	比抵抗 [Ωcm]	バンドギャップ [eV]	$*\varepsilon$ [eV]	$\dagger(\mu\tau)_e$ [cm^2/V]	$\dagger(\mu\tau)_h$ [cm^2/V]
Si	14	2.33	1×10^3	1.12	3.65	0.42	0.22
Ge	32	5.33	1×10^2	0.72	2.98	0.72	0.84
CdTe	48/52	5.85	1×10^9	1.4	4.43	$\sim 2\times10^{-3}$	$\sim 1\times10^{-4}$
CdZnTe	48/30/52	5.81	3×10^{10}	1.6	4.6	$\sim 1\times10^{-3}$	$\sim 3\times10^{-4}$

*一対の電子 · ホール対をつくるのに必要なエネルギー
† キャリアの移動度 μ と寿命 τ の積 (e: 電子、h:ホール)

表 2.2: 硬 X 線 · γ 線検出器に使われる半導体素材の比較 [6]

クトルを導出するという役割ももつ。スペクトル中に現れる輝線や吸収線およびその時間変動は、ターゲット天体内の元素構造や運動の様子を反映するので、エネルギー分解能の向上が欠かせない。また、10 keV 以上の硬 X 線では、宇宙線が衛星や検出器と直接反応することによって生じる 2 次 X 線などのバックグラウンド (NXB:Non X-ray Background) が検出器の感度を大きく作用する。そこで HXI では、「すざく」衛星 HXD で既に実証されている BGO を用いた井戸型シールドを用いることで、その阻止能の高さを最大限に利用し、視野外からの X 線γ 線や宇宙線を制限する。さらには、検出器との反同時係数をとることで、シールドや検出部からの放射化イベントを除去するといった、シールドそのものもアクティブに活用することで、検出器の低バックグラウンド化を実現している (図 2.3)。表に HXI で求められる要求性能をまとめた。また図 2.6 に、HXI で実現される感度を示す。このように HXI では「すざく」衛星 HXD よりも二桁以上の高い検出感度を実現する。

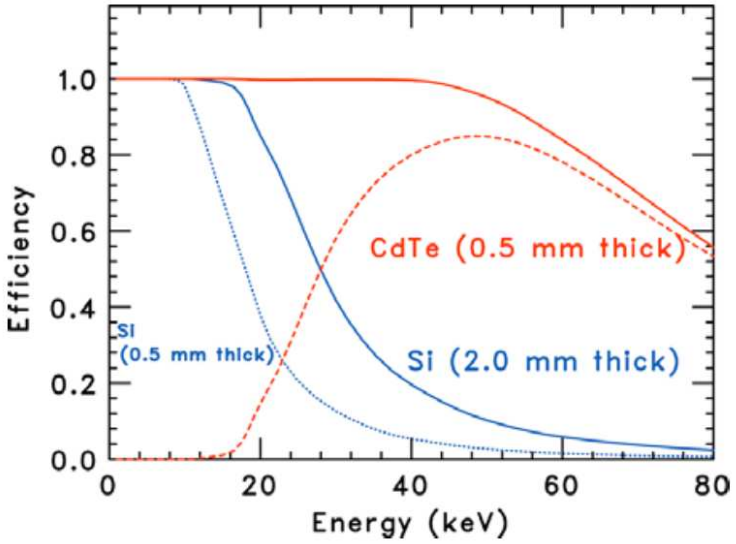

図 2.4: Si と CdTe を層状に組み合わせた場合の検出効率

エネルギー帯域	5-80 keV
エネルギー分解能	1.5 keV (@60 keV FWHM)
検出器視野	9 分
検出器バックグラウンド	1-3 $\times$ 10^{-4} cts/s/cm/keV 以下

表 2.3: HXI の要求性能

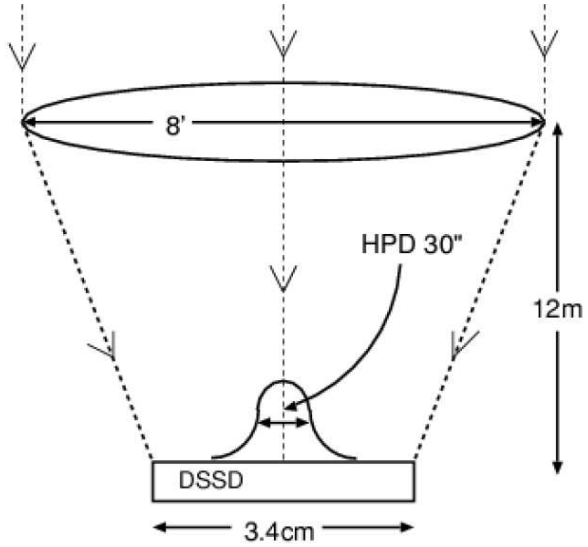

図 2.5: HXT による集光 · 結像の概略図

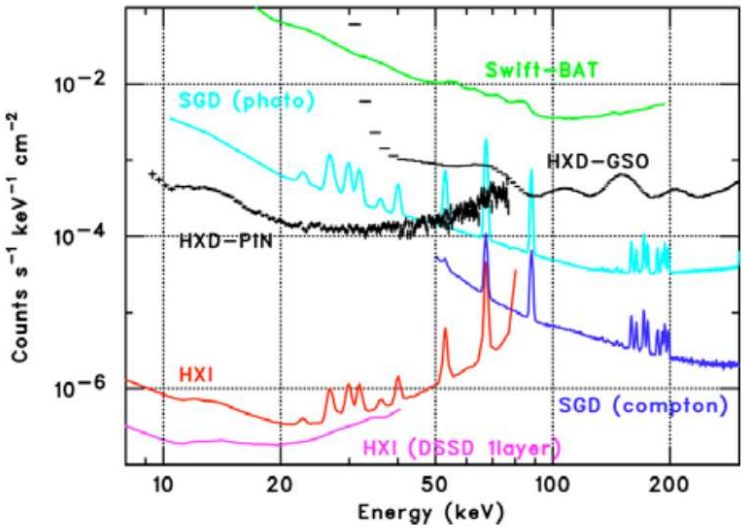

図 2.6: HXI で実現される感度の他の検出器との比較

2.2 半導体検出器

HXI の主検出部に用いられる半導体検出器とは、X 線などの入射光子によって、半導体内部の原子中の電子を励起させることで発生したキャリアの数や位置を電気信号として読み取ることで、入射光子の情報を読み出す検出器である。その最大の特長は、他の検出器では実現できない高いエネルギー分解能にある。従来の X 線やγ 線の検出には、CsI や NaI などのシンチレータに当てることで発生したシンチレーション光を、光電子増倍管やフォトダイオードなどで読み取る方法が多く用いられてきた。しかし、シンチレーション検出器は、一対のキャリアを生成するのに 100eV 程度のエネルギーを必要とするため、特に硬 X 線やγ 線の高エネルギー帯域では、キャリア数は数千程度にしか満たず、Poisson 揺らぎによるエネルギー分解能の悪化が大きい。一方、半導体検出器では、一対のキャリアをつくるのに必要なエネルギーは 3eV 程度であり、十分にキャリア数をかせぐことができ、高いエネルギー分解能での検出が可能である。

2.2.1 両面シリコンストリップ検出器 (DSSD)

両面シリコンストリップ検出器 (DSSD) とは、図 2.7 のように n 型シリコンウエハーの片面に p^+ ストリップを、対面に n^+ ストリップを直交上にインプラントしたものであり、ストリップが重なった部分がそれぞれ単独のダイオードとしての機能をもつ。両極間に逆バイアス電圧をかけることによって、ストリップ間にキャリアがほとんど存在しない空乏層領域が生成される。ここに X 線やγ 線が入射すると、原子中の価電子帯に束縛されていた電子が、光電吸収やコンプトン散乱、電子陽電子対生成といった過程を踏まえて伝導帯に励起され、空乏層内に入射光子のエネルギーに比例した数の電子・ホール対が発生する。両極間にできた電場によって電子は Nside 側に、ホールは Pside 側のストリップに収集され、各ストリップと DC 結合された Al 電極にて読みだされることで、入射光子のエネルギーおよび二次元的な検出位置情報まで得ることができる。

ストリップ周辺の電場を一様にそろえるため、図 2.8 のように Pside、Nside ともにそれぞれ外枠を p^+、n^+ のガードリングで囲んでいる。また、Pside はバイアスをかけることによって、それぞれの p^+ ストリップ間に自動的に n^+ 領域が生成され、ストリップの絶縁が可能だが、Nside は n^+ と Nbulk がオーミック接合であるため、バイアスをかけるだけではストリップ間の絶縁は行えない。そこで Nside は、各 n^+ ストリップの周りを p-stop とよばれる p^+ 領域で囲むことによって、各ストリップを絶縁させる。また両極面とも、Al 電極以外の表面は SiO_2 の絶縁層で覆われており、直流電流が直に流れないようにしている。

素子に逆バイアス電圧をかけることによって Nbulk は次第に空乏化していく。空乏化電圧は、ε をシリコンの誘電率 (=$1.05\times10^{-}12$ F/m)、N_D をドナーの密度、V_0 を接触電位 ($\sim$1V) として、以下のように表せ、それはほぼ素子の厚さ d の 2 乗に比例する。

$$V \simeq \frac{eN_D d^2}{2\varepsilon} - V_0 \tag{2.3}$$

DSSD のシリコンウエハーの比抵抗は 5kΩcm 程度、またシリコンにおける電子の移動度の典型値が 1500 cm^2/V_s であることから、N_D は 8.3×10^{11} cm^{-3} となり、例えば厚さ 500 μm の DSSD を完全空乏化させるには、およそ 160 V の電圧が必要になる。

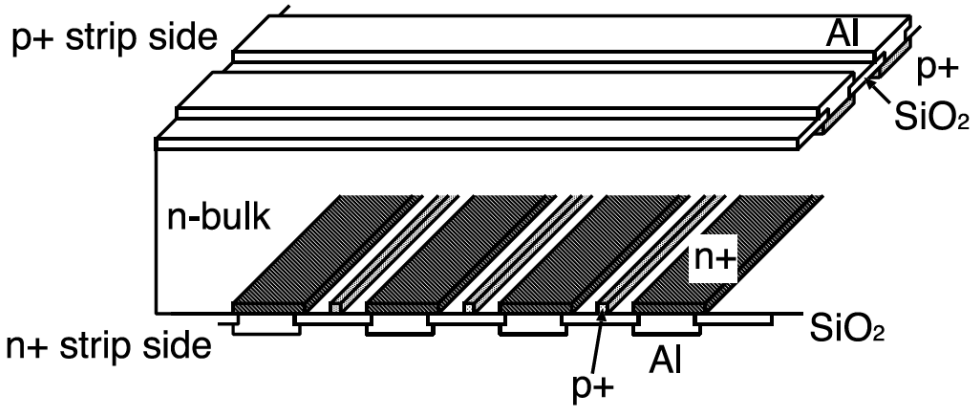

図 2.7: DSSD の断面図

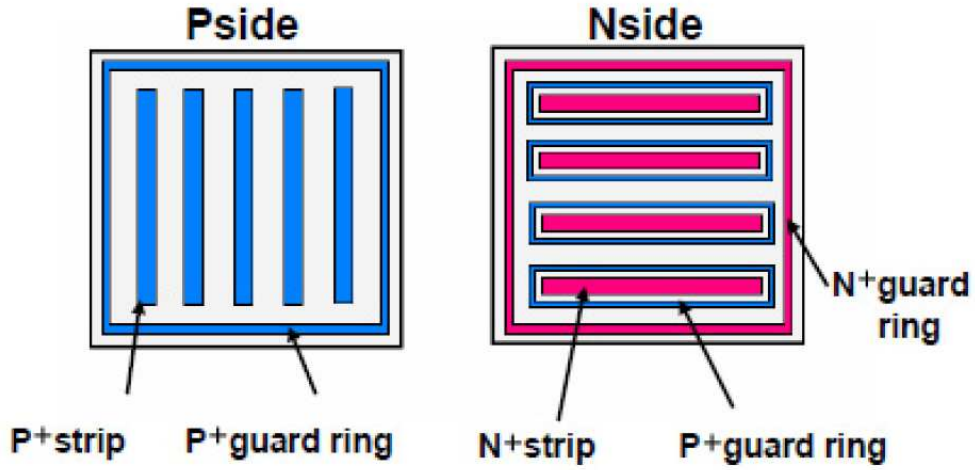

図 2.8: DSSD の各面の概略図

2.3 半導体検出器のノイズ源

天体からの正確な信号を得るためには、位置分解能やエネルギー分解能に大きな影響を与えるノイズへの対策が最も重要になる。そのノイズ源となるものは、大きくは、(i) 検出器によるもの、(ii) 読み出し系回路によるもの、(iii) 外部から何らかの経路によって侵入してくるものの三つに分けられる。(iii) の外来ノイズによるものへの対策としては、検出器も含めた読み出し系回路をアルミボックスなどで電磁シールドすることや、装置間のケーブルがグラウンドループを作らないようにする、あるはいデジタル電源とアナログ電源を分離し、共通インピーダンスをつくらない、などといった対策が必要となる。ここでは (i) および (ii) のエネルギー分解能に影響を与えるノイズついて触れる。

2.3.1 半導体検出器のノイズ源となる要因

検出器内で発生し、読み出し回路全体に大きな影響を与え、分解能悪化の原因となるノイズ源として、リーク電流と検出器容量がある。

リーク電流

半導体検出器に逆バイアス電圧をかけた際に、空乏層内にある電子が熱的に励起されると、その半導体物質特有のエネルギーギャップを超えるエネルギーを得た電子が伝導帯に遷移される。それによって生じた電子・ホール対が、電極間の電場によって順方向に流れる。これがリーク電流である。

リーク電流は温度と以下のような関係をもつ。

$$I(T) = T^2 \exp(-\frac{E_g}{2k_B T}) \tag{2.4}$$

ここで T は温度、E_g は半導体のエネルギーギャップ、k_B はボルツマン定数である。このようにリーク電流は温度に大きく依存し、室温に比べて 0 度ではおよそ 1 桁程度も小さい。従って、低温下での X 線検出を行うことによって、それによるノイズは大きく減らすことができる。

しかし、実際にはリーク電流はこのようなバルク内での熱的な励起に伴って発生するものばかりではない。半導体結晶内にドナーやアクセプタ以外の不純物が含まれていたり、結晶の構造に乱れがあると、バンドギャップ間に別のエネルギー順位が形成され、電子やホールの伝導帯への遷移を誘発し、新たなリーク電流をつくり出す。半導体検出器として用いられる結晶は、非常に高純度なものではあるが、現実には加工の際に表面などに酸化物が残ってしまうなど、とくに DSSD のような複雑な構造をした半導体素子に対して、不純物や欠陥の全くない結晶を作ることは非常に難しい。このように結晶の質によって決まってくる素子の表面上で発生するリーク電流を、表面リーク電流と呼ぶ。バルク内で熱的に発生したリーク電流とどちらが支配的になるかは、半導体製造過程の質に大きく依存し、その質が高ければバルクからリーク電流が、悪ければ表面からのリーク電流が支配的になる。

また、一般に半導体検出器では逆バイアス電圧がある値を超えるとリーク電流が爆発的に増加する降伏現象がみられる。ある大きな電位差のもとで電場がかかると、価電子帯にいた電子が多く伝導帯にに励起され、その電場のもとで加速された電子がさらに空乏層内の他の原子と衝突することで、その原子の電子が励起される。それが何度も繰り返されることでリーク電流が急激に増加する。従って実際の測定の際には、細かくバイアス印加をかけるなどの注意が必要である。

検出器容量

エネルギー分解能悪化の原因になる大きな要素のもう一つが、検出器がもつ容量である。DSSD に含まれる容量には、図 2.9 のような Pside のストリップと Nside のストリップ間に生じる Body Capacitance と、各 side のストリップ間に生じる Inter-strip Capacitance がある。

Body Capacitance は、素子を平行板コンデンサーと見なして近似的に見積もることが可能である。DSSD の面積、厚さをそれぞれ S[mm^2]、d[μm]、ストリップの長さ、幅、間隔をそれぞれ l[cm]、W[μm]、P[μm]、片面のストリップ本数を n_{strip}、シリコンの誘電率を ε[F/m] とすると、Body Capacitance は 1 ストリップ当たり以下のよう表せる。

$$C_{Body} = (\varepsilon \frac{S}{d}) / n_{strip} \ \ [\mathrm{pF}] \tag{2.5}$$

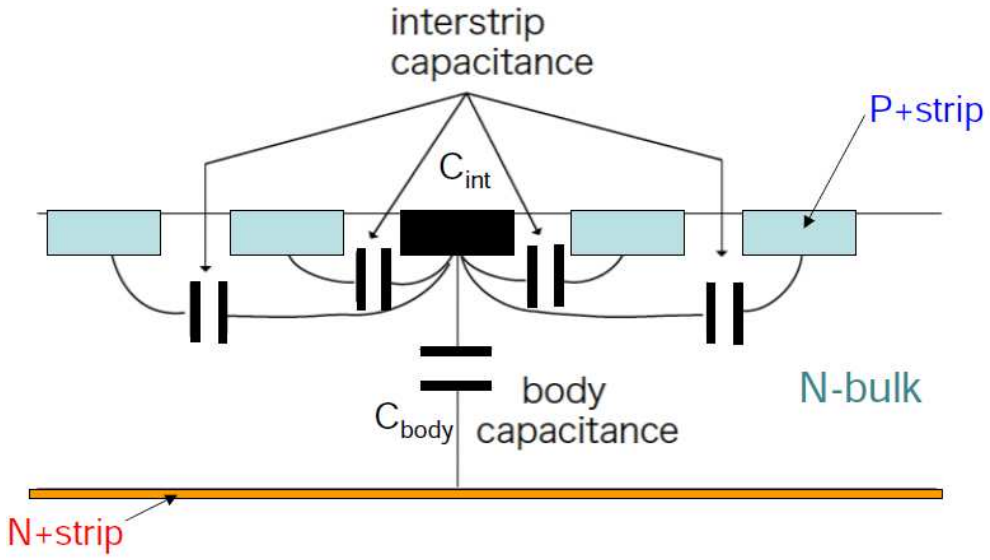

図 2.9: DSSD がもつ容量

また、Inter-strip Capacitance については、図 2.3.1 のようにストリップ幅や間隔に依存することが知られており、それは経験的に 1 ストリップ当たり以下のように書ける。

$$C_{Interstrip} = (0.8 + 1.6\frac{W}{P}) \times l \ \ [\mathrm{pF}] \tag{2.6}$$

Pside においては、検出器全体の容量は式 (2.5)、(2.6) の和で表すことができる。ただし Nside については、図 2.8 ように各ストリップの周りは P-stop で囲まれており、Interstrip Capacitance の値には Nstrip と P-stop でもつ容量も加味され、Pside に比べて容量が数 pF 程度大きくなる。このことは、Nside 側のエネルギー分解能悪化に影響を与える。

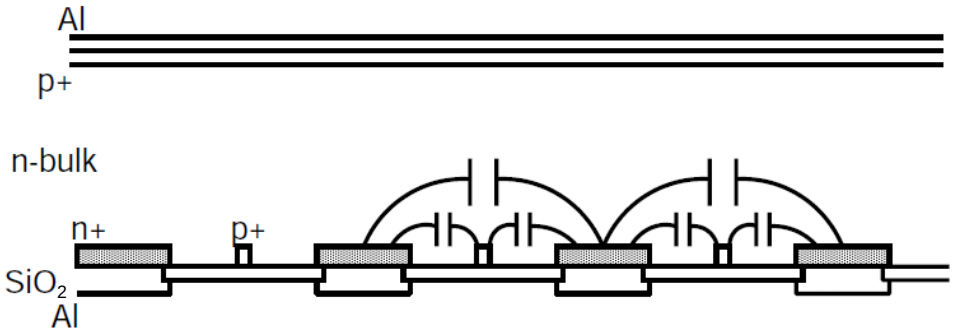

図 2.10: Nside 側の Interstrip Capacitance

その他にリーク電流や検出器容量の大きさを作用するものとして、素子の形状による違いとしては、ストリップ間の広さやストリップ端の形が挙げられる。式 (2.6) や図 2.3.1 より、ストリップギャップを広げるほど Interstrip Capacitance は小さくなるが、一方で逆バイアスをかけることによって生じたストリップ周辺の電束密度は上がり、図 2.3.1 のようにリーク電流値は大きくなる。また、ストリップの角などは、電場が集中し電荷の溜り場になるため、リーク電流発生源やなだれ降伏の原因になる可能性が高い。そのため DSSD

では、ストリップやガードリングなどの角はまるくしてあり、その影響を最大限に下げている (図 2.13)。このようにリーク電流および容量によるエネルギー分解能への寄与を相補的に考慮しつつ、実際に観測機器として使用される際になるべく高精度な観測を実現し、かつなだれ降伏が起きない安全な扱いができるように最適な形状が考慮されている。また素子に付着したゴミや傷もリーク電流や検出器容量増加の原因になる。逆バイアスをかけることで、付着したゴミの中で発生する誘電分極や、電位差の大きな場所についてしまったような傷は電荷のたまり場を作ってしまい、余計な電場構造を生みだし、リーク電流や容量増加の原因になる。

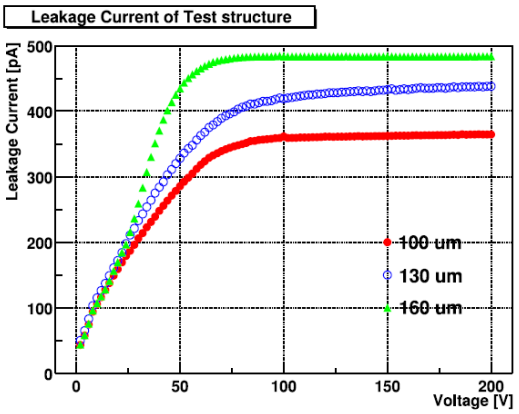

図 2.11: 異なるストリップギャップでのリーク電流値 [2]

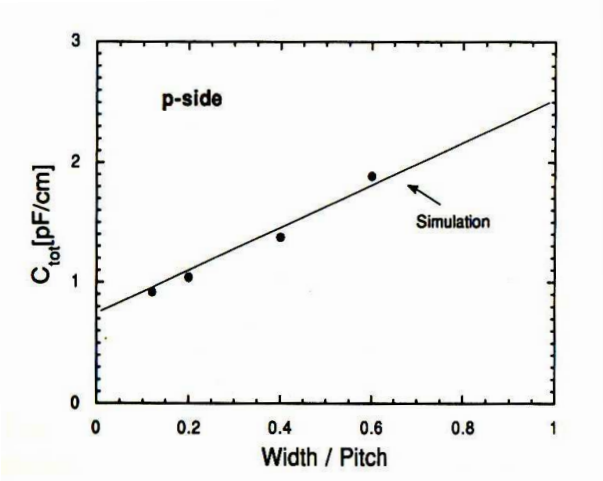

図 2.12: Pside 側のストリップの幅 · 間隔と容量の関係 [4]

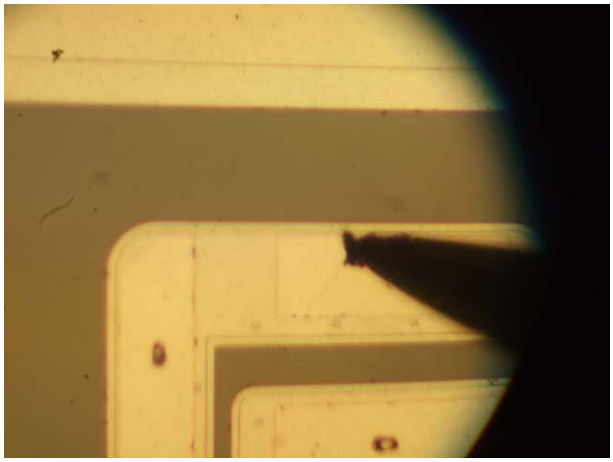

図 2.13: ストリップ周辺の拡大写真

2.3.2 電子回路系によるノイズ

半導体検出器からの信号を読み出す際、統計的なポアソン揺らぎの他に、電子回路系によるいくつかのノイズの影響が加わる。実際の DSSD の信号測定には、P/Nside ともに DC 結合にて ISAS にて開発された、ASIC と呼ばれる半導体集積回路が用いられる。図 2.14 はそのような検出器からの信号が DC 結合にて読み出された場合の等価回路図である。このようにして読み出された信号に寄与するノイズは、主として以下の三つに大別でき、経験的にその理論式が導かれており、それぞれの式に先に述べた検出器のリーク電流や容量の効果が加わる。また、これら電子回路系のノイズは周波数依存性をもつため、等価雑音電荷 (Equivalent Noise Charge : ENC) を用いて次のように Shaping Amp の時定数 τ によって書き表せる。

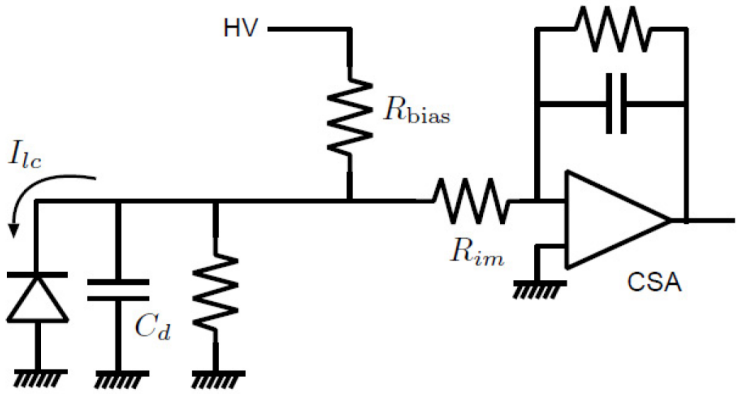

図 2.14: DC 結合の等価回路

1. parallel noise

   $\sqrt{\tau}$ に比例するノイズ。DSSD 中のリーク電流 I_{lc} が統計的に揺らぐことによって生じるショットノイズと、バイアス抵抗 R_{bias} にて生じる熱的なノイズのジョンソンノイズがある。それぞれ、以下の式で表せる [21]。

$$ENC_{lc}(\mathrm{e}^-) = 107\sqrt{I_d(\mathrm{nA/strip})\tau(\mu\mathrm{s})} \tag{2.7}$$

$$ENC_{R_{bias}}(\mathrm{e}^-) = 770\sqrt{\tau(\mu\mathrm{s})/R_{bias}(\mathrm{M}\Omega)} \tag{2.8}$$

2. series noise

   $\frac{1}{\sqrt{\tau}}$ に比例するノイズ。回路内のバイアス抵抗以外の直列抵抗 R_{im} によって生じるジョンソンノイズと CSA にロードされる容量 C_{in} に依存するアンプノイズがある。それぞれ以下の式で表せる。

$$ENC_{Rim}(\mathrm{e}^-) = 0.45\frac{C_d\sqrt{R_{im}(\mathrm{M}\Omega)}}{\sqrt{\tau(\mu\mathrm{s})}} \tag{2.9}$$

$$ENC_{amp}(\mathrm{e}^-) = \frac{k_0 + k_1 C_{in}(\mathrm{pF})}{\sqrt{\tau(\mu s)}} \tag{2.10}$$

k_0、k_1 はCSA や Shaping Amp によって独自に決まる値である。またCSA にロードされる容量は、DC 結合の場合は検出器の容量 C_d のみで表せる。

3. 1/f noise

   半導体検出器固有のノイズで、Shaping Amp の時定数には依存しない定数値で表せ、発生源はあまり明らかにされていない。

よって検出器も含めた電子回路系のノイズはこれら全ての二乗平均で表せるので、1/f ノイズの値を $ENC_{1/f}$ とすると

$$ENC_{total}(\mathrm{e}^-) = \sqrt{{ENC_{lc}}^2 + {ENC_{Rb}}^2 + {ENC_{Rim}}^2 + {ENC_{amp}}^2 + {ENC_{1/f}}^2} \tag{2.11}$$

となる。

2.4 X 線応答

X 線の入射によって半導体検出器の空乏層内で生成された電子 · ホール対は、バイアス電圧によって両側の電極に収集される。しかし一般には電子やホールは、典型的にそれぞれ τ_e、τ_h の寿命をもち、この時間が経過すると再結合され、失われてしまう。キャリアの移動度を μ とすると、$\mu\tau$ は単位電場あたりキャリアがどれだけ移動できるかを表す指標となる。表 2.2 のように、Si の場合、CdTe などと比べてこの $\mu\tau$ 積が大きいので、数 100V 程度のバイアス電圧下であれば、キャリアの寿命によるエネルギー損失はほとんど無視できる。以下に、パルスの立上りが CSA による減衰時定数に比べて十分に速く、その影響が無視できる場合の、キャリアとパルスハイトの関係を説明する。

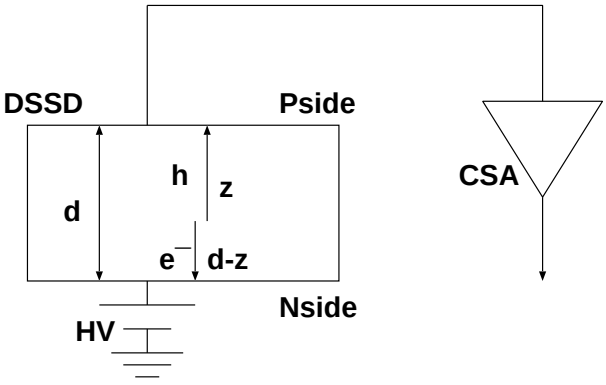

図 2.15: 収集された電荷からパルス出力までの模式図

図 2.15 のように検出器内で電子/ホール対が発生すると、CSA の出力 $V_i(t)$ は、P/Nside それぞれの出力の大きさを V_h、V_e として、

$$V_i(t) = V_h(t) + V_e(t) \tag{2.12}$$

と表せる。その時間微分は、時刻 t でのキャリアの密度を $n_i(t)$、速度を $v_i(t)$、A を定数として、

$$\frac{dV_i(t)}{dt} = An_i(t)v_i(t) \quad (i = h, e) \tag{2.13}$$

と表せる。ここで、キャリアの平均寿命を τ_i とするとその密度は時刻 t において、

$$\frac{dn_i(t)}{dt} = n_0 \exp(-\frac{t}{\tau_i}) \tag{2.14}$$

である。検出器内での電場が一定であるという仮定をおくと、$v_{i(t)}$ は時間によらずに一定であり、キャリアの移動度を μ_i とすると、電場 E のもとで、

$$v_i = \mu_i E \tag{2.15}$$

となる。図 2.15 よりホールや電子が移動することができる範囲は、それぞれ z、$d-z$ であり、この領域内を移動するのにかかる時間で式 2.13 を積分すると、P/Nside それぞれにおけるパルスの最大値がもとまる。結果 CSA で出力されるパルスハイト PH の最大値は以下のように表せる。

$$PH_{max} \propto n_0 E \ [\mu\tau_h\{1-\exp(-\frac{z}{\mu\tau_e E})\} + \mu\tau_h\{1-\exp(-\frac{d-z}{\mu\tau_h E})\}] \tag{2.16}$$

これより、検出器の素材が Si のような $\mu\tau$ 積の値が大きなものの場合 (表 2.2)、$\mu_i\tau_i E \gg d$ であるため、

$$PH \propto n_0 \tag{2.17}$$

となり、生成された電子/ホール対の数とパルスハイトは比例することになる。

2.5 DSSD 開発の経緯

DSSD はもともと地上での原子核・素粒子実験のために開発されたもので、現在でも粒子検出器として広く用いられているが、宇宙観測用として、さらには HXI のような高いエネルギー分解能をもつものは開発されていなかった。そこで、これまで 10 年以上に渡って、ISAS・広島大学・SLAC・浜松ホトニクスにて、高い位置分解能とエネルギー分解能を持つ DSSD の共同研究が進められ、様々な形状での性能評価実験が行われてきた。当初は半導体多層コンプトンカメラ用の DSSD として開発が進められた。ストリップ数 10 本程度の試作的な検出器についての評価から始まり、リーク電流の降伏現象が起きない最適な厚さやストリップ間距離のの検証 [2]、一つのイベントが二つのストリップで共有されて読みだされるスプリットイベントの実観測への影響、あるいはバイアス電流値などの読み出し回路における最適化などが行われた [8]。こうしてストリップの長さ (2.56∼4cm) や幅といった素子のおおまかな形状が決められた。その後有効面積を上げ、S/N 比を高めるために素子の大面積化が行われ、HXI 検出器用として十分な検出感度を満たす最適な素子の厚さ (0.3∼0.5mm)、位置分解能の決定要素となるストリップ数 (64∼128 本) などの違いによる性能評価が進められた [1][9][3]。この結果と印加電圧や検出器および読み出し系回路のノイズの大きさなどとの相補的な関係から最終的な最適化が行われ、現在は 3.4cm 四方、厚さ 0.5mm、ストリップ幅 130μm、ストリップ間隔 250μm、片面ストリップ数 128 本のフライトモデルが決定されている。

開発は浜松ホトニクスにて行われており、その製作技術は既に確立している。前回、本研究室にて性能評価された DSSD[3] は、Pside に比べて Nside 側のエネルギー分解能が悪いことが指摘されていた。本測定素子は、3.1 で述べるように、浜松ホトニクスにてそのための改良がなされており、さらに実際に HXI に使用される DSSD の 0.5 mm まで厚さが増されている。

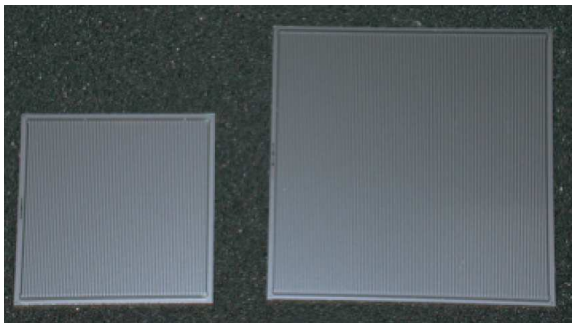

図 2.16: 2.56 cm 角および 4 cm 角 DSSD[1]

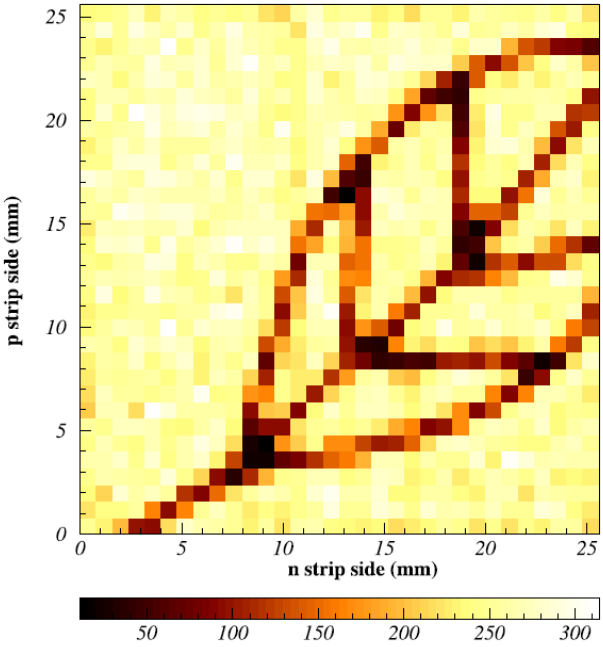

図 2.17: 片面ストリップ数 32 本の DSSD で得られた X 線画像 [2]

第3章　DSSDの基礎特性評価

3.1　3.4cm角DSSDの性質

§2.5で触れたように、当DSSDはHXI用Si検出器として、これまで厚さやストリップ数など、様々な形状で実験が繰り返されてきた素子の中での最終版に当たり、その性能評価はフライトモデルを決定づける上で重要な任務となる。この素子は、高エネルギー側の検出効率を上げるため、前回本研究室で測定されていたDSSD[3]に比べ、厚さが0.3 mmから0.5 mmに増加されている(参照:図2.4)。また、Nside側のエネルギー分解能を上げるために、図3.1のようにNsideの各ストリップを囲むInner Ch P-stopと、ストリップ全体を囲むOuter Ch P-stopに、電導性の高いAl電極を埋め込みDCショートさせることで、抵抗によるノイズを削減している。2007年5月に浜松ホトニクスにて製作され、測定試験用として本研究室に納入された。図3.2は測定した素子の写真である。このようにDSSDの各ストリップのAl電極が金メッキのパターンとワイヤーを通じてつながっている。また表3.1にそのDSSDフライトモデルの仕様をまとめた。

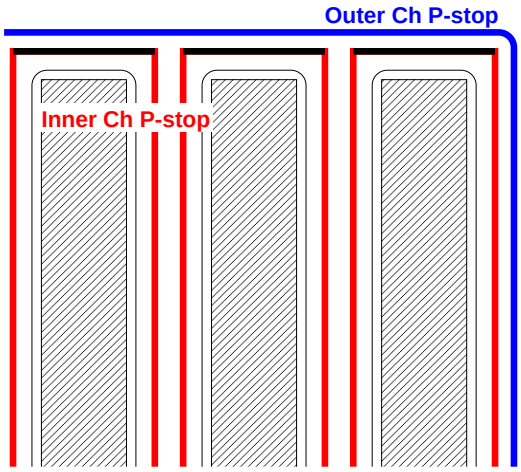

図3.1: DSSDのNside拡大図面
Al DC shortされているP-stop部(赤:Inner Ch P-stop、青:Outer Ch P-stop)

図3.1のように、DSSDはコの字型をした厚さ1.3 mmの二枚のガラスエポキシに0.15 mmの溝をつくり、その間にはさむようにして固定している。ガラスエポキシはFR-4型と呼ばれる難燃性と低導電率を両立した素材で、型の設計は本研究室にて、製造はケィ·ティ·システム株式会社に依頼した。その際には、素子とワイヤーを通じてつながる金メッキのパターンおよび、その先にとりつけられるJST社の1 mmピッチSHLコネクタの装着も依頼した。基板同士や素子との接着は本研究室にて行い、接着剤には2成分ポッティング用液状シリコンゴムである、GE東芝シリコン社のYE5822を使用した。これは、室

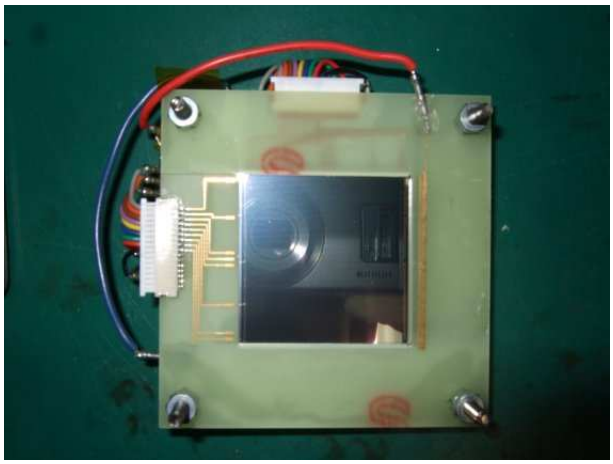

図 3.2: 測定した DSSD および基板上の読みだしセットアップ写真

本体サイズ	3.4 cm × 3.4 cm
本体厚さ	500 μm
ストリップサイズ	3.16 cm × 130 μm
ストリップ間隔	250 μm
片面チャンネル数	128 本
Al 電極幅	150 μm
Nside P-stop 幅	25 μm

表 3.1: 測定したフライトモデル DSSD の仕様

温にて約 1 日程度でゴム状に硬化する、電気、電子、通信機器などの防湿絶縁ポッティング可能な接着剤である。接着後、再びケィ·ティ·システム株式会社に郵送し、パターンと各ストリップの端にあるボンディングパッドの間をワイヤーボンディングにて接続するように依頼した。ワイヤーの素材には純金が使われており、それは無電解の 0.5 μm の厚膜で覆われている。SHL コネクタから先のリード線については自分の手で扱い、基礎特性やスペクトルなどの測定は、基板ごと電磁シールド用アルミボックス内に固定して使用した。また、図 3.1 に示されるように、各 side ともにガードリング、Ch1、30、63、64、65、99、128 については、単独に読み出せるように SHL コネクタ側にボンディングし、それ以外のチャンネルは全て対面の細長い金メッキパターンにボンディングした。その部分は、図 3.2 のように接着されたピンコネクタでリード線を通じて読み出される。

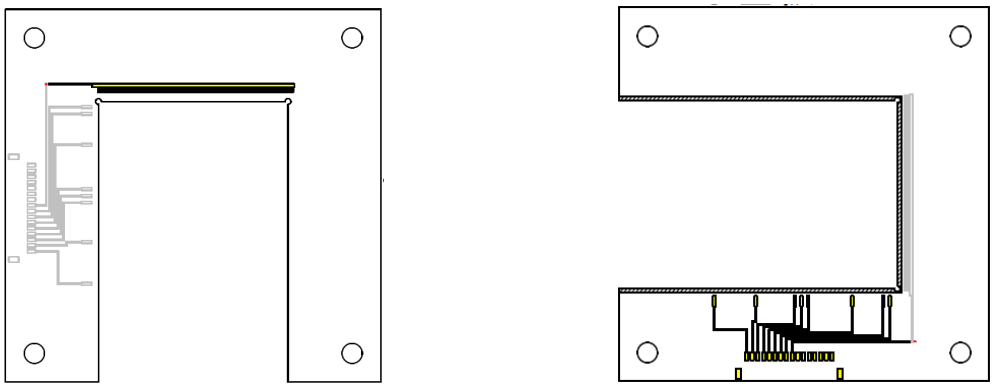

図 3.3: DSSD 基板の図面 (左:Pside· 右:Nside)

3.2 リーク電流測定

ストリップ 128 本のうち、素子の中央に位置する Pside 側の Ch64 について、バイアス電圧を 10 ボルトずつ変化させたときのリーク電流の変化を測定した。図 3.4 はそのセットアップである。このように Nside 全体に高電圧をかけ、Pside の Ch64 以外はガードリングも含めてグラウンドに落としている。東陽テクニカ製の KEITHLEY237 を用いてバイアスをかけ、同社の KEITHLEY617 で電流測定を行った。式 2.4 のように、リーク電流の大きさは温度によって大きく変化するため、バイアス依存性を測るには一定の温度下での測定が必要である。そのための恒温層にはエスペック社の小型環境試験器 SU-641 を利用した。

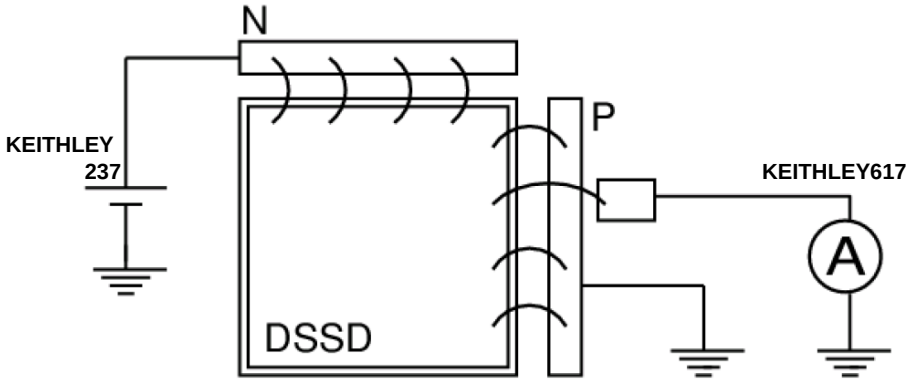

図 3.4: リーク電流測定セットアップ図

図 3.5 が測定されたある温度の下でのリーク電流のバイアス依存性である。バイアスが 160 V を超えた付近からリーク電流が一定値をとるようになり、その付近で素子がほとんど空乏化されていることが示唆できる。§2.3.1 で述べたように、素子の厚さは有感層、すなわち空乏化領域の広さを決める。すなわち、式 2.3 を用いると、その値は 160V 程度となり、実験結果とほぼ一致する。また本実験では、§2.3.1 で述べたようなリーク電流の降伏現象は見られず、実際に軌道上でかけられる空乏化電圧にて、このような電流増幅は起きないと考えてよい。

また図 3.6 は各バイアス値におけるリーク電流の温度依存性を示したものである。一般の半導体デバイスと同様にリーク電流の対数値が温度の逆数に比例しており、通常の半導体素子としての性質が正確に現れている。

ここに、その他いくつかの DSSD で測定されたリーク電流値との比較を行った。その結果をまとめたのが表 3.2 である。これまでに測定された 4 cm 角 DSSD の厚さ 0.3 mm と 0.5 mm のリーク電流値を比較してみると、その比はおおよそ素子の厚さに比例しており、厚さを増したことによって、バルクの体積が増え、その分熱的な励起によるバルク内からのリーク電流が大きくなったと思われる。一方で 3.4 cm 角 DSSD は、本測定による 0.5 mmt の結果は、厚さの増加分より 0.3 mmt の結果から見積もられる値よりもさらに 1.5 倍程度大きな値である。おそらくこの原因は Nside 側の P-stop 構造の改変によるもので、そこに Al 電極を埋め込んだことで抵抗値が下がり、電流が流れやすくなったこと、また結晶内の電場構造がより複雑になったこと、あるいは素子の個体差といったことが考えられる。

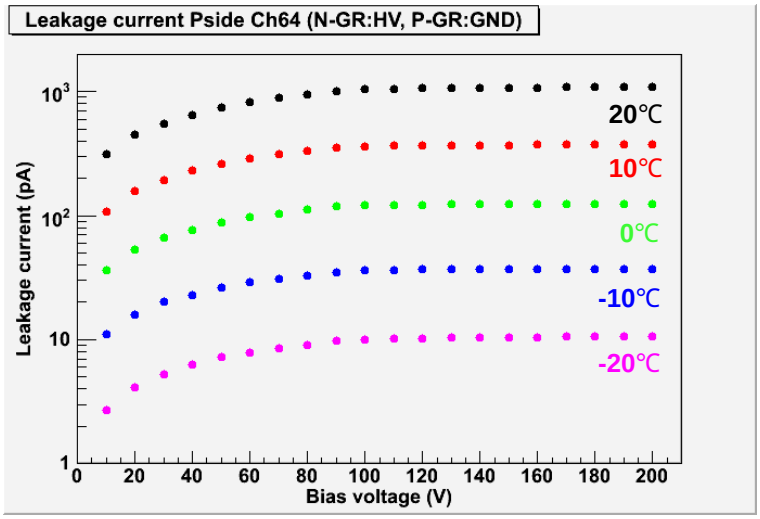

図 3.5: リーク電流の各温度でのバイアス依存性

厚さ \ 大きさ	3.4 cm 角	4 cm 角
0.3mm	∼0.13 pA/mm^2	∼0.20 pA/mm^2
0.5mm	∼0.42 pA/mm^2	∼0.33 pA/mm^2

表 3.2: 20 度における DSSD のリーク電流の比較

素子の傷と電流のなだれ増幅

当素子で DSSD の本格的な性能評価を行う以前、別の素子にて、ISAS で自分で行ったワイヤーボンディングの際に素子の表面に傷をつけてしまったことがあった。DSSD の表面は SiO_2 の絶縁層でコーティングされているが、傷はそれより深く入ってしまったもようで、しかも電位差の大きくなる N 側のストリップとその P-stop の間に横たわるように入ってしまったため、低いバイアス値でのリーク電流の降伏現象を加速させてしまったと考えられる。実際に傷をつけてしまった素子でリーク電流の測定を行ったところ、傷の入ったストリップでは、図 3.7 のように 80 V 付近で電流のなだれ増幅が起きた。このように半導体検出器はどれだけ優れた検出精度をもっていても、些細な傷やゴミで致命的な影響を受けるため、取り扱う際には細心の注意が必要となる。

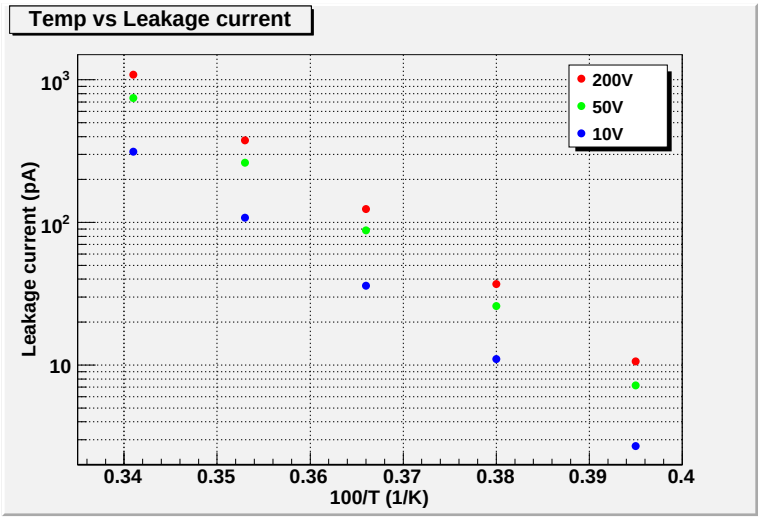

図 3.6: リーク電流の温度依存性

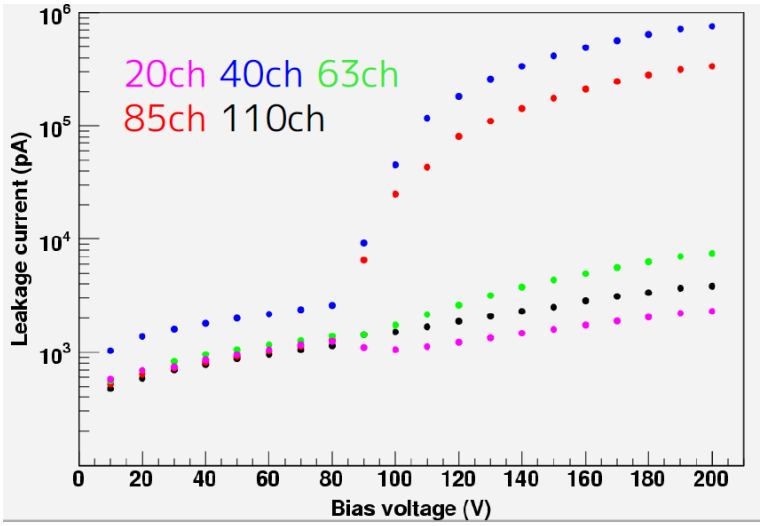

図 3.7: 傷の入った素子のリーク電流

3.3 検出器容量の測定

§2.3.1 で述べたようにリーク電流と並んで検出器のノイズ源となるものが検出器容量である。pF オーダーの容量測定は一般に容易ではなく、専用の測定機器が必要となる。ここではヒューレッドパッカー社の HP4284A というインピーダンス測定器を使用した。これは、装置内の発信器から出た正弦波と DSSD を通して出力された正弦波を比較することで、インピーダンスと波の位相のずれ θ を求め、その容量成分から検出器容量を求めることができる機器である。DSSD のインピーダンス Z は、抵抗成分と容量成分を併せもち、それらの寄与は ω を角周波数として以下のように表せる。

$$\log Z = -\frac{1}{2}\log\left(\frac{1}{R^2} + \omega^2 C^2\right) \tag{3.1}$$

抵抗成分は周波数によって変化しないが、容量成分にはその 2 乗がかかる。DSSD において空乏化電圧のもとでインピーダンスに容量成分の寄与が効いてくるのは、入力周波数が 1 MHz 程度のときである [1]。このことは DSSD の読み出しの際に測定される shaping time が数 μsec であることから予想もできる。従ってここでは、容量と抵抗の並列モデルにて 1 MHz の正弦波を入力できるようにセットし、KEITHLEY237 を用いてバイアスをかけ、Body Capacitance と P 側と N 側にそれぞれにおける Interstrip Capacitance のバイアス依存性を測定した。セットアップは図 3.8 のとおりであり、回路中にはさんだコンデンサーや抵抗はノイズフィルターおよびバイパスコンデンサの役目をする。Body Capacitance はガードリングも含めて全バルクにバイアスをかけている。Interstrip Capacitance については、P 側 N 側どちらの測定でも Ch64 を単独に引出し、ガードリングについては P 側はグランドに、N 側は高圧値にそろえて他のストリップ間で合成される容量を測定した。また Interstrip Capacitance については、Pside の測定セットアップのみ描いたが、Nside 測定の場合はバイアスの極性を逆転し、Nside 側をグランドに、Pside 側に負の電圧をかけることで測定を行った。

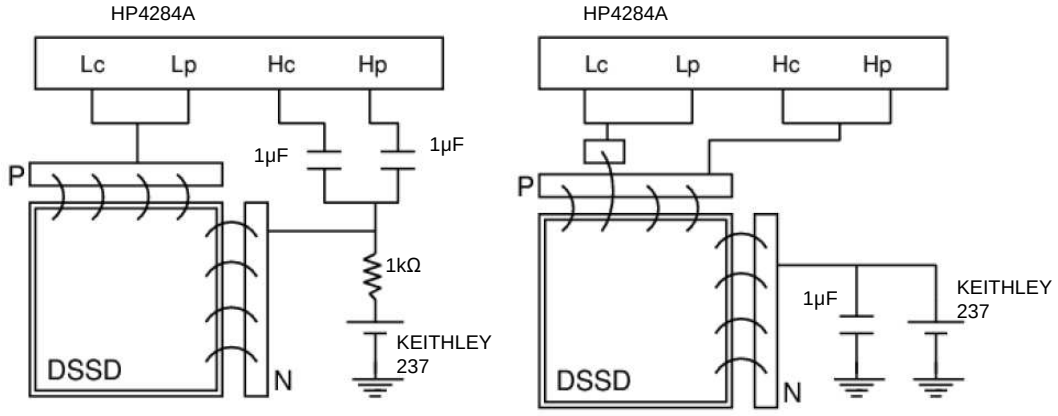

図 3.8: DSSD 容量測定のセットアップ。左:Body Capacitance· 右: InterstripCapacitance (Pside)

図 3.9 左は Body Capacitance のバイアス依存性の結果である。100 V 付近まではバイアスの変化に伴ってバルク内での空乏化による容量の減少が見られ、完全空乏化が予想される 160 V 付近に達するとほぼ一定値をとるようになり、その値は容量値は 223 pF である。

一方で DSSD を平行板コンデンサーとしてみなした場合、式 2.5 より

$$C_{Body.Total} = \varepsilon \frac{S}{d} = 1.05 \times 10^{-10}[\mathrm{F/m}] \times \frac{(31.9[\mathrm{mm}])^2}{500[\mu\mathrm{m}]} \sim 214 \ \ [\mathrm{pF}] \tag{3.2}$$

となり、実験値とほぼ一致する。

図 3.9 右は Interstrip Capacitance のバイアス依存性の結果である。Pside は完全空乏化する 160 V 付近で一定値をとり、200 V での値は 8 pF であった。一方 Nside はバルクが空乏化したと考えられる 160 V を越えても一定値をとらず、バイアスが上がるにつれて徐々に落ちていく傾向が見られる。このことは、Nside のストリップを囲んでいる P-stop によって、ストリップ周辺のローカルな領域で、電荷の溜場ができていることを示唆させる。また Nside のバイアス 200 V での Interstrip capacitance 値は 12 pF であり、Pside よりも 4 pF 程度悪い。このことから Nside よりも Pside でよいエネルギー分解能を達成できると考えられる。ここに、これまでの DSSD で測定されてきた Interstirp capacitance の値を表 3.3 にまとめた。width[μm]/pitch[μm] の値が 300/400 の 4 cm 角 DSSD と 150/250 の 3.4 cm 角 DSSD で Pside 側の Interstrip capacitance を比較すると、3.4 cm 角の方は 4 cm 角の 0.7∼1 倍程度で値が小さくなった。width/pitch の値は 3.4 cm 角の値は 4 cm 角の 0.8 倍程度であり、このことは図 2.3.1 で示される width/pitch と Capacitance の関係を裏付けている。一方で本測定で得られた 3.4 cm 角厚さ 0.5 mm 素子の結果は、同じ大きさの 0.3 mmt 素子に比べて、ストリップの幅や間隔は同じであるにもかかわらず、P/Nside ともに値が少し大きい。以下に、この原因について触れる。

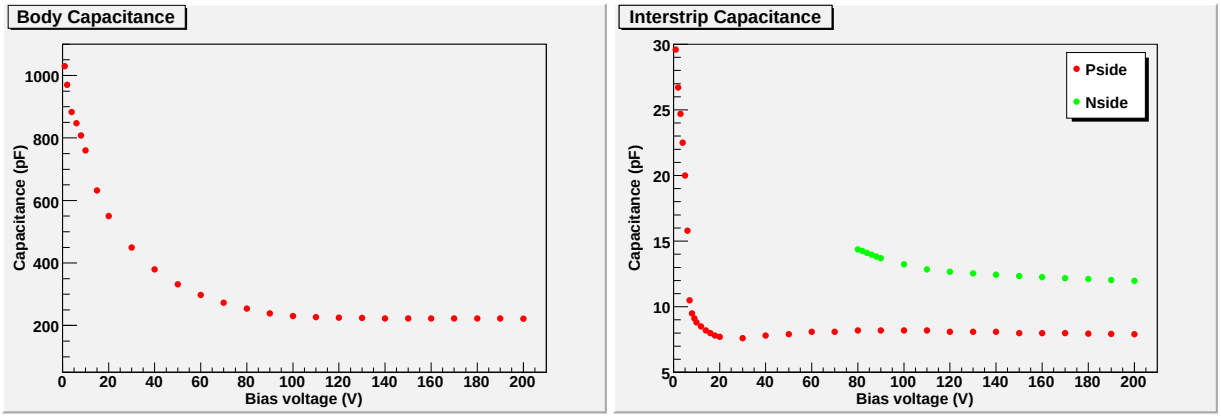

図 3.9: DSSD 容量のバイアス依存性。左:Body Capacitance· 右:Interstrip Capacitance

大きさ	width[μm]/pitch[μm]	厚さ	Pside	Nside
3.4 cm 角	150/250	0.3 mm	5 pF	7pF
		0.5 mm	8 pF	12 pF
4 cm 角	300/400	0.3 mm	7 pF	9 pF
		0.5 mm	8.5 pF	8.5 pF

表 3.3: DSSD の空乏化電圧での Interstirp capacitance の比較

セットアップ内の浮遊容量

本測定で得られた Interstrip Capacitance の値は、厚さ 0.3 mm の DSSD の測定結果で得られた値よりも Pside、Nside 両方ともそれぞれ 3∼4 pF 程度大きいものであった。N 側については、ストリップを囲む P-stop に Al 電極を埋め込むといった追加工をしているが、Pside 側については特に厚さ 0.3 mm の DSSD と構造に変化はない。従って本測定で Interstrip Capacitance が大きく測定されてしまった原因として、測定機器との間におけるリード線内などの浮遊容量が挙げられる。DSSD の測定はアルミボックスでシールドされたケース内にて行われているが、測定機器とボックスまでのケーブル間については、HP4284A で補正することが可能なので、その間の寄与は除外できる。従って残すはワイヤーボンディングでつながった先からアルミボックス内における金メッキのパターンやリード線が考えられる。

まずは図 3.2 の SHL コネクタからのびているリード線を最大限に短くしたところ、容量は各面ともに 1 pF 近く減少した。次に図 3.2 の金メッキのパターンが集中している部分の寄与を実験や近似的な計算にて行った。具体的には、パターンの構造や SHL コネクタなどが全く同じで、素子がとりつけられていない基板だけのものを準備し、DSSD を 100 MΩ の抵抗と見立てて、読み出すリード線の先にその抵抗をつなげた。そしてプローバーと呼ばれる機器を用いて、容量計とつながった針をパターンに触れ、そのときのパターン間の容量を測定したところ、それは 2 pF 程度の大きさを持つことがわかった。さらにパターン部分の容量を二本の無限に長いケーブル間における容量として近似計算を行ったところ、それも 2 pF 程度になることが分かった。従って全体の浮遊容量 C_F は 3 pF 程度となる。

以上のことから DSSD の各 side における容量はおよそ以下のようになる。

$$C = \frac{C_{Body.Total}}{n_{strip}} + C_{Interstrip} - C_F = \begin{cases} \frac{223}{128} + 8 - 3 \simeq 7 \ \text{pF} & \text{(Pside)} \\ \frac{223}{128} + 12 - 3 \simeq 10 \ \text{pF} & \text{(Nside)} \end{cases} \tag{3.3}$$

この Pside の値については、式 (2.5)、(2.6) を用いた近似式から浮遊容量 3 pF を引くと 6.9 pF となり、実験値とほぼ一致した。

3.4 1ch スペクトルの取得

P 側と N 側それぞれにおける 1ch 分のスペクトル取得を行った。読み出したチャンネルは P 側 N 側両方とも Ch64 で、ほぼ素子の中央を横切るストリップである。照射した線源は ^{241}Am で、そのラインエネルギーは、低エネルギー側から順に 13.9 keV、17.6 keV、21.0 keV、26.3 keV、59.5 keV である。測定のセットアップは図 3.10 の通り (Pside の場合) であり、読み出すチャンネルだけをプリアンプにつなぎ、同面のその他のチャンネルについては、ガードリングを含めてグランドに落としている。もう一方の面は、Pside 測定、Nside 測定の場合それぞれ正の電圧、負の電圧をかけた。抵抗やコンデンサは高周波数成分のノイズをカットするためのローパスフィルタの役目をなす。DSSD とプリアンプはエスペック社製の恒温層器 SU-641 の中に入れ、-20 度にて測定を行った。表 3.4 に使用した機器についてまとめた。

図 3.11 が取得された各面での 1ch スペクトルである。Pside の 59.5 keV におけるラインのエネルギー分解能は、FWHM(Full Width Half Maximum) で 1.6 keV と求まった。リーク

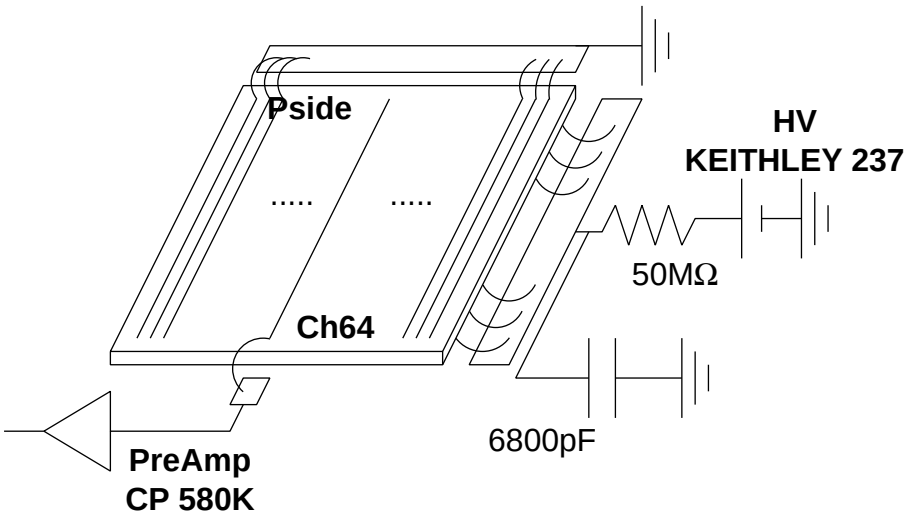

図 3.10: 1ch スペクトル読み出しセットアップ

プリアンプ	CLEAR-PULSE 580K
シェイピングアンプ	ORTEC 507
ADC/MCA	Amptek MCA8000A
Bias supply	東洋テクニカ KEITHLEY 237

表 3.4: 1ch スペクトル取得に使用した機器

電流と容量から予想されるエネルギー分解能は 1 keV 程度であるので、Shaping Amp などの他の機器で発生したノイズがのっていると思われる。また、thereshold レベルは要求性能の 5 keV 以下を満たしている。ライン以外の 5-10 keV、30-55 keV に見られるカウントは、隣り合うストリップで共有されたスプリットイベントや、Al のシールドケースなどと衝突してできたコンプトン散乱イベントであると考えられる。

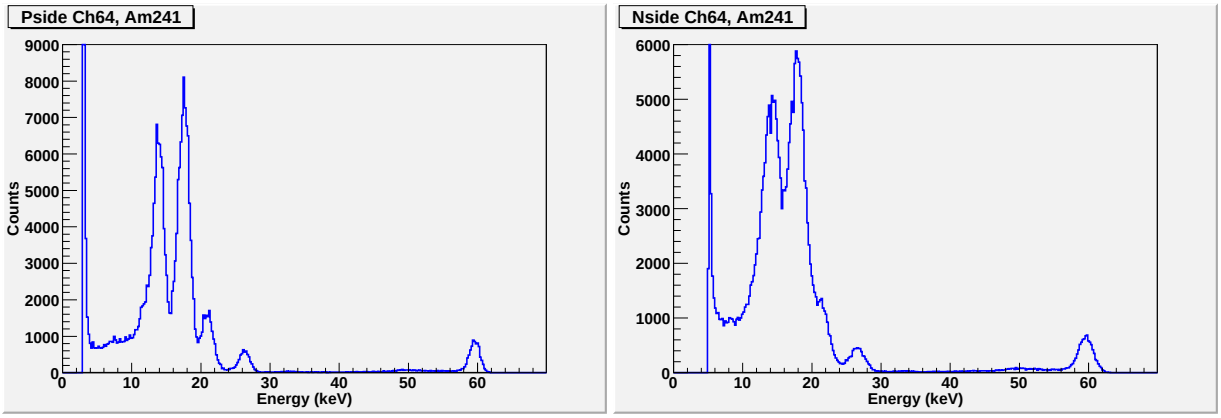

図 3.11: 温度-20 ℃、バイアス 140V での 1ch スペクトル。左が Pside、右が Nside の結果。

一方で Nside のエネルギー分解能については、FWHM で 2.4keV と求まった。Pside に比べて 0.8 keV ほど悪い値ではあるが、これは Nside 特有の P-stop 構造に起因するものであり、これまでの DSSD 測定評価で得られた Nside のエネルギー分解能 (2.8 keV、3.1 keV など) の中では、最もよい値である。さらには、thershold も 5keV 周辺まで下げることが

可能になり、Nside においてもその要求性能に近い値が満たされている。これらは、抵抗によるノイズを削減するために、P-stop 構造に改変を加えたことがよい結果をもたらしたものと思われる。

シェイピングタイム依存性

§3.3 で述べたように、DSSD の容量成分は、出力信号に対して周波数依存性をもつ。従って、測定したスペクトルのエネルギー分解能は、シェイピングアンプで出力される波形の時定数によって変化する。そこで Ch64 について同じセットアップで、シェイピングアンプの時定数を変化させながら、出力される Am241 の 59.5 keV のラインのエネルギー分解能の変化の様子を調べた。その結果が図 3.12 である。これより、Pside、Nside ともに時定数が 1μsec のときが最もエネルギー分解能が低く、最適な時定数であることが分かる。この結果はこれまで測定されてきた DSSD の結果と同様のものであり、実際に LSI を用いて多チャンネル読み出しするときの LSI パラメータの目安を与える。§2.3.2 のノイズの理論曲線から求めた式とは、あまり整合性がとれておらず、Shaping Amp による寄与などが考えられるがその原因は明らかではない。ただし少なくとも Nside においては、最小値をとる 2 μs 付近において、これまでは容量成分が寄与する series noise の割合が支配的だったが、P-stop 構造の改変により、series noise の割合が半分程度まで落ちている。

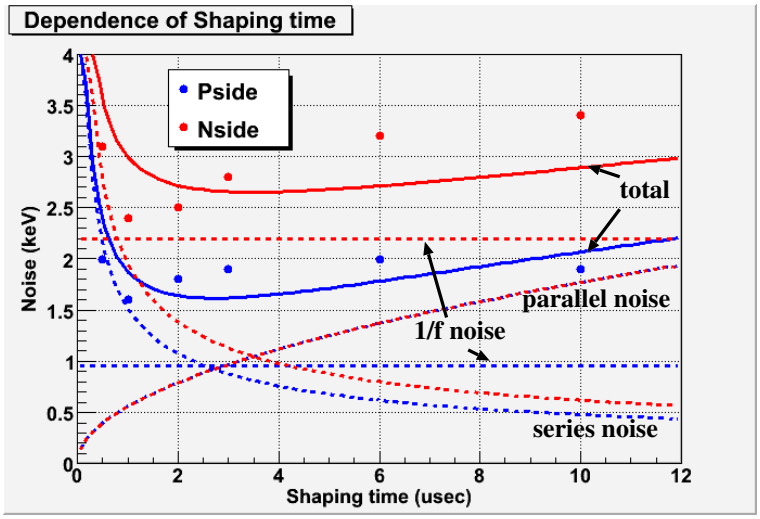

図 3.12: エネルギー分解能のシェイピングタイム依存性

プロットが実験値、破線は §2.3.2 から求めた理論曲線、1/f ノイズは series noise と paralell noise を求めた後に、プロットとフィッティングして出た結果。実線が各ノイズのトータル。

第4章　多チャンネル読み出しによるスプリットイベントの評価

ここまでの研究で、当 DSSD が 1ch において要求性能を満たす特性をもつことが示された。しかし DSSD のような多チャンネルセンサーの場合においてしばしば問題になるのが、一つのイベントに対して複数のチャンネルに出力信号が分かれてしまう現象 (スプリットイベント) が存在することで、実際に多チャンネル読み出しをしたとき、どのような応答が得られるか確かめることは重要である。ここでは、以下のような方法を用いて DSSD の 4 チャンネル同時読み出し実験を行い、二つのストリップで電荷がシェアされて読み出されるスプリットイベントが、X 線応答に与える影響について評価を行った。こうしたスプリットイベントは、天体を観測したときに得られるスペクトルに影響を与えるので、どの程度その寄与が加わってしまうのか事前に評価しておくことは、意義のあることである。

4.1　多チャンネル読み出しシステム

多チャンネル読み出しシステムの立ち上げにあたって、ここでは以下に述べる 4 チャンネルプリアンプでアナログ波形増幅を、さらには PoGOLite [1] 計画用の FADC ボードを用いてデジタル変換および波形整形を行い、SpaceWire と SpaceCube を通じた信号の読み出しを行った。図 4.1 が読み出しのセットアップ図である。以下にそれぞれの測定機器について詳細を述べる。

4.1.1　4 チャンネルプリアンプと FADC ボード

4 チャンネルプリアンプ

DSSD からの出力されるアナログ信号は、クリアパルス製の 5005H 型 4 チャンネル低雑音前置増幅器を使って波形増幅した。これは、常温半導体検出器用として製作されたもので、§3.4 で引用した低雑音前置増幅器 580K 型とほぼ同じ性能をもつ前置増幅器を 4 系統収容したものである [16]。検出器において生成された電荷は、カップリングコンデンサを介して入力され、電荷有感型増幅器部にて電圧パルスに変換される。表 4.1 に 4 チャンネルプリアンプの主な仕様をまとめた。

[1] PoGOLite:気球搭載宇宙硬 X 線偏光検出器

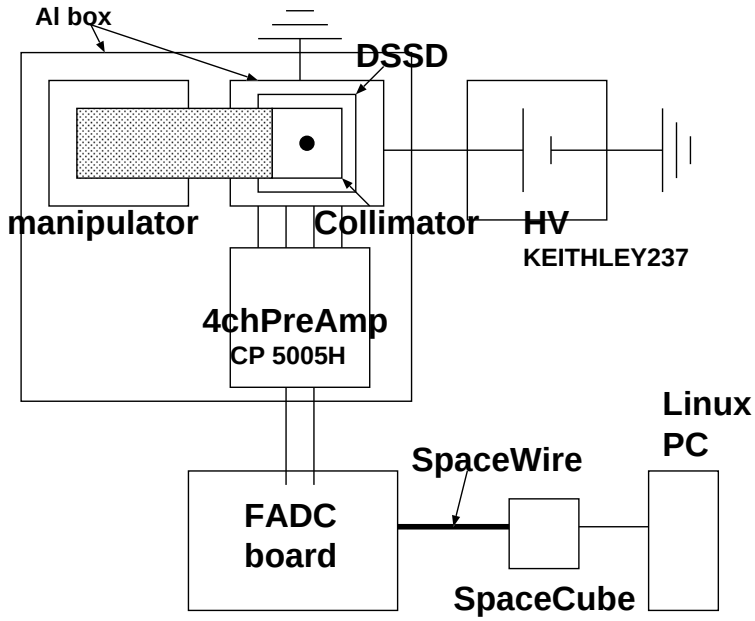

図 4.1: 多チャンネル読み出しセットアップ図

型番	5005H
バイアス抵抗	1000 MΩ
カップリングコンデンサ	6800 pF
帰還定数	0.5 pF、5000 MΩ
信号減衰時定数	∼2.5 msec
オフセット電圧	±5 mV 以下

表 4.1: 4 チャンネルプリアンプの主な仕様 [16]

FADC ボード

4 チャンネルプリアンプから出力された信号は、PoGOLite 用 FADC ボードを通じてデジタル変換および波形整形される。このボードは、シマフジ電機製の SpaceWire Sampling ADC ボードと呼ばれるもので、図 4.2 のように CSA が 8ch 分搭載されており、その出力信号が Texas Instrumets 社製の 8ch パイプライン型 ADC に入力され、12bit、24MSPS でデジタル化される。デジタル化された波形信号がボード上の User FPGA に送られ、その内部のデジタル論理回路で処理される。このように信号処理のほとんどを FPGA 内のデジタル回路で行うことで、基盤上のパーツを減らし、消費電力や基板面積の削減を実現できる。CSA に使用されるオペアンプは高速なものが採用されており、ADC 入力前のローパスフィルタの時定数についても最適化されている。ただしこの FADC ボードは PoGOLite 計画用に作成されたものであり、本実験では CSA には先に述べた 4Ch プリアンプを用いているので、FADC ボード上のプリアンプ用オペアンプは外した。

ボード上の ADC でデジタル変換された信号は、FPGA に送られ、内部に記憶されたデジタル論理回路によって処理される。従来の論理回路は、システムの目的に沿って NOT や AND 回路を含んだ IC を、人の手で組み換えることで作製していたが、実装面積が大きく、実装に時間がかること、一度実装すると組み替えに手間がかかることなどの問題が

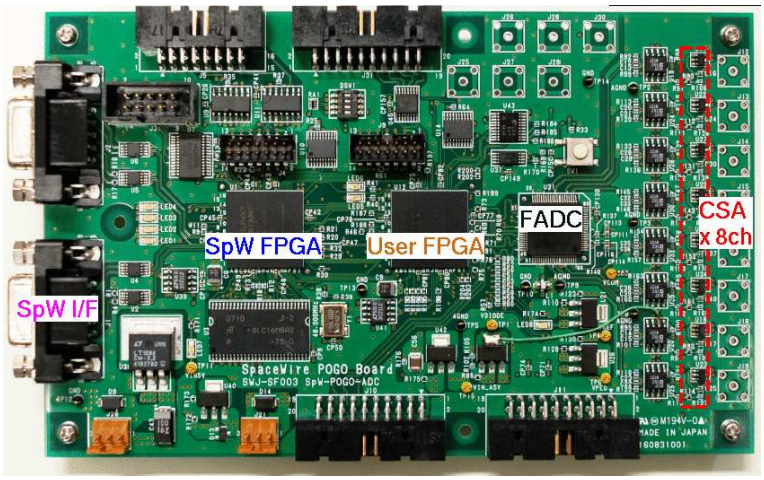

図 4.2: SpaceWire PoGO 用 FADC ボード [20]

多くあった。そこで特定用途向けの半導体集積回路 ASIC の開発によって、省面積化、高速化を実現し、プログラミングによってユーザが自由に内部の論理回路を書き換えることができる LSI が用いられる。これが FPGA(Field Programmable Gate Array) である。

PoGOLite 用 FADC ボード上には、図 4.2 のようにユーザが自由に書き込みをすることができる、User FPGA と、ユーザが関与できない SpaceWire FPGA とがある。SpaceWire FPGA 上には、Space Cube 側からアクセス可能ないくつかのアドレス空間が指定されており、このアドレスを指定することで、SpaceCube 側から User FPGA で処理した信号を読み取ることができる。従って、この SpaceWire FPGA 上に、ユーザは値を書き込むことはできない。

信号処理のための論理回路の作成は、User FPGA 上にて行う。従来は真理値表、論理式などを用いて AND や OR 回路を組み合わせて複雑な回路図が作れていたが、近年発達の著しいコンピュータを利用したハードウェア記述専用の言語、HDL(Hardware Description Language) が開発され、誤作動が起きてもユーザにも対処が可能で、より抽象度の高い論理回路の作成が可能になった。本研究においては、User FPGA 用の論理回路作成にあたり、LSI のような高度なハードウェア記述言語として頻繁に用いられている、VHDL を使用した。VHDL の使用環境としては、インターネット上で無償でダウンロード可能な、Xilinx 社の ISE を用いた。この ISE 上に、VHDL 言語を利用した論理回路の作成を行った。この論理回路は図 4.3 のようないくつかの構成部 (モジュール) に分かれて構成されている。この図 4.3 に沿って以下に信号の流れを簡単に示す。

1. ADC で AD 変換された 12bit デジタル信号が、Trigger Module と Delayed Module へ、分かれて入力される。

2. Trigger Module では、オフセット位置との差分をとることで、スレッショルド条件を設定し、その条件を満たした信号は DoWrite 信号として、Writing State Machine に送られる。

3. また、Writing State Machine は Delayed Module から送られてきたトリガーした時刻の前の波形情報を受け取り、その波形における全ての情報が delayed Data として Main Buffer に仮保存される。このとき Writing State Machine は DoReadViaSpWFlag

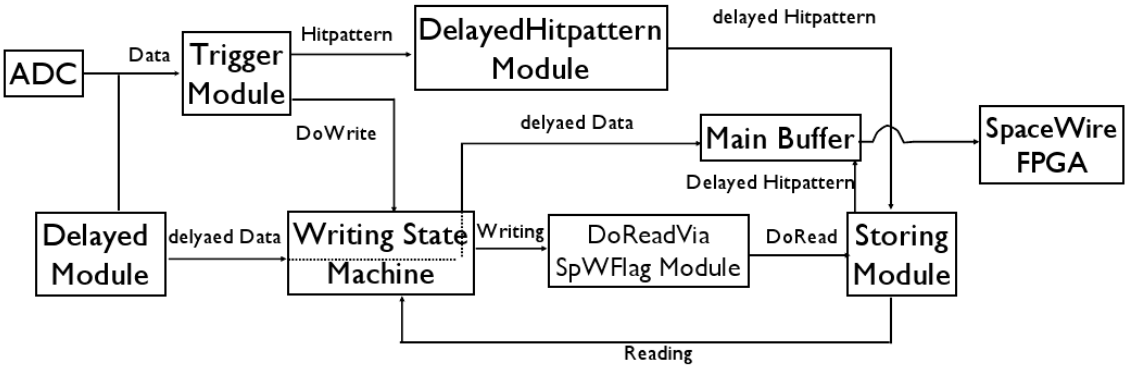

図 4.3: FADC User FPGA 上の論理回路ブロックダイアグラム図

Module に Wring 信号を出し、Main Buffer に書き込み中であることを伝える。Buffer への書き込みが終わると、DoRead 信号が Storing Machine に送られる。

4. Storing Module は、仮保存されていた信号のうち Torigger 信号が受かったチャンネルの情報のみを読み出して SpW FPGA へと送る。なおこのモードも User 自身が自由に変換可能で、Trigger 条件を満たさない全ての信号を SpW FPGA へ送ることもできる。

5. 最後に Storing Module は End 信号を Writing State Machine に送り、次の Trigger 信号受付が可能な状態になる。

4.1.2 SpaceWire と SpaceCube

このように FADC で読みだされた信号は、図 4.2 の SpW IF から SpaceWire と呼ばれる衛星上の通信規格を通じて小型コンピュータ SpaceCube に運ばれる。

SpaceWire とは、IEEE1355 を元に宇宙用の衛星間統一規格として開発されたケーブルで、一つのラインで 2∼400 Mbps という高速なデータ転送が可能な全二重、双方向のシリアルインターフェイス規格をもつ (図 4.1.2 左)。その電気的な接続には高速通信下でも消費電力が低くノイズに強い、Low Voltage Differential Signaling (LVDS) が用いられている。Data 信号の読み取りに必要な Clock 信号を伝送する Clock ラインをもたない代わりに、Data 信号と一緒に Strobe 信号を伝送することで、歪みへの耐性を高くした上で、受信側での Clock を再現できるようにしている。ケーブルは、図 4.1.2 右のように LVDS 信号を送るための 2 本ツイストペア線が、送受信それぞれ Data 信号、Strobe 信号用として存在し、計 8 本の導線で構成されている。各々のツイストペアやケーブルの外周がシールドされているため、ノイズの影響が小さい。コネクタにはこれまでにも衛星上の宇宙空間でも多用されている 9 ピンの Micro-D コネクタが使用されている。さらに、Wire は 10 m 以上の伸展も可能であり、HXI ではプレートと衛星本体をつなぐ通信ケーブルとしても利用される。

SpaceCube は ISAS/JAXA とシマフジ電機にて開発された、SpaceWire 通信の高機能、低コストでの動作検証可能な超小型 PC である。NEC 製の高性能 64 bit RISC プロセッサ V_R5701CPU を搭載し、LAN や USB ポート、RS232C 通信といった一般のパソコンで使

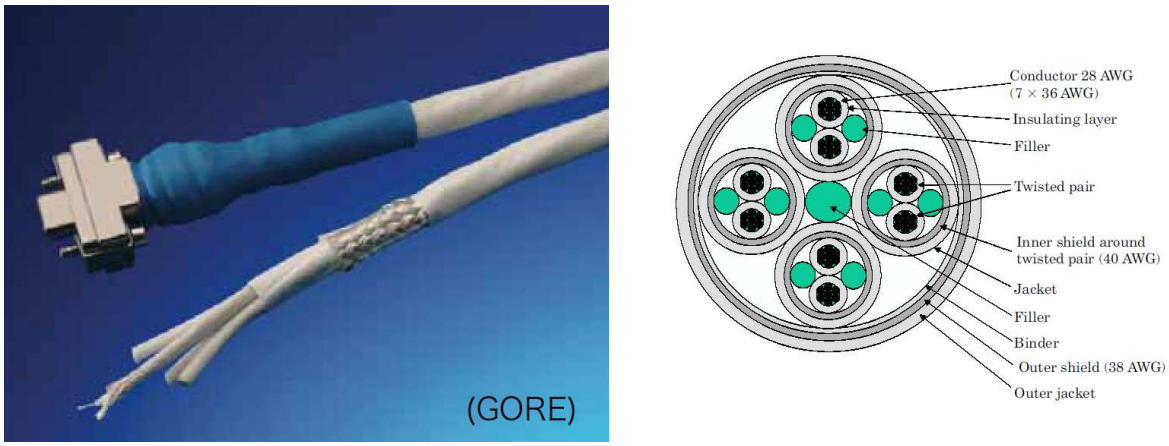

図 4.4: SpaceWire の外観 (右)[15] と断面図 (左)[14]

われている機能に加え、高速なリアルタイムデータ伝送可能な SpaceWire 用のポートを三つ備えている。OS には、Linux や T-Engine が移植されている。表 4.2 および図 4.5 に SpaceCube の仕様、外観を示す。

図 4.5: SpaceCube の外観 [17]

CPU	VR5701 200 MHz / 250 MHz / 300 MHz
フラッシュメモリ	16 MB
DRAM	DDR SDRAM 64MB
入出力 I/F	IEEE1355(SpaceWire), RTC, CF (TureIDE), XGA (1024×768), USB1.1, LAN(100BASE), Audio(Stereo), RS232C, JTAG I/F (debug 用)
電源	+5V
外形寸法	52 mm × 52 mm × 55 mm

表 4.2: SpaceCube の仕様 [17]

これらの過程を踏まえて出力されたデジタル信号を、Linux PC 上に保存し、波形の読み出しを行う。図 4.6 は実際に DSSD に ^{241}Am 線源を照射したときに、出力された波形の例である。このように 50 個の時間ビンに分かれ、トリガー信号の立ったチャンネルのみ波形が出力される。FADC 中の ADC のサンプリングレートは、50 MHz であるが、論理回路中のモジュールの中で、PoGOLite 用信号取得に合わせて 37.5 MHz まで減らされている。従って 50 個に分かれた 1 つの時間ビンは、およそ 27 nsec に相当する。

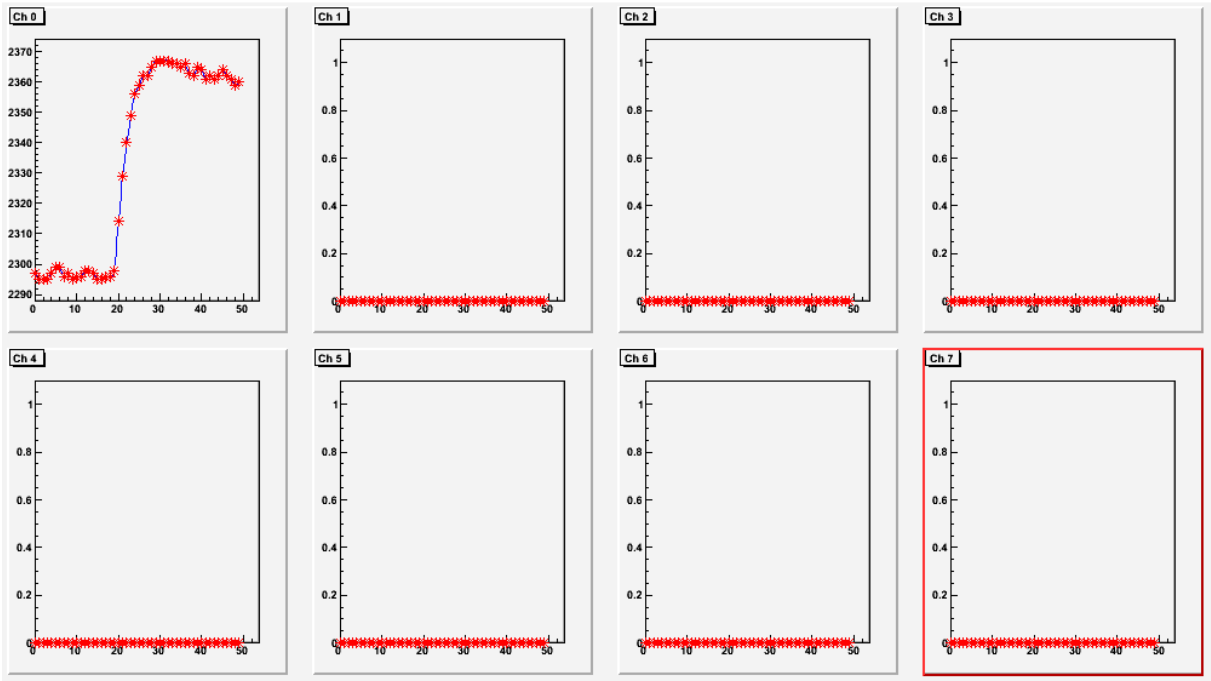

図 4.6: FADC ボードを通じて出力された波形の例

4.2　2チャンネル同時読み出し

4.2.1　スプリットイベント

一般に、X 線の入射によって空乏層内で生成された反跳電子は、バルク内にて電子/ホール対を生成しながら、バイアス電圧による電場によって、それが生成された場所に最も近いストリップに吸収される。その時間は数 100 nsec 単位のわずかなものである。しかし、電子/ホール雲と呼ばれるある程度の広がりを持って生成されるので、図 4.7 の左側のように、ストリップの中間で生成されたものは、二つのストリップの間でシェアされて読み出されることになる。これをスプリットイベントとよぶ。このようなスプリットイベントが発生すると、バルク内に X 線のエネルギー相当するキャリアが生成されたにもかかわらず、それがある比率で分割されてしまうので、入射した X 線エネルギーに対し、読み出される X 線のエネルギーが下がり、正確なエネルギー計測ができなくなる。その上、本来一つのイベントだったものが二つのイベントとして読み出されるため、間違った位置情報が得られてしまう。

また、このようにストリップ間で発生したイベント以外に、P/N 一対のストリップでキャリアを収集できなかった場合、あるいはコンプトン散乱が生じて隣のストリップにもキャリアが流れてしまった場合にも、二つのストリップでイベントが共有されてしまう (図 4.7 右側)。これも、スプリットイベント発生の原因の一つであると考えられている。

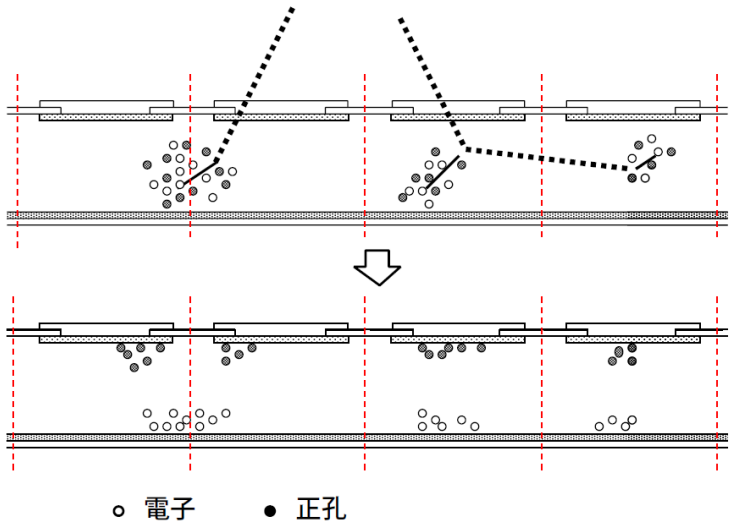

図 4.7: スプリットイベントの模式図 [8]

4.2.2　実験セットアップ

このようなスプリットイベントなど、バルク内で生成されたキャリアが、どのように各ストリップにて読み出されるか評価するためには、ある一定の領域に照射位置を限定し、その中でどのようなイベントが起きたのか、一つ一つ詳細に調査していく必要がある。そのためには、X 線照射位置の特定と、照射スポットの限定 (コリメート) が必要である。そこで以下のような測定機器を準備した。

テーブル面	160 mm × 160 mm
案内方式	精密クロスローラガイド
移動範囲	±25 mm
真直度	4 μm 以内
最小読み取り	10 μm
材質	アルミ合金

表 4.3: 手動精密ステージ XM16A-S1L の仕様 [7]

1. マニピュレータ

   X 線照射位置を特定するためには、数 100 μm 単位以下での位置の特定ができる自動精密ステージが必要となる。当 DSSD の場合、ストリップピッチは 250 μm、ストリップ幅は 150 μm にも達する微細なものであり、特定のストリップでの X 線応答をみるには、少なくとも 100 μm で測定可能なステージが求められる。そこでここでは、神津精機製の手動精密ステージ XM16A-S1L を採用した。ステージの仕様を表 4.3 にまとめた。

2. コリメータ

   コリメータには、日本タングステン株式会社製の、ヘビーアロイと呼ばれるタングステン合金を用いた。これは、タングステン (^{44}W、密度 19.3 g/cm^2) を主成分とし、ニッケル · 銅 · 鉄などで構成された焼結合金で、純タングステンに比べて加工がしやすい上に、厚さ 5 mm で阻止能が一般に使用される鉛より 10%程度高く、X 線遮蔽をするのに極めて効率がよい [5]。ここでは、5 cm 四方、厚さ 5 mm の中心に直径 0.5 mm の穴を開けたコリメータを二つ用意し、スペーサーで両者を 1.5 cm 離した上で固定し、X 線を照射したときのスポットサイズがより小さくなるようにした。図 4.8 がコリメータの全景写真である。

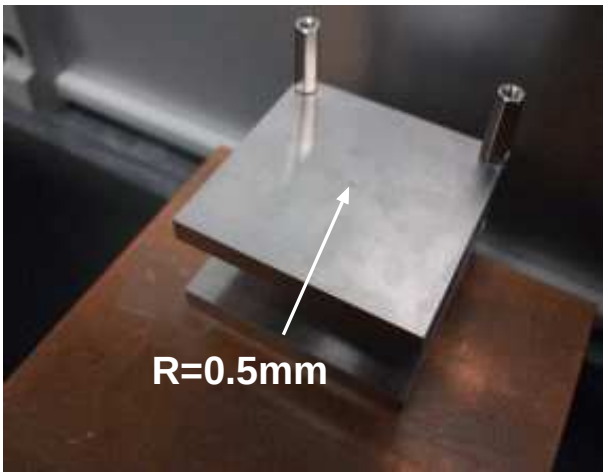

図 4.8: 使用したコリメータ

X 線の透過度は、 I を透過後の X 線強度、I_0 を透過前の X 線強度、κ を遮蔽物質の

質量吸収係数、ρ を密度、t を厚さとして

$$\frac{I}{I_0} = \exp(-\kappa_i \rho t) \tag{4.1}$$

で表される。タングステンの質量吸収係数は、60 keV の放射に対して 3.19 cm^2/g[22] なので、厚さ 5 mm のコリメータを用いることで、X 線強度の比は 4.27×10^{-14} となり、十分にコリメートできることが確認できる。

また図 4.9 には、コリメートシステムの模式図を示した。線源と DSSD との距離は 33 mm 程度であるため、照射スポットサイズは 0.82 mm となり、視野内にストリップが 3∼4 本入る大きさになる。2 つのストリップ間での信号の様子をさぐるなら、本来なら照射スポットを 2 ストリップの幅である 500 μm まで絞るべきだが、コリメータに直径 500 μm 以下の穴を開けることが技術的に困難だったこと、さらに線源からの X 線放射のカウントレートは距離の二乗に比例して減り、十分な統計をかせぐことが難しかったことから、ここでは図 4.9 のような照射形式に固定し、広がりによるチャージシェアなどの評価の補正は、§4.2.5 にて行った。

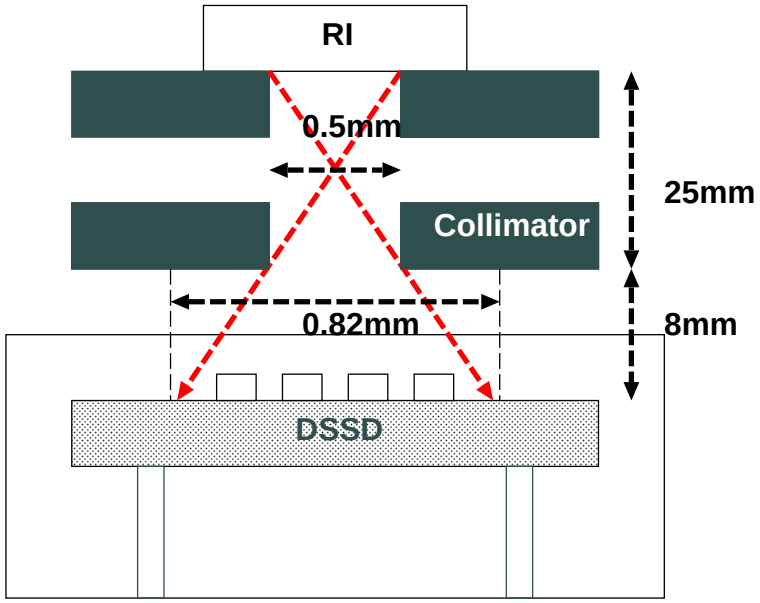

図 4.9: コリメートシステムの模式図

そして図 4.10 のようにマニピュレータ上にアルミ板を、その先にコリメータを設置し、DSSD の入ったアルミボックス (DSSD ボックス) の真上をコリメータがスライドできるようにした。X 線が照射される DSSD ボックスのフタの部分には直径 1 cm 程度の穴を開け、中から市販のアルミホイルで塞ぐことで、光の洩れ込みをおさた上で X 線が入射できるようにしている。また、マニピュレータ、DSSD ボックスは、動かないよう 35 cm 四方の大きなアルミケース (外側ボックス) の底に固定している。DSSD と 4 チャンネルプリアンプは、DSSD ボックスをはさんで Ch33、63、64、65 のストリップからの信号が読み出されるように、図 4.11 のようにつながっている (回路図は図 3.10 と同様)。4 チャンネルプリアンプからの出力および電源は、外側ボックス側面にてコネクタおよび D-sub ピンにてつながっている。プリアンプからの出力は FADC ボードに入力され、そこでデジタル変

換されて波形が取得され、SpaceWire および SpaceCube を通じて Linux マシンに保存される。図 4.12 は測定セットアップの全景写真である。

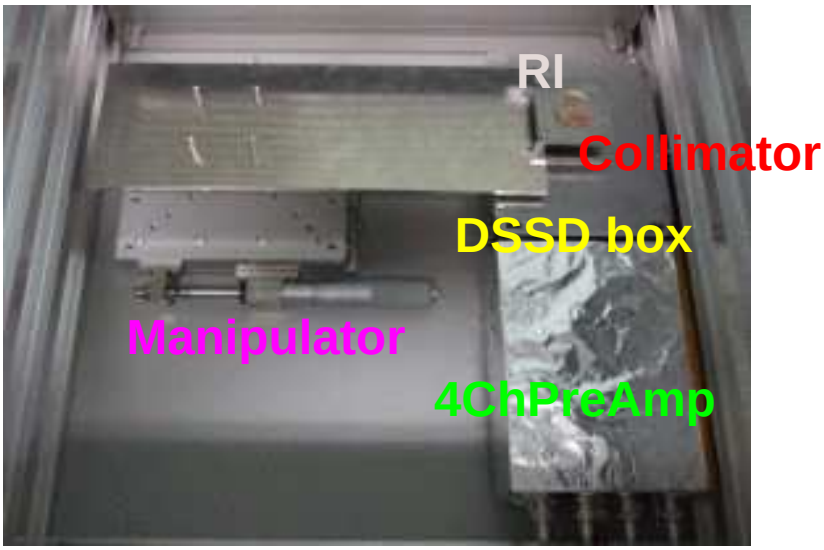

図 4.10: DSSD の真上にコリメータを設置した様子

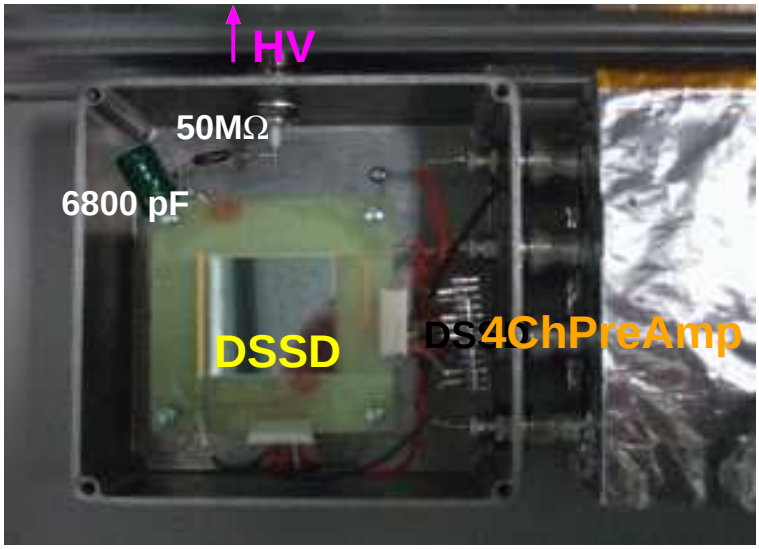

図 4.11: DSSD と 4 チャンネルプリアンプの接続の様子

4.2.3　スプリットイベントの取得

イベントの取得に当たり、まずはじめに、Ch63、64 から出力される信号それぞれについて、ペデスタル (0 点) の決定を行った。実際に常温にて 2 チャンネル同時読み出しをした際に得られた ^{241}Am の各チャンネルのスペクトルが図 4.2.3 である。これより波高値 2290 付近のピークが FADC ボードを通じた際のペデスタル周辺であり、ノイズによるゆらぎがほぼガウシアンによるピークを形成している。そこでペデスタルは、このピークをガウシ

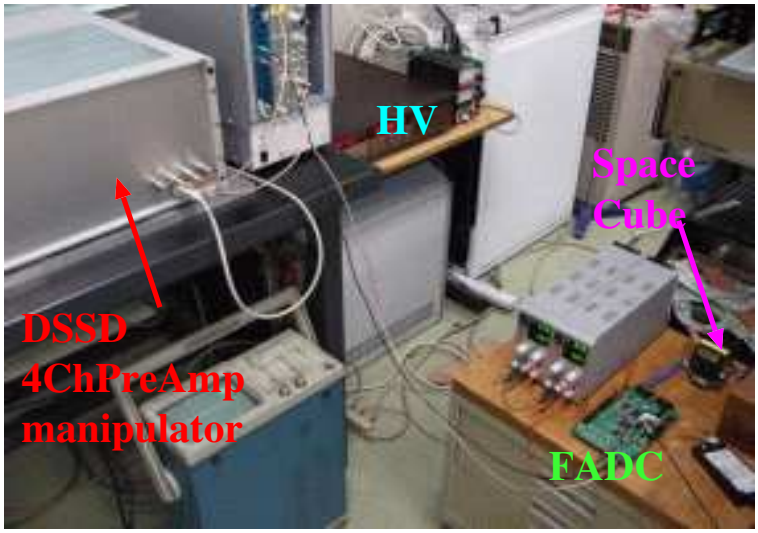

図 4.12: 多チャンネル読み出しセットアップの全景写真

アンで fit した際の ADC 値とした。また、Ch63 および Ch64 の中間位置の特定にあたっては、実際に 2 チャンネル同時読み出しをした際、図 4.2.3 のように各チャンネルでの 59.5 keV のピークカウントが同程度になった位置としている。

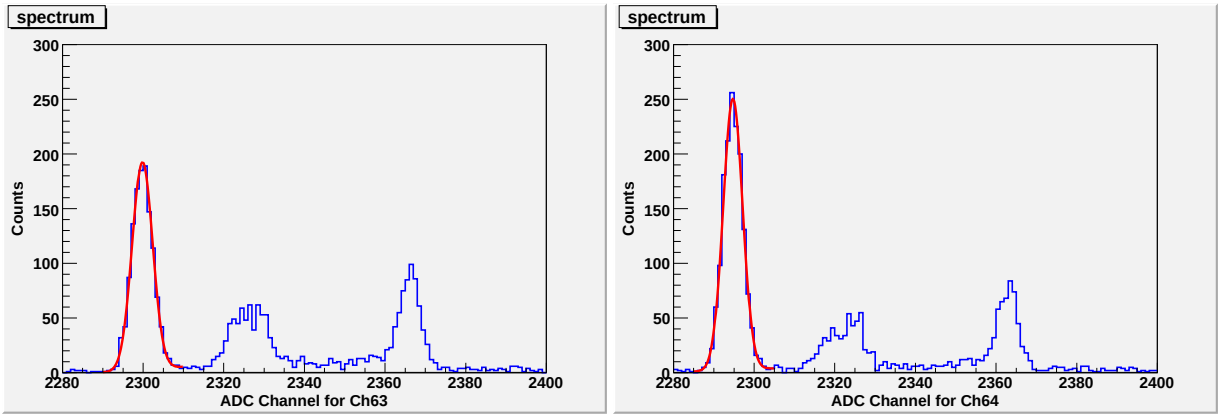

図 4.13: 2 チャンネル同時読み出しの際の各チャンネルの ^{241}Am のスペクトル (左:Ch63· 右:Ch64)

そして常温で Pside の Ch63、Ch64 を同時に読み出したときのそれぞれの波高値を二次元マップ上に表したものが図 4.14 である。座標 (60,0)、(0,60) に付近のイベントがそれぞれ Ch63 および Ch64 のストリップで単独で検出された 59.5 keV のイベントである。また、両者の波高値を足しあわせると 59.5 keV に相当する波高値になる点、すなわち赤の領域で囲った傾き-1 で伸びる直線上のものが、両ストリップでシェアされた 59.5 keV のスプリットイベントである。これらのイベントは、光電吸収がストリップの中間付近で発生し、ホールが両ストリップで分散して誘引されたものと考えられる。そこで、59.5 keV 輝線の幅 4σ に含まれるイベントが、その輝線放射だとみなし、片方のストリップで単独に検出された 59.5 keV ラインのイベントに対して、スプリットイベントの割合を求めた。Ch63、Ch64 の 59.5 keV ラインのイベント数はそれぞれ 1049、895 counts で、その平均値は 972 counts となり、スプリットイベントの数 166 counts はその 17%程度となる。

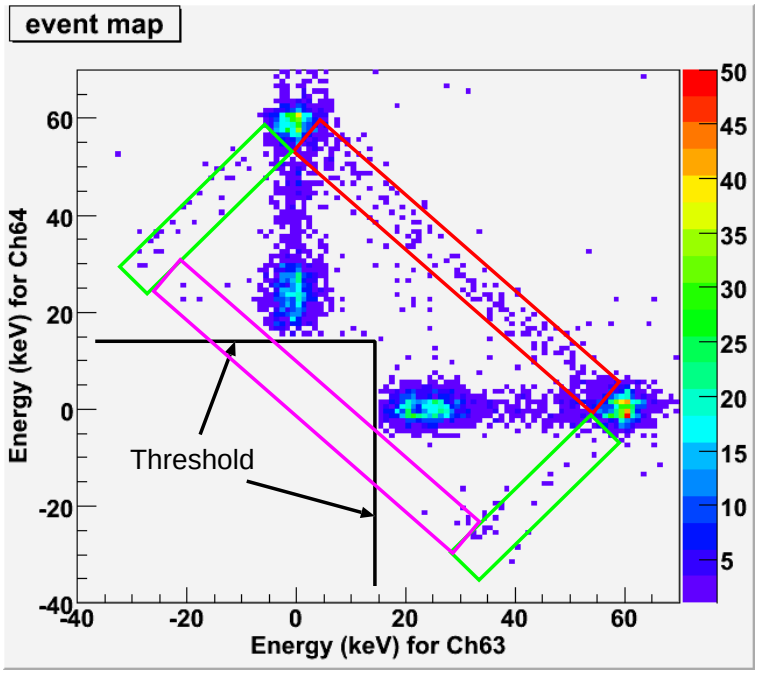

図 4.14: Pside の両隣のストリップの 2 チャンネル同時読み出しによって得られた二次元イベントマップ

同様な測定を Nside にても行った。ただし Nside の信号は Pside と波形が反転してしまうため、Pside と同じ測定条件ではスレッショルドが満たされず、イベントの取得が行えない。そこで本来 FADC ボードにそなわっているオフセットを利用し、その 11 bit データ域の中で逆転した信号の取得を行った。従って ADC 値が Pside に比べて半分になっており、分解能もその分悪くなっている。読み出したストリップは、Pside と同様に Ch63、64 で、得られた結果が図 4.15 である。59.5 keV ノーマルイベントに対するスプリットイベントの割合は、0.12 程度となった。統計が悪いため、厳密な議論を行うことはできないが、この値は Pside のスプリットイベントの割合とあまり変わらない。Nside 側にはストリップ間に P-stop の構造が埋め込まれており、Pside に比べて構造が幾分複雑ではあるものの、それはほとんど表面付近なので、少なくともより深い部分で電子/ホール対を発生させると考えれる 59.5 keV の輝線に対するスプリットイベント発生に影響は少ないと思われる。

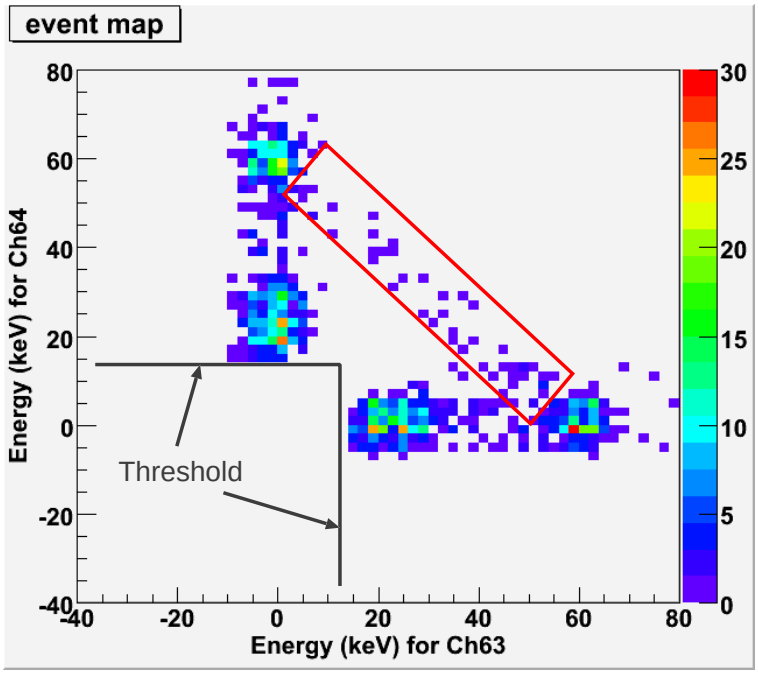

図 4.15: Nside の両隣のスリップの 2 チャンネル同時読み出しによって得られた二次元イベントマップ

4.2.4　極性の異なるイベント

図 4.14 の中でも緑のラインで囲まれた領域は、片方のストリップでパルスの極性が逆転している。二つの領域を合わせたカウント 34 counts であり、59.5 keV のノーマルイベントに対しておよそ 6%を占める。このような信号は、これまでに行われた 4 cm 角の DSSD の測定評価にても、ノーマルイベントに対して 5%程度確認されていた (6)。これは、素子の製造の際、ストリップ間の表面にコーティングされている SiO_2 上に残った正の固定電荷 [12] による影響であると考えられている。SiO_2 層界面付近に正の固定電荷が存在すると、図 4.16 のようなポテンシャルのローカルミニマムが発生する [1]。この付近で発生した電子/ホール対は、電気的な相互作用により、ホールに対してはストリップ間の独立性を高める効果をもつのに対して、電子については SiO_2 層に引きよせられる力が働くため、Nside と正の固定電荷で電子がシェアされてしまう。例えば図 4.17 のように-q の電荷をもつ電子雲が SiO_2 層の中央に引きよせられると、それぞれの電極に $\frac{1}{2}$q の電荷が誘引されることになる [13]。一方でホール雲は一つのストリップのみで読み出された場合には、-q の電荷を誘引する。したがって実効的には、一方のストリップでは $\frac{1}{2}$、他方では-$\frac{1}{2}$ の電荷が誘引されることになり、極性の異なるパルスが発生することになる。このとき電子が固定電荷と Nside でシェアされ、ホールは全て単独のストリップで収集された場合は図 4.14 の緑の枠内に、電子が固定電荷と Nside でシェアされたことに加え、ホールも二つのストリップでシェアされた場合は紫の枠内にイベントが生じる。ただし、このイベントについては thershold によって隠されてしまうため、ここでは特に議論の対象にしない。

また、これら極性の異なる信号が発生する現象は Pside 特有の現象であり、Nside においては図 4.15 のように、4 cm 角 DSSD の結果 (6) に加えて、本測定でも確認されなかった。

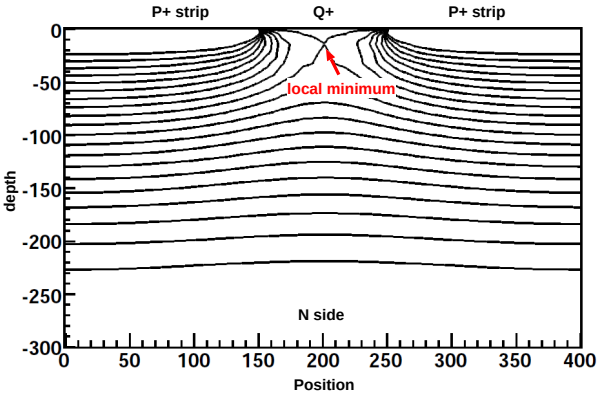

図 4.16: SiO_2 上の固定電荷によって発生するローカルミニマムポテンシャル構造 [1]

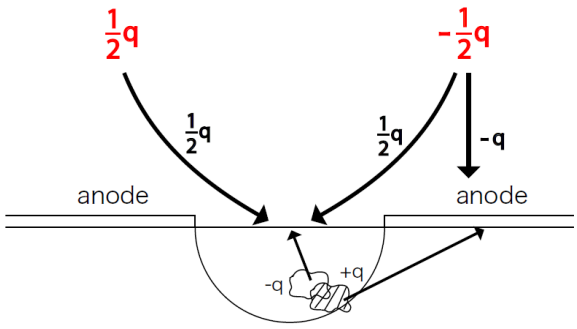

図 4.17: ローカルミニマム領域で電子/ホール雲が発生した場合に Pside 側に誘引される電荷 [1]

4.2.5　過去の測定との比較

ここまでの測定の結果得られた 3.4cm 角 DSSD のスプリットイベントと負のイベントの割合を、4 cm 角 DSSD の測定で得られた結果と比較を行った。表 4.4 はそれらを一覧にしたものである。スプリットイベントの割合を比較すると、本実験で得られた値の方が 4 cm 角 DSSD の結果で得られたものより 3 倍程度大きいことが分かる。測定条件や素子の形状の違いから、その原因として次のようなことが考えられる。

	スプリットイベント ストリップ間ホールシェア (図 4.14 の赤枠)	負のイベント Nside と固定電荷による電子シェア (図 4.14 の緑枠)
3.4 cm 角	0.17	0.05
4 cm 角	0.06 [1]	0.05 [1]

表 4.4: スプリットイベントおよび負のイベントのノーマルイベントに対する割合

1. 本実験では、X 線照射スポットサイズが 4 ストリップ分の領域までしか限定できていないこと

2. DSSD のストリップピッチや厚さが異なること

1 については、図 4.9 に示したように本実験で行った X 線照射スポットサイズは 0.8 mm であり、3∼4 ストリップ分の領域が含まれる。この場合、読み出した Ch63 および Ch64 の測定結果には、その両隣のストリップ、Ch62 と Ch65 の影響が加わることが予想される。しかし本測定で行ったのは、Ch63 と Ch64 の中での同期イベントの出力であり、仮に Ch63 が Ch62 との間のチャージシェアリングの影響を受けてスプリット信号が出たとしても、それは Ch63 と Ch64 の間のスプリットイベントとしては出力されないはずである。従って少なくともこのことが 59.5 keV の放射に対する Ch63 と Ch64 の間のスプリットイベントの割合増加には寄与しないと考えられる。

次に素子の形状についてだが、今回測定した 3.4 cm 角 DSSD は、表 3.1 のようにストリップ数 128 本でストリップの幅とその間隔は、それぞれ 150 μm、100 μm である。一方で 4 cm 角 DSSD は、ストリップ数 96 本でストリップの幅とその間隔は、それぞれ 300 μm、100 μm である。図 4.18 は、これらの数値から二つの素子のストリップの断面図を同じ縮尺で表した模式図である。このように 3.4 cm 角 DSSD は 4 cm 角 DSSD に比べてストリップギャップに対し、ストリップ幅が 2 倍小さい。従って 3.4 cm 角 DSSD の方が 4 cm 角 DSSD よりもノーマルイベントが検出される割合は 2 倍程度低くなると考えてよい。しかしこれでも本測定で得られた結果は 4 cm 角 DSSD で得られた結果よりも大きい。この原因は今後調査していく必要がある。

一方で、 Nside と固定電荷の電子シェアによって発生した図 4.14 中の緑の枠内の負のイベントについては、本測定による 3.4 cm 角 DSSD と 4 cm 角 DSSD の結果とほぼ一致した。素子の表面において正の固定電荷が与える影響はどちらも同程度であるだろうが、3.4 cm 角 DSSD と 4 cm 角 DSSD の厚さはそれぞれ 0.5 mm、0.3 mm と異なるため、発生した電子雲が Nside 側へ流れるイベントの割合は 0.5 mmt の方が高いと思われる。また、そもそも 3.4 cm 角の方が空乏化のためには高い電圧が必要であり (3.4 cm 角 DSSD では 140 V、4 cm 角 DSSD では 100 V 電圧で行われていた)、PN 間における電場から電子が受ける力は、3.4 cm 角 DSSD の方が強い。これらのことから、Pside 表面付近で発生した電子は、正の固定電荷よりも電場による力を受けて Nside 側へ流れるイベントが多くなり、通常 3.4 cm 角の方がストリップの幅が二倍小さいので負のイベントの割合が多くなると思われるにもかかわらず、両者で極性の異なる信号の割合はほぼ一致したのだと考えられる。

また Nside で負のイベントが見られない理由としては、次のことが考えられる。Nside にはストリップの間に P-stop 構造があるため、逆バイアスをかけた際の電場構造はおおよ

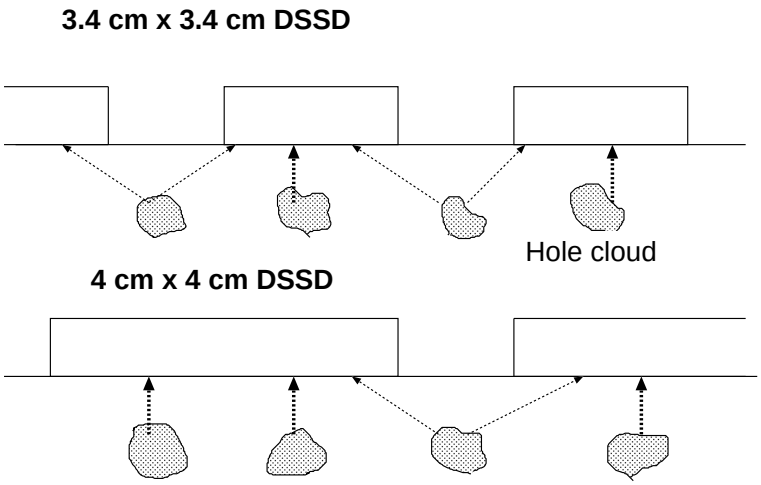

図 4.18: 3.4 cm 角 DSSD と 4 cm 角 DSSD の電荷収集の模式図

そ図 4.19 のようになるであろう。一方 SiO_2 層はストリップと P-stop の間に二箇所あり、そこに正の固定電荷が存在していると考えられる。Pside の場合、この付近で電子/ホール雲が発生すると、Nside までが遠くそこに行き着くことができない上に、SiO_2 表面の正の固定電荷に誘引され、それが原因で極性の異なる信号が生まれていた。しかし、Nside の場合は N^+ ストリップがすぐそばにあり、図 4.19 のような電場構造に引きつかれて、この付近で発生した電子は、N^+ の方に引き付けられると考えられる。結果、電子は N^+ へ、ホールは P^+ へ流れてしまうため、極性の異なる信号は発生しない。

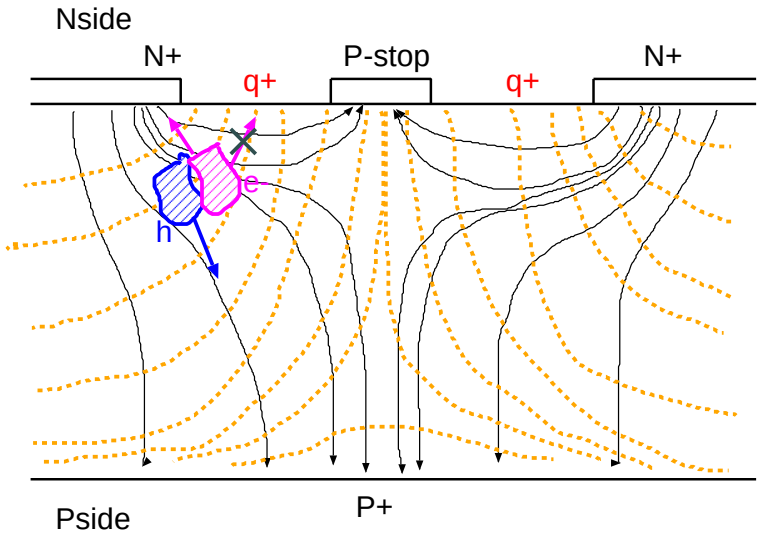

図 4.19: Nside の電場構造とキャリアの流れ
矢印が電気力線、破線が等電位面を表す。

4.2.6 波形の比較

§2.4 で述べたように、電荷収集による X 線応答は、$\mu\tau$ 積や電子ホール対の発生位置によって変わってくる。ここでは、X 線応答による波形に注目し、ノーマルなイベントとスプリットイベントなどの間で、違いが見られないか比較を行った。波形の減衰部分については、プリアンプの減衰時定数が支配的になり (表 4.1)、ほとんどその影響しか反映されないことから、ここでは DSSD での電荷収集時間に相当する波形の立上り部分に注目した。

図 4.20 は図 4.14 における 2 スプリット同時読み出しの際に得られたある 1 イベントに対する Pside Ch63 の 59.5 keV 付近のピークの波形である。peaking time は ∼200 nsec 程度、パルスが立上がった瞬間の速さは ∼0.5 keV/nsec (≃0.42 mV/nsec) 程度である。シリコン半導体におけるホールの移動度を典型値 500 $cm^2/(V{\cdot}s)$ としたとき、式 2.15 より厚さ 0.5 mm の DSSD に 140 V のバイアス電圧をかけると、ホールのドリフト速度は 1.4×10^6 cm/s となる。式 2.13 を用いて、このドリフト速度と生成されるキャリアの数および CSA の電荷電圧変換式をかけ合わせると、パルスの立ち上がりの速さは、0.47 mV/nsec と再現でき、実験値とほぼ一致する。

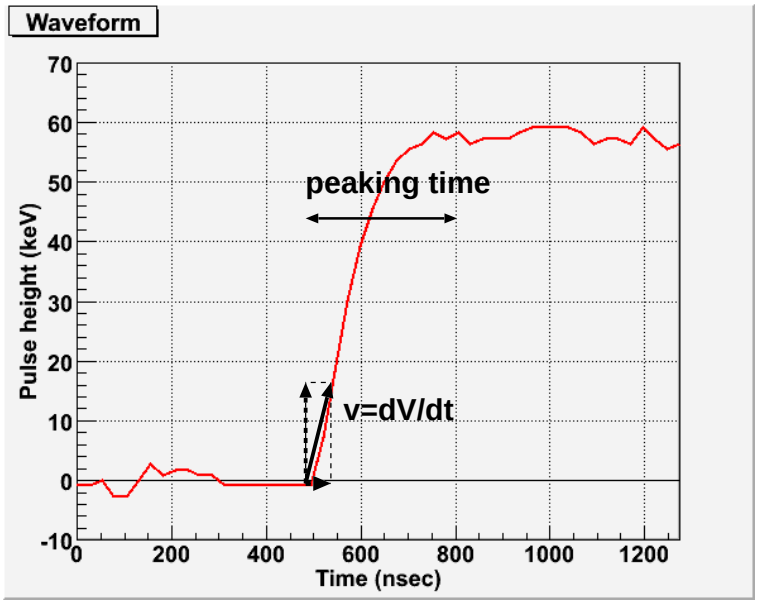

図 4.20: 2 チャンネル同時読み出しの際に得られた Ch63 のある 1 イベント 59.5 keV の波形

スプリットイベントとの比較

次に 59.5 keV のラインについて、ノーマルイベントとスプリットイベントとの比較を行った。図 4.21 は、Ch63 の 59.5 keV のノーマルイベントと、図 4.14 上の座標 (39.1,19.6)、(16.4,43.7) のスプリットイベントの波形を、Ch63 および Ch64 ともに描いたものである。スプリットイベントの波高値の和は両者とも 60 keV 程度になり、それぞれのストリップで 59.5 keV の 1 つのイベントが、共有されて読み出されたことを裏付ける。その他 peaking time や波形の立上り部分の時間帯はあまり変わらず、ピークに達するまでに波形の大きな崩れなどもとくに見られない。

また、^{241}Am の 21 keV 周辺におけるラインのノーマルイベントを加えて、Ch63 について 59.5 keV のノーマルイベントやそのスプリットイベントの波形を無作為に選びプロットしてみた。その結果が図 4.22 である。ここでも peaking time や波形の立上り部分の時間帯はあまり変わらず、ピークに達するまでに波形の大きな崩れなどもとくに見られない。

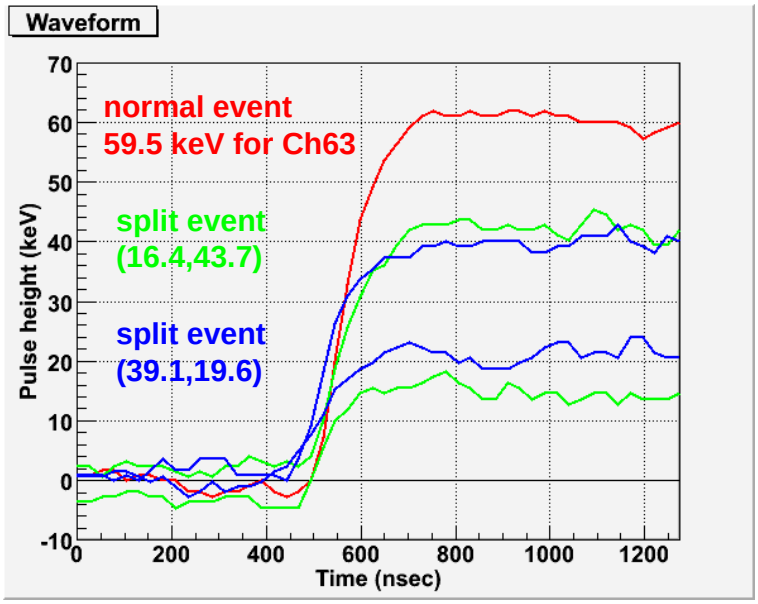

図 4.21: 59.5 keV ピークに対するノーマルイベントとスプリットイベントの波形

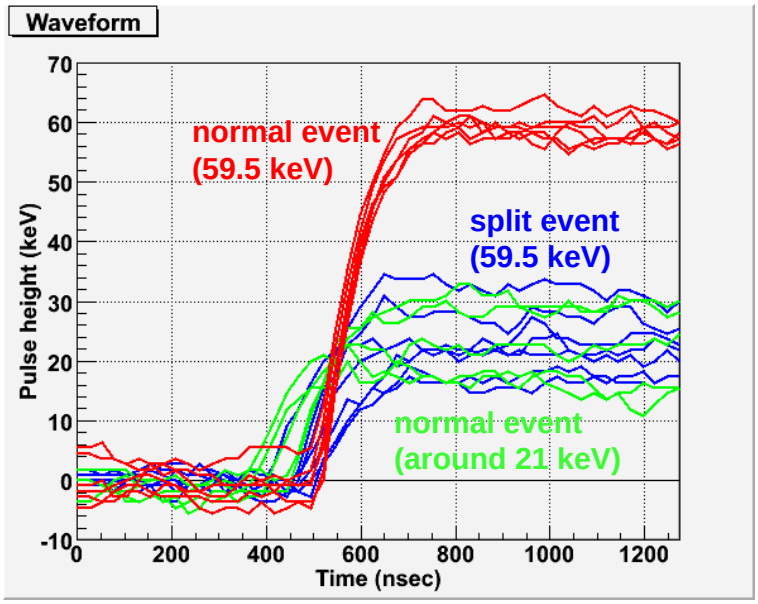

図 4.22: 2 チャンネル同時読み出しの際に得られた Ch63 での各種イベントの波形

負の信号との比較

次に極性の反転する信号について、波形の導出を行った。図 4.23 は、図 4.14 のの緑の領域の中でも、Ch64 が正、Ch63 が負の極性の異なるイベントの波形を取り出し、立上りの部分を拡大したものである。同じ色のイベントが同期した出力波形を表すが、その正の信号と負の信号の絶対値の和は 60 keV 程度であり、さらには波形の立上り部分もほぼ同期していることから、同じ一つのイベントの中で生じたものであることが確かめられる。また、ここでも波形の形や peaking time には大きな違いは見られない。

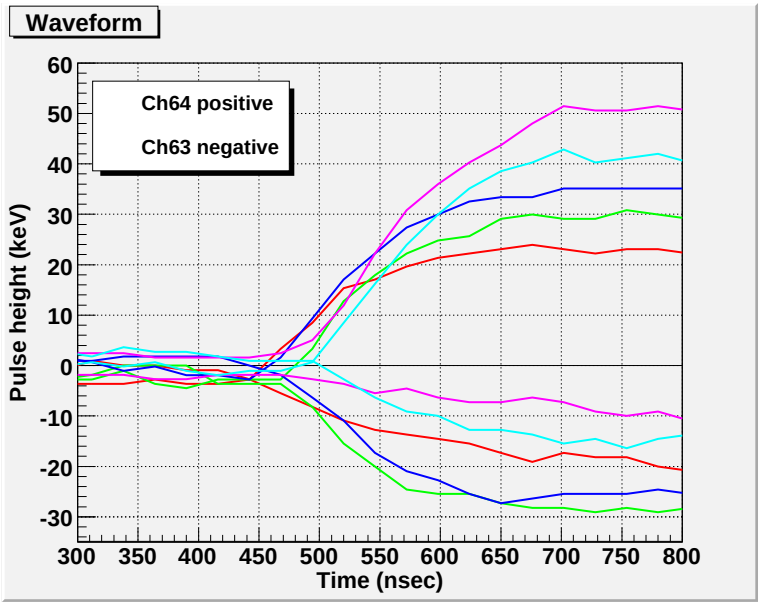

図 4.23: Ch64 が正、Ch63 が負の極性の異なるイベントの波形

Nside との比較

最後に Nside についてのスプリットイベントの波形の比較を行った。図 4.24 は図 4.15 の Ch63 のある 59.5 keV ノーマルイベントと、座標 (20,44)、(33,28) のおけるスプリットイベントについて、それぞれの波形を示したものである。Pside 同様、ノーマルイベントとスプリットイベントとの間では、特に波形に特徴的な傾向は見られない。

ここまで見てきたように、P/Nside ともに、スプリットイベント、極性の異なるイベントにおいて波形そのものには大きな特徴は見られなかった。しかしどのイベントにおいてもその peaking time はどれも ∼200 nsec 程度であり、ほとんど同じであるように見える。このことは、入射 X 線エネルギーに対して、電荷収集の時間はほとんど一定であることを意味し、エネルギーの違いで何か信号の特別な波形整形を行う必要はないことを実証しており、今後の読み出し系回路の製作においての指針を与える意義深い結果である。

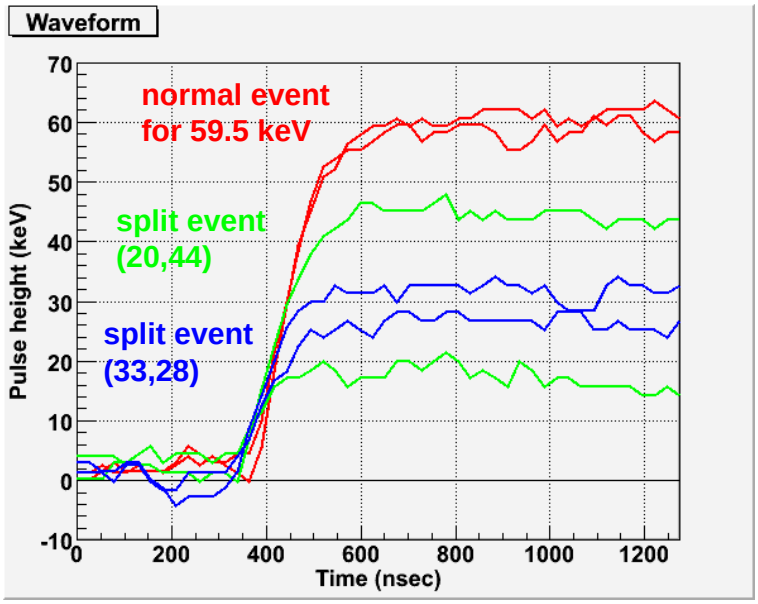

図 4.24: Nside におけるノーマルイベントおよびスプリットイベントの波形

第5章　まとめと今後

本研究では、次期X線天文衛星ASTRO-Hに搭載される硬X線撮像検出器のうち、5-30 keV程度の観測を担当するシリコン検出器、DSSDの性能評価を行った。具体的には検出器のエネルギー分解能に大きな影響を与えるリーク電流や容量の基礎特性、そして多チャンネル読み出しをした際に隣同士のストリップで発生するスプリットイベントや極性の異なるイベントの割合を調べ、さらにはそれらの波形解析も行った。主な結果として、以下のことが得られた。

- リーク電流は-20度で1ch当たり$\sim$10 pA程度であり、通常の半導体検出器にみられるような温度依存性も確認できた。これまで測定されてきたDSSDと比較すると、素子の大きさや厚さと整合性のとれない点がみつかり、当DSSDの方が$\sim$0.1 pA/mm^{2}程度大きい結果となった。その原因としては素子そのものの個体差や、Nside側のP-stopに電極が埋め込まれたことなどの影響が考えられる。しかしDSSDに求められる要求性能は十分に満たされている。

- 検出器容量はセットアップの浮遊容量を差し引くとトータルでP/Nsideそれぞれ7 pF、10 pFとなった。これは理論式から求められる値とほぼ一致しており、さらにはこれまで測定されてきたDSSDとも同等の値で、要求性能を満たしている。

- 1chスペクトルの測定を行い、Psideについてはこれまでの DSSDと遜色のない結果が得られた。一方でNsideについては-20度で2.4 keV(FWHM @60 keV)という過去最高のエネルギー分解能を実証することができた。これはおそらくNside側のP-stop改変による影響だと思われるが、要求性能は十分満たされている。

- 多チャンネル読み出しシステムの立ち上げを行い、そのX線応答を調べるために、両隣の二つのストリップでキャリアがシェアされて読み出されるスプリットイベントおよび極性の異なる信号の測定を行った。Psideでは^{241}Am 60 keVのピークイベントに対して、その割合はそれぞれ0.17、0.05となり、これまでに測定されていた4 cm角DSSDの結果と比べて、スプリットイベントは3倍程度大きく、負のイベントは同程度であることが分かった。これらは当DSSDのスプリットの幅や間隔、あるいは厚さといった素子の形状に強く依存したものだと考えられる。また、Nsideについては、4 cm角DSSDの測定の場合と同様に、極性の異なる信号は検出されなかった。これらの結果は今後、正しい観測データ取得のための応答関数の構築に応用される。

- イベントの波形を出力し、スプリットイベントや極性の異なるイベントなどとの比較を行った。その立ち上がりの速さは0.47 mV/nsec程度であり、これはシリコンのホールや電子の移動度からしても妥当な値である。さらにどのイベントに対しても

peaking time は ∼200 nsec となり、実際の観測においてエネルギーの異なるイベントに対して、特別な波形整形など行う必要がないことが実証できた。

今後は、コリメートするサイズを 2 ストリップ分の領域までに絞り、統計を上げた上でさらに正確なスプリットイベントなどの割合を導出する。また、これまでは常温にて行っていたが、温度を下げることでエネルギー分解能を上げ、実際の宇宙空間で運用されるような環境の中で評価を行う。また素子全体に X 線を照射することで位置依存性を評価すること、あるいは P/Nside 同時読み出しの立ち上げを行い、実際に X 線イメージを撮像するなど、DSSD/FM の評価をする上で 2014 年打ち上げ事前に、過不足ない性能評価を行うことが求められる。

第6章　極性の異なる信号

これまでに行われた 4 cm 角 DSSD のにおける Pside 側のスプリットイベントの測定の際に、片方のストリップで極性の異なる負の信号が出力されることが報告されていた [1]。図 6 左は、そのときに測定された ^{241}Am による Pside の 2 ストリップ間同時ヒットイベントの二次元マップである。本 DSSD の測定によって得られた図 4.14 と同じように、赤の補助線で囲まれた部分に、59.5 keV ラインのスプリットイベントが見られる。一方で緑の補助線で囲まれた領域は、片方のストリップで極性が反転していることが分かる。さらにこれらのイベントは、イベントマップ上で折れ曲がりをもち、スレッショルドの限界ために隠されているように分布している。また、Pside 側ではこのようなイベントが、59.5 keV の輝線に対しての 10%程度確認されているのに対し、Nside 側の測定結果からは確認されていない (図 6 右)。その発生原理として次のようなことが考えられている。

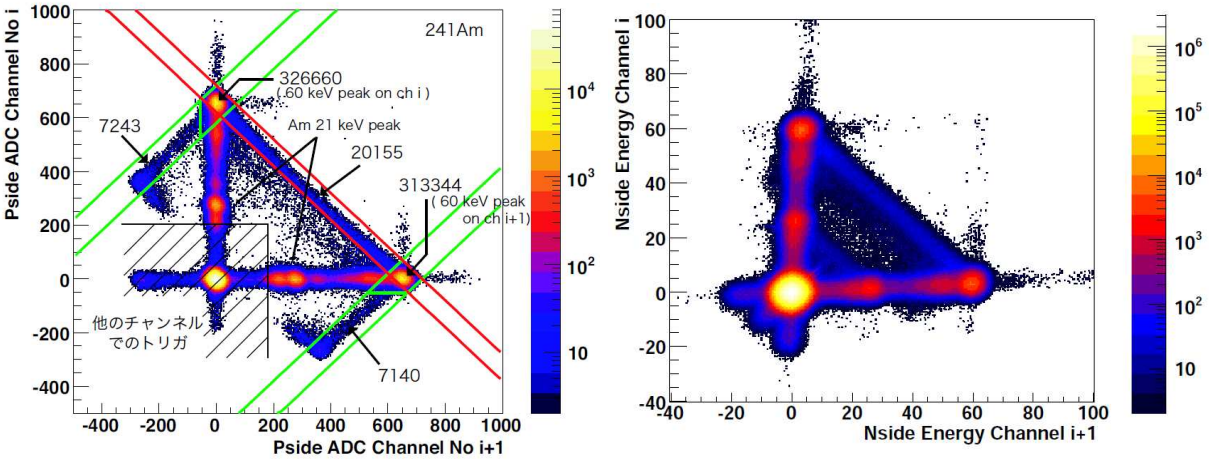

図 6.1: 4cm 角 DSSD で測定された 2 スプリット間同時イベント (左:Pside、右:Nside)

まず極性の異なる信号は、Pside で発生し、Nside では見受けられないことから、Pside の表面付近で発生していることが考えられる。さらにストリップ間の表面上にコーティングされた SiO_2 上には、その製造過程で酸化によるイオン化したシリコンの一部が界面に残り、表面での不完全な結合が生じ、正の固定電荷が存在していると考らえれる [12]。その場合、図 6.2 のようストリップ間にポテンシャルのローカルミニマムが発生する [1]。この付近で発生した電子/ホール対は、電気的な相互作用により、ホールに対してはストリップ間の独立性を高める効果をもつのに対して、電子については SiO_2 層に引きよせられる力が働くため、Nside ストリップの電極に到達できない。図 6.3 のように-q の電荷をもつ電子雲が SiO_2 層の中央に引きよせられると、それぞれの電極に $\frac{1}{2}$q の電荷が誘引されることになる [13]。一方でホール雲は一つのストリップのみで読み出された場合には、-q の電荷を誘引する。したがって実効的には、一方のストリップでは $\frac{1}{2}$、他方では-$\frac{1}{2}$ の電荷が誘引されることになり、極性の異なるパルスが発生することになる。

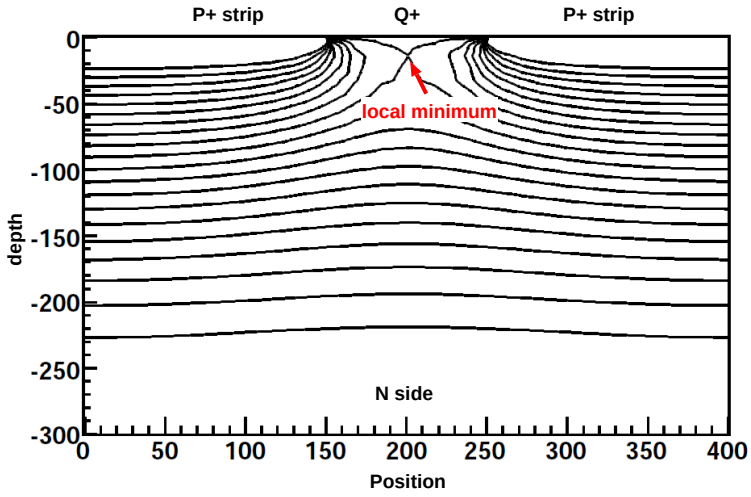

図 6.2: SiO_2 上の固定電荷によって発生するローカルミニマムポテンシャル構造 [1]

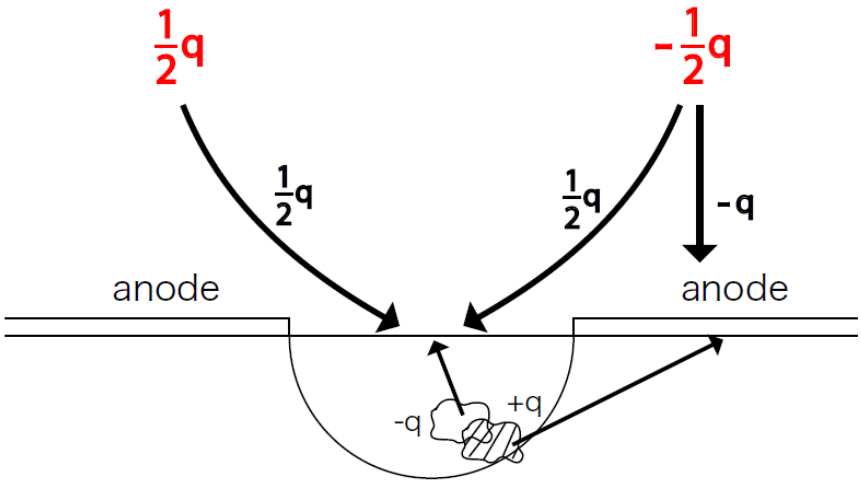

図 6.3: ローカルミニマム領域で電子/ホール雲が発生した場合に Pside 側に誘引される電荷 [1]

この現象は、実際に VENUS2D[1] によるシミュレーションにもとづいて再現されており [1]、それによって得られた両隣のストリップ間でのイベントマップが図 6.4 である。このように実験結果からはスレッショルドによって見えていなかった部分に対しても、極性の異なる信号がきれいに出力されている。これのイベントがそれぞれどのような現象によって発生したのか、図 6.5 を用いて以下に説明する。

- A·B : 全てのホールが近い方のストリップのみで検出されたイベント。以後、ノーマルイベントと呼ぶ。A = (q,0), B = (0,q)
- H : 2 つのストリップでホールがシェアされて検出されたスプリットイベント。H = ($\frac{1}{2}$q, $\frac{1}{2}$q)

[1] 2 次元デバイスシミュレータ WebVENUS

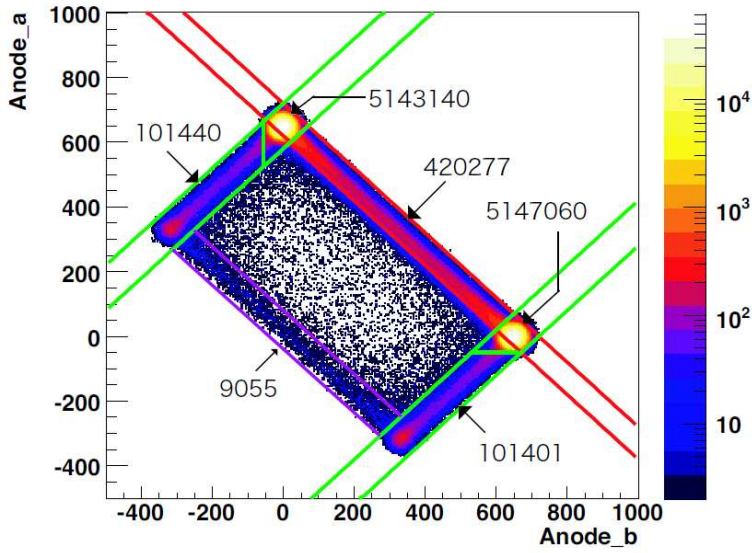

図 6.4: VENUS2D シミュレータによって得られた Pside の 2 ストリップ間イベントマップ [1]

- B·F : ホールは全て近い方の 1 つのストリップで検出され、電子は Nside 側のストリップと Pside 側 SiO_2 層表面の正の固定電荷でシェアされたイベント。電子の電荷-q に対して、Nside 側と固定電荷への寄与がその半分の-$\frac{1}{2}$q である場合、Pside の各ストリップにはそれぞれその半分の-$\frac{1}{4}$q の寄与がはたらく。B = (q-$\frac{1}{4}$q, -$\frac{1}{4}$q), F = (-$\frac{1}{4}$q, q-$\frac{1}{4}$q)
- C·E : ホールは全て近い方の 1 つのストリップで検出され、電子は全て固定電荷に吸引され、各ストリップに-$\frac{1}{2}$q の寄与が誘引されたイベント。C = (q-$\frac{1}{2}$q, -$\frac{1}{2}$q), F = (-$\frac{1}{2}$q, q-$\frac{1}{2}$q)
- D : ホールは両ストリップでシェアされ、電子は全て固定電荷に吸引され、各ストリップに-$\frac{1}{2}$q の寄与が誘引されたイベント。ホールシェアが $\frac{1}{2}$q ずつの場合、D = ($\frac{1}{2}$q - $\frac{1}{2}$q, $\frac{1}{2}$q - $\frac{1}{2}$q)

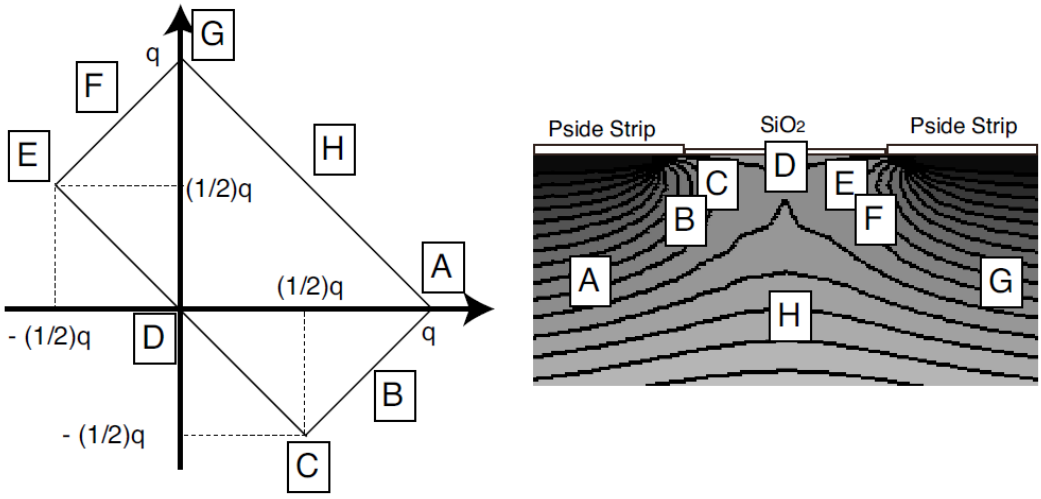

図 6.5: Pside の 2 ストリップ間イベントとその発生位置関係 [10]

謝辞

本論文を作成するにあたり、研究のために必要な知識を一から教えていただいた大杉先生ならびに深沢先生に深く御礼申し上げます。特に直接指導していただいた深沢先生には、大変御世話になりました。DSSD/FM の性能評価という、大変素晴らしい研究テーマを与えて下さったことに感謝致します。また、ひろたかさんや同じ研究テーマの直属の先輩、安田さんや西野さんにもたくさん研究に対するアドバイスや、実験を行っていく上での背後からのバックアップをしていただき、本当にありがとうございました。さらに同期の花畑君や松岡君にも実験について直接色々協力していただき、大変感謝しています。また SLAC の田島先生をはじめ、ASTRO-H チームの皆様には色々なアドバイスをいただき、本当にお世話になりました。特に一年目は色々と思うように事が進まず悩んだ時期もありましたが、結果が出るまで待っていただいたこと、感謝致します。

その他研究室の皆様には大変御世話になりました。四月から研究室を離れるおさむさんや池尻君、3 年間本当にありがとうございました。楽しかったです。

DSSD は 10 年以上かけて開発されてきた ASTRO-H HXI/SGD チームの努力の賜です。過去の先輩方が培ってきたその功績を無駄にしないためにも、今後の研究に一層の尽力をかけていく所存です。

References

[1] 武田 伸一郎　「Si/CdTe コンプトンカメラのための高分解能シリコンストリップ検出器の性能評価」修士論文 (東京大学、2006)

[2] 宇野 進吾　「宇宙硬 X 線撮像用低ノイズ両面シリコンストリップ検出器の開発」修士論文 (広島大学、2002)

[3] 西野 翔　「NeXT 衛星搭載硬 X 線撮雑用両面シリコンストリップ検出器の性能評価」 卒業論文 (広島大学、2006)

[4] E.Barberis, N.Catriglia, C.LeVier, J.Rahn, P.Rinaldi, H,F.-W.Wadrozinski, R.Wichmann, T.Ohshgi, Y.Uno, H.Miyata, N.Tamura, K.Yamamoto, Nulcear Instruments and Methods in Physiscs Research A 342 (1994) 90-95

[5] 日本タングステン株式会社ホームページ
(http://www.nittan.co.jp/products/heavy_alloy_002_002.html)

[6] Glenn F. Knoll, 放射線計測ハンドブック 第 3 版

[7] 神津精機株式会社ホームページ
(http://www.kohzu.com/jp/products/std/html/xy/XM16A-S1L.html)

[8] 澤本 直之　「シリコンストリップ検出器の X 線応答と多チャンネル読み出し回路のパラメータ調節」卒業論文 (広島大学、2003)

[9] 安田 創　「宇宙軟ガンマ線検出を目的とした 0.5mm 厚両面シリコン検出器の評価」修士論文 (広島大学、2006)

[10] S.Takeda, Ph.D. thesis, The University of Tokyo 2009, Experimetal Study of Si/CdTe Semiconductor Compton Camera for the Next Generation of Gamma-ray Astronomy

[11] S.Takeda, S.Watanabe, T.Tanaka, K.Nakazawa, T.Takahashi, Y.Fukazawa, H.Yasuda, H.Tajima, Y.Kuroda, M.Onishi, K.Genba, Development of double-sided silicon strip detectors (DSSD) for a Compton telescope

[12] S.M.Sze, SEMICONDUCTOR DEVICES Physics and Technology

[13] J.YORKSTON, A.C.SHOTTER, D.B.SYME and G.HUXTABLE, Nuclear Instruments and Method in Physics Research A 262 (1987), INTERSTRIP SURFACE EFFECTS IN OXIDE PASSIVATE ION-IMPLANTED SILICON DETECTORS

[14] European Cooperation for Space Standardizaion, Standard ECSS-E-50-12A, “SpaceWire - Links, nodes, routers and networks,” January 2003

[15] GORE Space Cables and Assemblies SpaceWire Cables
(http://www.gore.com/en_xx/products/cables/round/space/spacewire-cables.html)

[16] クリアパルス株式会社 5005H 型 4CH 低雑音前置増幅器取扱説明書

[17] シマフジ電機ホームページ (http://www.shimafuji.co.jp/product/spacecube01.html)

[18] 松岡 正之 「新衛星通信規格 Space Wire を用いたデータ収集システムの開発」卒業論文 (広島大学、2007)

[19] 田中 琢也 「衛星搭載機器統一通信規格 Space Wire を用いた宇宙 X 線 · ガンマ線観測用データ収集システムの開発」修士論文 (広島大学、2007)

[20] 深水 浩司 「Astro-H 衛星搭載軟ガンマ線検出器アクティブシールドの光読み出しと信号処理の研究」卒業論文 (広島大学、2008)

[21] Optimization of geometry ot thick X-ray detector, Hiroyasu Tajima

[22] XCOM: Photon Cross Sections Database
(http://physics.nist.gov/PhysRefData/Xcom/Text/XCOM.html)