概 要

人工衛星を用いた観測技術の進歩に伴い、ブラックホールや中性子星、活動銀河核、超新星爆発といった宇宙空間における高エネルギー天体現象の存在が次々と明かされていった。しかし、そういった高エネルギー天体現象の解明に必要不可欠となる硬 X 線・軟ガンマ線領域での天体観測では、宇宙バックグラウンドが対象天体からの信号を圧倒し、さらにコンプトン散乱が支配的となるため、これまで精度の高い観測は不可能とされてきた。

2005 年に打ち上げが予定されている日本で 5 番目の X 線観測衛星 Astro-E2 に搭載される硬 X 線検出器 HXD-II は、硬 X 線・軟ガンマ線領域の観測事情を覆す過去最高の感度で観測することが可能となり、高エネルギー天体現象の解明に期待が寄せられている。HXD-II 主検出器は、日本で開発された井戸型フォスイッチカウンタという画期的な技術により、波形弁別、反同時計数等を用いることで超低バックグラウンドを実現する。

本研究では、HXD-II 主検出器処理回路部の変更に伴い、バックグラウンド除去機能が高性能を維持しているかを調べた。実際に 2 つの結晶シンチレータとシリコン PIN 検出器を用いて井戸型フォスイッチカウンタを再現し、バックグラウンド除去機能の性能評価を行い、一部については回路パラメータを改良した。

目 次

第 1 章　序論 **3**

1.1 Astro-E2 衛星で探る宇宙 . . . 3

1.1.1 Astro-E2 衛星の概要 . . . 3

1.1.2 硬 X 線領域の宇宙 . . . 4

1.2 Astro-E2 衛星搭載硬 X 線検出器 (HXD-II) . . . 4

1.2.1 HXD-II の概要 . . . 4

1.2.2 HXD-S (Sensor) . . . 6

1.2.3 HXD-AE (Analog Electronics) . . . 7

第 2 章　HXD-II 主検出器のバックグラウンド除去機能 **8**

2.1 硬 X 線検出器の処理回路の概要 . . . 8

2.2 HXD-Well 検出器処理回路 (WPU) . . . 8

2.2.1 シンチレータ処理系アナログ回路 . . . 9

2.2.2 シリコン PIN 検出器処理系アナログ回路 . . . 10

2.2.3 トリガーロジック . . . 11

2.2.4 イベントデータ . . . 12

2.3 宇宙空間におけるバックグラウンドの種類 . . . 12

2.4 HXD でのバックグラウンド除去機能 . . . 13

2.4.1 波形弁別 . . . 13

2.4.2 Anti coincidence (反同時計数) . . . 13

2.4.3 大信号 . . . 13

2.4.4 ダブルパルス . . . 14

2.5 本研究の目的 . . . 14

第 3 章　HXD-II シンチレータ主検出器処理回路の特性試験 **15**

3.1 WPU アナログ回路部の変更 . . . 15

3.2 リニアリティ、ダイナミックレンジ . . . 15

3.2.1 パルサー信号を用いたリニアリティ測定 . . . 15

3.2.2 PMT 信号 (^{137}Cs) を用いたリニアリティ測定 . . . 22

第 4 章　主検出器処理回路のバックグラウンド除去試験 **24**

4.1 井戸型フォスイッチカウンタ (Well 検出器) の再現 . . . 24

4.1.1 疑似 Well 検出器の製作 . . . 24

4.1.2 Well 検出器処理回路のデータ取得 . . . 27

4.2 波形弁別試験 . . . 29

4.2.1 FET の変更に伴う回路パラメータの調整 . . . 29

4.2.2 波形弁別 . . . 32

4.3 Anti-coincidence 試験 . . . 34

4.3.1 Anti coincidence に用いる Hit Pattern 信号 34
4.3.2 Anti のタイミングの決定 35
4.3.3 Anti coincidence によるコンプトン散乱除去試験 42
4.4 大信号試験 50
4.4.1 大信号による Anode/Dynode 信号への影響 50
4.4.2 大信号入射時のフォスイッチカウンタ処理回路部における波形 . . . 53
4.4.3 大信号入射時における波形弁別の性能評価 55

第 5 章 まとめ **57**

第1章　序論

ブラックホール、中性子星、高温ガス、活動銀河核 (AGN) などの宇宙空間に存在する天体には様々な物理現象が見られる。それらの現象は、高エネルギーの粒子や光子が関与するものが多く見られ、X 線、ガンマ線などの放射を伴っている。そのため、宇宙に広がる天体を観測する手段として、可視光ばかりでなく、X 線、ガンマ線といった高エネルギー領域の電磁波の観測が不可欠となってくる。しかし、宇宙観測では様々な要因により高エネルギー領域でのバックグラウンド源も数多く存在し、天体観測のさまたげとなってしまう。以上のことをふまえて日本で開発され、2005 年に打ち上げ予定の X 線観測衛星 Astro-E2 に搭載される硬 X 線検出器 HXD-II では、超低バックグラウンド化によって過去最高の検出感度を実現するために、様々な工夫がなされている。本研究では、硬 X 線検出器 HXD の超低バックグラウンド化を担っている部分の、動作試験とパラメータの再調整を行う。

1.1　Astro-E2 衛星で探る宇宙

Astro-E2 衛星は、わが国 5 番目の X 線天文衛星であり、2000 年に打ち上げに失敗した Astro-E 衛星の 2 号機として、2005 年の打ち上げを目指して製作が進められている。Astro-E2 衛星は、日本で初となる軟ガンマ線領域まで観測が可能な硬 X 線検出器 (HXD-II) が搭載されているため、他の 2 つの検出器と合わせると、0.5 keV ~ 700 keV の 3 桁にわたるこれまでにない広いエネルギー範囲で同時に宇宙 X 線、ガンマ線を観測することが可能となり、宇宙における様々な天体の高エネルギー現象の解明に向けての活躍が期待されている。

1.1.1　Astro-E2 衛星の概要

Astro-E2 は、以下に示す 1 つの X 線望遠鏡と 3 つの X 線検出器から構成される。

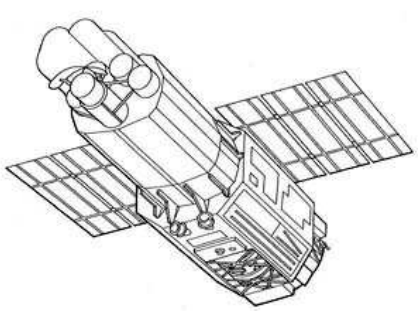


図 1.1: Astro-E2 衛星のイメージ図

- X 線望遠鏡 (XRT)

  0.5 keV ~ 10 keV の X 線に対して世界最大級の集光力を持つ、伸展式光学台を用いた X 線望遠鏡で、5 台設置される。

- 高分解能 X 線分光器 (XRS)

  世界ではじめて導入された、極低温に冷やされた素子の X 線入射による微弱な温度の上昇を利用した高分解能 X 線分光器 (マイクロカロリーメーター) が搭載されており、0.5 keV ~ 12 keV の範囲を非常にすぐれた分解能で観測することができる。5 台あるうちの 1 台の X 線望遠鏡の焦点面におかれる。

- X 線 CCD カメラ (XIS)

  5 台のうち 4 台の X 線望遠鏡の焦点面上に搭載され、0.5 keV ~ 12 keV の範囲で広い視野での撮像を行いながら精度の高い分光を行うことが可能である。

- 硬 X 線検出器 (HXD-II)

  2 種類の無機シンチレータ (GSO/BGO) とシリコン検出器で構成された井戸型複眼フォスイッチカウンターによって超低バックグラウンドを実現し、10 keV ~ 700 keV までの硬 X 線から軟ガンマ線までの幅広い領域を観測することができる。

1.1.2 硬 X 線領域の宇宙

宇宙における数 10 keV から数 100 keV までの硬 X 線から軟ガンマ線にかけてのエネルギー帯は、放射機構に高エネルギー天体の熱的、非熱的な輻射、不安定核種からの核ガンマ線といった、様々な物理現象が関わってくるため、天体現象の解明に対し非常に興味深い観測領域となる。身近なところでは、太陽面上で起こる高エネルギー現象、フレアに伴う相対論的粒子の加速や高エネルギー電磁放射など、天の川銀河空間内では、宇宙線の加速、生成に関与すると考えられている超新星爆発、パルサーとその周辺で生起している電磁的諸現象、また、連星系をなすブラックホールの周辺で生じる高エネルギー現象などがみられる。その他にも、銀河中心部に存在する巨大ブラックホールによる高エネルギー電磁放射を伴う現象 (AGN)、活動銀河に伴うジェット現象、銀河銀河団に存在する高エネルギー粒子からの非熱的放射、といったいろいろな天体現象が存在する。

1.2 Astro-E2 衛星搭載硬 X 線検出器 (HXD-II)

1.2.1 HXD-II の概要

HXD-II(硬 X 線検出器) は、Astro-E2 衛星に搭載される検出器の 1 つであり、X 線反射鏡を用いない非イメージング装置として、宇宙硬 X 線の観測を行う。その特徴として、結晶シンチレータとシリコン PIN フォトダイオードを組み合わせることにより 10 keV ~ 700 keV の広帯域を実現し、日本で開発された井戸型複眼フォスイッチ構成およびアンチカウンターを採用することで、超低バックグラウンド化を可能とする。また、すぐれた時間分解能と時刻づけ機能をもち、高いバックグラウンド環境でも微弱な宇宙 X 線を測定できるように工夫されている。

HXD-II は以下の 5 つの部分から構成される。図 1.2 に HXD-II におけるイベント処理の一連の流れを示す。

- HXD-S

  HXD-S は結晶シンチレータと半導体から成る硬 X 線検出器部で、宇宙からの硬 X 線を電気的なアナログ信号パルスに換え、HXD-AE に送る。

- HXD-AE

  HXD-AE は HXD-S から送られてきた信号をハード的に処理する電気回路部分で、アナログパルスに対して増幅、整形、AD 変換を行いディジタルデータを作成する。

- HXD-DE

  HXD-DE は CPU を用いてソフト的に信号を処理する部分で、HXD-AE から送られてくるディジタルデータの選別、圧縮、並べ換えなどを行う。また、衛星から送られてきたコマンドを解読し、HXD-AE に転送する。

- PSU

  衛星からの電源を、HXD-AE、DE へそれぞれに対応する電圧値に変換して送る。

- PIM

  地上からの指令コマンドをうけ、HXD-DE に転送する。

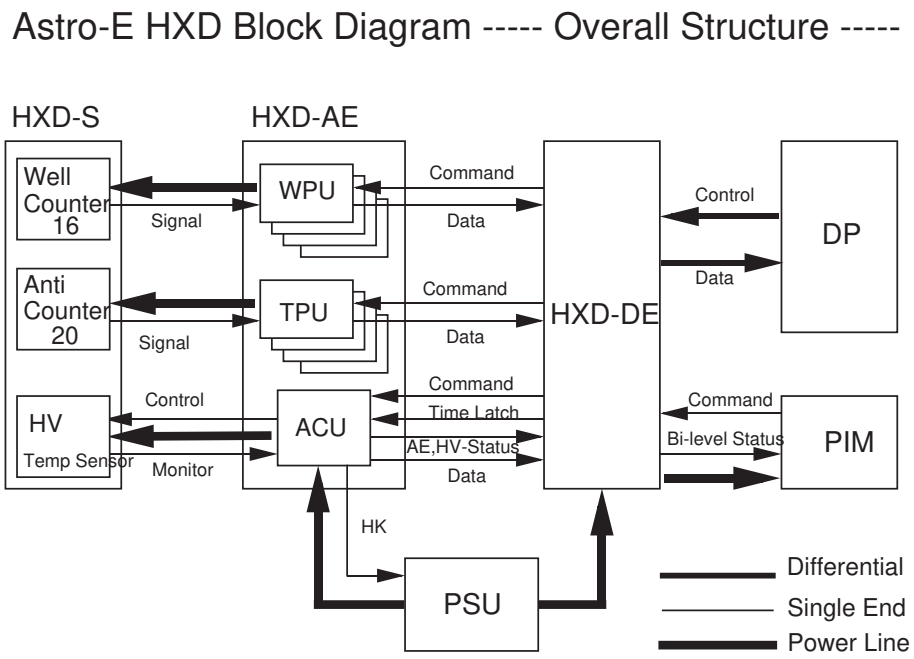


図 1.2: HXD-II システム構成

1.2.2 HXD-S (Sensor)

HXD-S は Well 検出器 (主検出器) と Anti 検出器から構成される。図 1.3 に HXD-S の断面図と上から見た図を示す。観測対象からの X 線は、HXD-S の中央部に 4 × 4 のマトリックス状に配置された 16 ユニットの Well 検出器から検出される。主検出器 1 ユニットは GSO 結晶シンチレータと BGO 結晶シンチレータを組み合わせた井戸型フォスイッチカウンタとその井戸の中に埋め込まれたシリコン PIN 検出器とから成る。低エネルギーの X 線はシリコン PIN 検出器により検出され、高エネルギーの X 線はシリコンを通過して GSO により検出される。井戸を構成している BGO はアクティブなコリメータとして視野を絞り低バックグラウンド化を実現する。低エネルギーでは、井戸部に挿入されたファインコリメータにより視野はさらに絞り込まれる。各ユニットをマトリックス状に複眼配置することで大きな有効面積を得ることができ、また隣り合ったユニット間は反同時計数によるアクティブなシールドとして働くことで荷電粒子やコンプトン散乱したガンマ線を除去する役割を果たす。BGO で構成される Anti 検出器は Well 検出器を取り囲むように設置され、Well 検出器に対して放射線アクティブシールドの役割を果たす。Anti 検出器の厚い BGO は非常に高い阻止能と大きな面積を持つため、ガンマ線バースト検出器としても利用できる。また、地没を利用したトランジェント天体の観測も行うことができる。

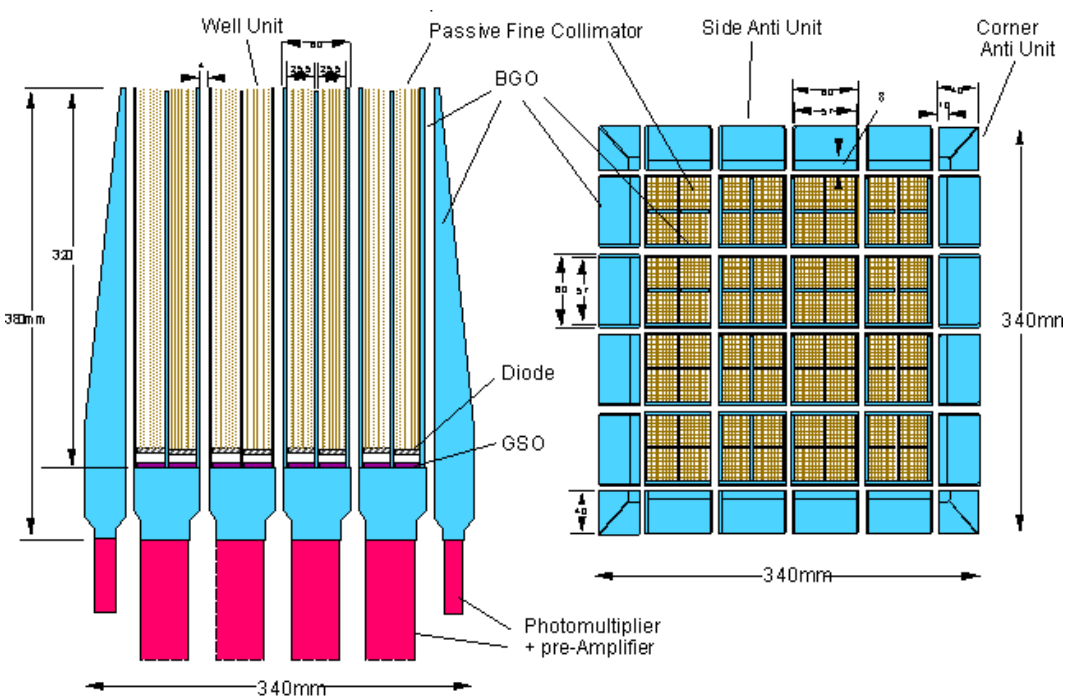


図 1.3: HXD-S の概念図

1.2.3 HXD-AE (Analog Electronics)

HXD-AE は、HXD-S から送られてきた信号の増幅、整形、AD 変換を行い、デジタルデータを作成して HXD-DE へ送る役割を担っている。HXD-AE は、以下の 3 種類のボードから構成される。本研究では、Well 検出器処理回路 (WPU) を取り扱う。

- WPU (Well-type Detector Processing Unit)

  おもにシンチレータ処理回路、シリコン PIN 検出器処理回路、トリガーロジック回路から成る。Well 検出器 (フォスイッチアウンタ/シリコン PIN 検出器) からの信号を処理し、イベント情報の作成、波形弁別、Anti Coincidence などを行う。

- TPU (Transient Detector Processing Unit)

  Well 検出器を取り囲む Anti 検出器からのアナログ信号を処理し、Anti Coincidence で用いるヒットパターンを作成して WPU に送る役割を主とする。また、Anti 検出器からの信号を足しあわせて処理することによって、ガンマ線バースト、トランジェント天体検出器としての役割も果たす。

- ACU (Analog-electronics Control Unit)

  PSU からの電源を受け、WPU/TPU や HXD-S に供給する。また、AE 内の基準時刻カウンターを持つ。

第2章　HXD-II主検出器のバックグラウンド除去機能

2.1　硬X線検出器の処理回路の概要

HXD-S は、Well 検出器と Anti 検出器を合わせて全体で 36 本のユニットから構成されており、1 つ 1 つのユニットが独立に処理され、あるユニットにイベントが入射した時に周囲のユニットはアクティブなシールドとして働く。つまり、中心のユニットでトリガーが発生した時刻に周囲のユニットでもヒットしていれば、荷電粒子やコンプトン散乱したガンマ線イベントとみなして除去される。このようなユニット毎に独立した処理方式が HXD-II の特徴であり、高いバックグラウンド環境下において超低バックグラウンド化を実現させるために必須なものとなる。また、数 100 MeV もの高エネルギーを与える荷電粒子によって、HXD の観測範囲内のガンマ線の 3 桁から 6 桁もの大きな信号が 100 倍以上のカウントレートで常時入射してくる可能性を考え、そうした大信号の悪影響を防ぐ工夫がなされている。

2.2　HXD-Well検出器処理回路 (WPU)

Well 検出器は結晶シンチレータとシリコン PIN フォトダイオード 4 つから成る井戸型フォスイッチカウンタ 16 ユニットで構成されるため、 WPU には 16 のシンチレータ処理系アナログ回路と 64 のシリコン PIN 検出器処理系アナログ回路が用意されている。WPU は 4 つの同等のモジュールから成り、1 つの WPU モジュールで 4 ユニットを処理する。WPU1 モジュールは図 2.1 のように 3 つの基板によって構成され、折りたたまれて装着される。基板は、2 ユニットに対してアナログ処理と AD 変換する WPU-AD ボード 2 枚と、2 枚の AD ボードからのディジタルデータを編集する WPU-D ボード 1 枚から構成される。アナログ回路部 WPU は、明星電気、クリアパルスと大学側との共同で開発している。本研究では、主に WPU-AD 部のシンチレータ処理回路を扱う。

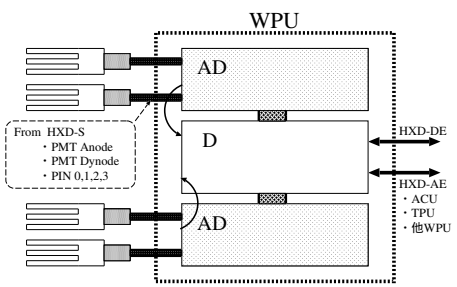


図 2.1: WPU の配置図

2.2.1 シンチレータ処理系アナログ回路

Well 検出器の井戸型フォスイッチカウンタは、BGO シンチレータで作られた井戸の底に GSO シンチレータを置き、2 種類のシンチレータの蛍光時定数の違いを利用することで、GSO のみで検出された硬 X 線を選別することができる。フォスイッチカウンタ処理回路の概要を図 2.2 に示す。1 ユニットの GSO/BGO シンチレータは 1 つの光電子増倍管 (PMT) で読み出される。PMT にはアノード出力とダイノード出力の 2 つがあり、シンチレータ処理系回路では、アノード信号と、あらかじめ HXD-S にあるチャージアンプによって電圧変換されたダイノード信号を用いる。アノード信号は、ベース接地回路を応用した高速アンプ (Fast Amp) に入力され、コンパレータを通して Anode LD(Lower Discri)、UD(Upper Discri) を生成し、トリガー信号として用いられる。ダイノード信号は、バッファアンプを経て波形弁別に用いられる。

波形弁別回路では、蛍光時定数の異なる GSO/BGO からの各イベントを選別するために、時定数の異なる 2 つの整形アンプからの出力のピーク値を比較する方法が用いられる。つまり、フォスイッチカウンタからの信号を、GSO の蛍光時定数と同じ時定数 (~ 150 ns) に設定した整形アンプ (Fast Amp) と、BGO の蛍光時定数と同じ時定数 (~ 1000 ns) に設定した整形アンプ (Slow Amp) に通し、それぞれの整形アンプ出力の波高値をコンパレータで比較することでイベントの弁別を行う。波形の短い GSO 信号は短い時間内で積分されるため、2 つの整形アンプ出力のパルス波高はほぼ同じになるが、波形の長い BGO 信号は、Fast Amp の短い時定数では積分しきれないため、Slow Amp の出力波高値に比べ Fast Amp の出力波高値は小さくなる。このようにして、GSO/BGO の波形の弁別が可能となる。波形弁別による Fast/Slow Amp 出力の 2 次元図を図 2.3 に示す。積分値の違いから、Fast/Slow で異なった傾きの直線を形成する。Slow/Fast amp 後は、ピークホールド回路を経て ADC に入力される。したがって、波形弁別回路には Slow/Fast の 2 系統の整形アンプがあり、それぞれゲイン調整が可能である。また、Slow Amp からは、Anti Coincidence で用いる Hit Pattern を作成するためのディスクリ信号 Slow-LD が出力される。さらに大信号時には、整形アンプの手前から、トリガーロジックで処理されるディスクリ信号 SUD が出力される。

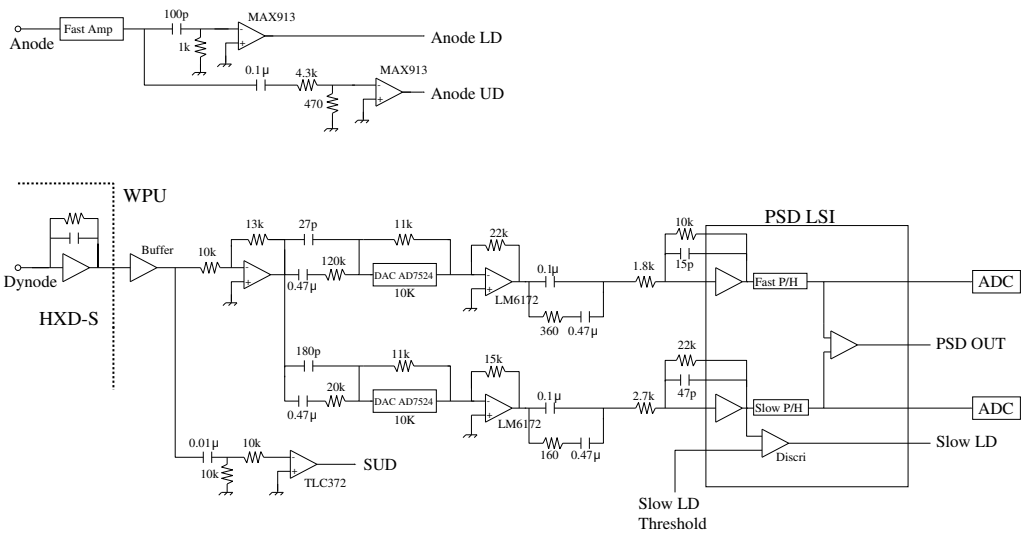


図 2.2: フォスイッチカウンタにおける信号処理の流れ

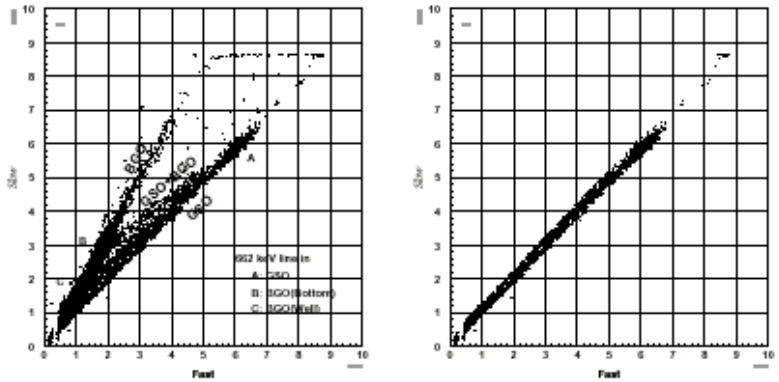


図 2.3: フォスイッチカウンタ処理回路を用いて得られた Fast 信号と Slow 信号の 2 次元図。左:波形弁別によるイベント選択を行う前。右:波形弁別を行った後。GSO イベントのみに弁別されている。

2.2.2 シリコン PIN 検出器処理系アナログ回路

シリコン PIN 検出器は、BGO シンチレータで作られた井戸の底に設置されているため、BGO シンチレータをアクティブシールドとして利用し、反同時計数をとることで低バックグラウンドを実現する。シリコン PIN 検出器処理回路の概要を図 2.4 に示す。PIN 検出器からの信号は、HXD-S において、まず低ノイズチャージアンプ (CSA) による電荷電圧変換 (フィードバック C : 0.5pF) を行い、2 μ s の微分 PZC 回路を通り整形された後、バッファアンプによって積分を兼ねた 10 倍増幅を行い WPU に送られる。WPU では、PZC を兼ねた微分と 2 段積分+1 段パッシブ積分による整形を行い、ピークホールド回路を経て ADC へ送られる。最終的に CSA 信号は約 1000 倍に増幅される。パッシブ積分の直前で、トリガー信号として用いられる PIN LD および UD も同時に出力される。PIN 検出器では、8 keV ~ 60 keV のエネルギー範囲をカバーしている。

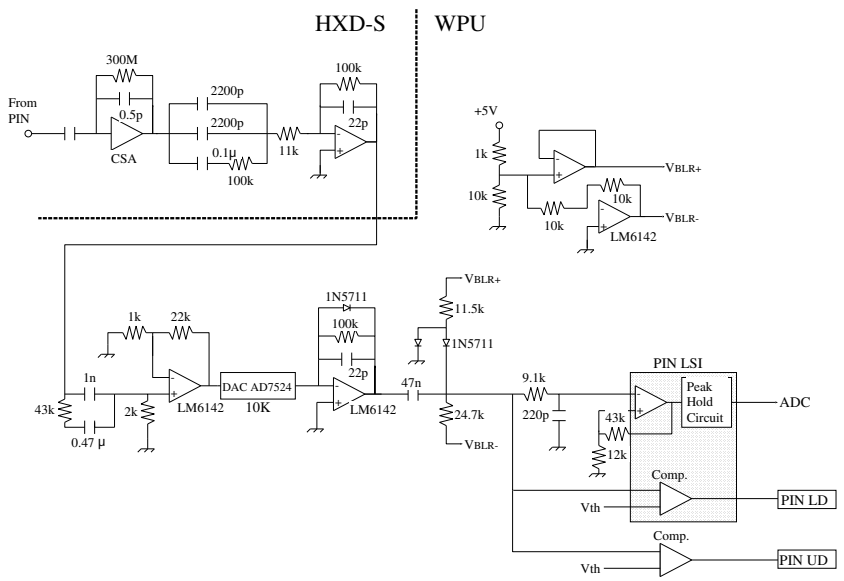


図 2.4: シリコン PIN 検出器における信号処理の流れ

2.2.3 トリガーロジック

トリガーロジック部において様々な条件から発生するフラグ情報をディジタル処理することにより、高レートで大信号が入射してくる宇宙の環境下においても、微弱な対象天体からのイベントを観測することができる。

トリガーロジック処理シーケンスのタイミングチャートを図 2.5 に示す。WPU では、1 つのトリガー信号が Activate されたと同時に後続のトリガーを全て禁止することで、高い計数率で立て続けにトリガーがやってくる状況下でも安定した動作を行うことができる。フォスイッチカウンタにイベントが入射すると、Anode LD/PIN LD がトリガー信号として直ちに立ち上がり、Peak Hold Gate が開いて処理シーケンスが始まる。トリガーが発生すると、4 μ s 後に立ち上がる Delayed Trig のタイミングで他ユニットからのヒットパターン、波形弁別情報、その他の各種フラグがラッチされ、イベント要因を判断したうえでイベントセレクションが行われる。ここで、波形弁別で BGO も鳴っているイベント (PSD out が Active)、あるいは UD(Upper Discri) などが鳴っている場合は Reject され、処理シーケンスはリセットされる。Reject されなかったイベントは、Delayed Trig のタイミングから 2 μ s 後に立ち上がる ADC 開始信号により AD 変換される。AD 変換終了とともに Peak Hold Gate が閉じられ、各アナログ LD(PMT LD、SUD、Anode LD、Slow LD) が Busy でないのを確認したうえで ADC Done が立ち上がり、各モジュールにリセット信号が送られて処理シーケンスは初期状態に戻る。

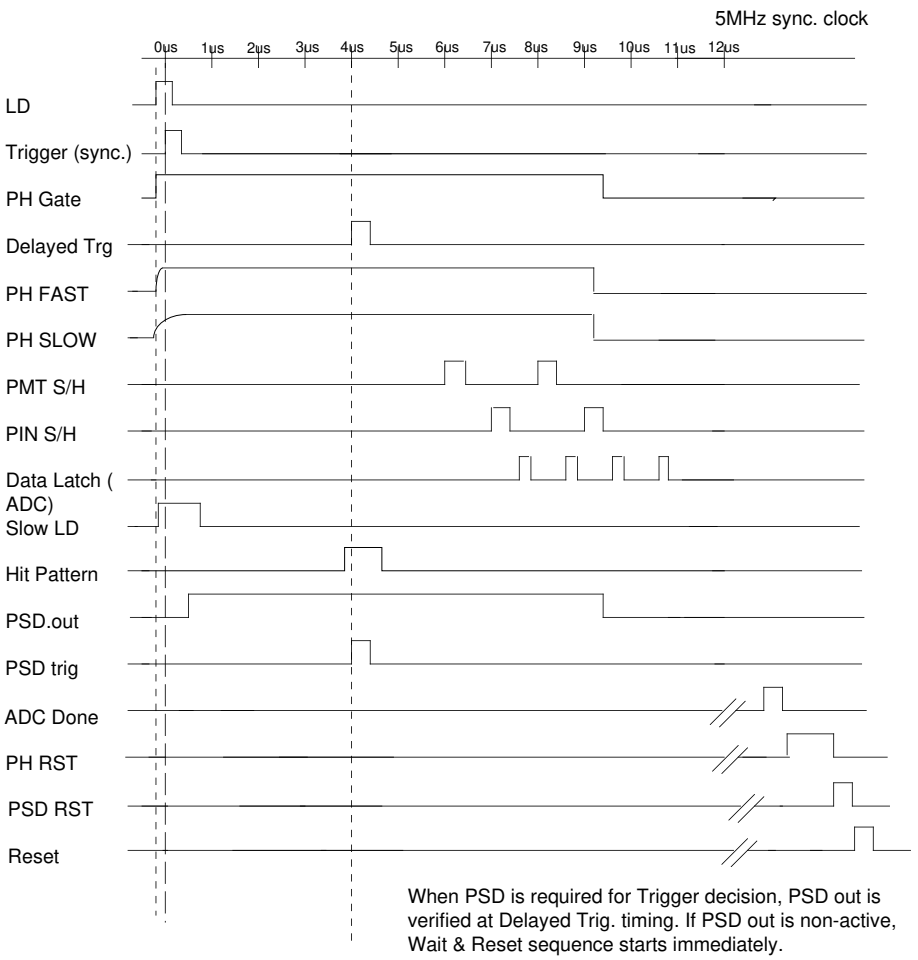


図 2.5: トリガーロジックにおけるタイミングチャート

表 2.1: イベントデータ

Channel ID	2 bit
Event TIme	19 bit
Phoswich Counter Slow Pulse Height	12 bit
Phoswich Counter Fast Pulse Height	12 bit
PIN detector 0 ~ 3 Pulse Height	各 8 bit
Trigger Pattern	7 bit
PIN LD Trig	1 bit
Hit Pattern	36 bit
PSD Out	1 bit
PMT UD	1 bit
PIN UD	1 bit
PMT Double Trig Flag	1 bit
PIN Double Trig Flag	1 bit
Reset Flag	1 bit

2.2.4 イベントデータ

イベント毎に WPU で処理され、HXD-DE に転送されるイベントデータを表 2.1 に示す。1 ユニットの信号は WPU で処理された後、ADC からは AD 変換されたフォスイッチカウンタからの Slow/Fast 波高値とシリコン PIN 検出器 4 チャンネルからの波高値を、またトリガーロジック回路からは、イベント要因を判断するためのトリガーパターン、PIN LD Trig、波形弁別により BGO 信号時に Active となる PSD Out、および、各種フラグ情報をとりこむ。イベントデータにはこのようなユニット個別の情報の他に、36 本のユニットに対応するヒットパターン情報が付加される。各イベントデータは、トリガー信号の 4 μ s 後に発生する Delayed Trig のタイミングでラッチされ、各種ステータスが取得される。

2.3 宇宙空間におけるバックグラウンドの種類

数 10 keV ~ 数 100 keV の硬 X 線領域は、天体からの信号が弱く、コンプトン散乱が支配的となってくるためバックグラウンドを低減させるのが難しい領域である。バックグラウンドは主に次の 6 成分に分類することができる。

1. 検出器の視野内から入射した、目的の天体以外からの X 線
2. 視野外から入射し、シールドを抜けて来た X 線
3. 主検出部でコンプトン散乱し、入射 X 線のエネルギーの一部しかデポジットしなかったもの
4. GSO/BGO の放射性同位体の崩壊によって発生した X 線
5. 軌道上での荷電粒子入射に伴う信号 (非 X 線)
6. X 線イベントであるが、何らかの原因で回路が正しく動作しなかった場合

2.4 HXD でのバックグラウンド除去機能

2.4.1 波形弁別

井戸型フォスイッチカウンタでは、BGO アクティブシールドとファインコリメータによって絞られた視野内から入射し、GSO で光電吸収によって全エネルギーをデポジットしたイベントのみが観測対象となる。つまり、BGO にエネルギーをデポジットする次の 4 パターンのイベントは全てバックグラウンドとなる。

- 視野内から入射し GSO でコンプトン散乱して BGO で光電吸収される X 線
- 視野内外から入射し BGO で光電吸収される X 線
- 視野外から入射し BGO でコンプトン散乱して GSO で光電吸収される X 線
- 放射性同位体の崩壊で放出され、BGO で光電吸収される複数の粒子または X 線

そこで、BGO と GSO の 2 種類の結晶シンチレータの蛍光時定数の違いを利用し処理された波形をもとに、BGO イベントを除去する。この方法では、コンプトン散乱イベントや放射性同位体成分 (§ 2.3(1) ~ (4)) が、効率良く除去される。

2.4.2 Anti coincidence (反同時計数)

井戸型フォスイッチカウンタにおいて、次のパターンのイベントは波形弁別では除去することができない。

- PIN でコンプトン散乱し GSO で光電吸収される X 線
- GSO でコンプトン散乱し PIN で光電吸収される X 線
- GSO/PIN でコンプトン散乱し別のユニットで光電吸収される X 線
- 複数の検出部 (GSO/BGO/PIN) で同時にエネルギーをデポジットする荷電粒子

そこで、PIN/GSO でのイベントヒット時に、同じユニット内の GSO/PIN、また隣り合ったユニットとの反同時計数をとる方法を用いる。GSO でのイベントヒット時にはトリガー信号 Anode LD が、PIN の場合には PIN LD がそれぞれ発生する。また、フォスイッチカウンタにイベントが入射した際に Slow LD が発生し、それをもとに Anti Coincidence 用ディスクリ信号である Hit Pattern を作成する。そして、Anode LD/PIN LD と Hit Pattern が同時に鳴った場合のイベントは、上記のパターンであるとみなし除去することができる。この方法では、放射性同位体による成分や荷電粒子 (§ 2.3 の (4)(5)) が、効率良く除去される。

2.4.3 大信号

10 keV ~ 700 keV を観測範囲とする HXD-II にとって、数 100 MeV もの超高エネルギーをデポジットする陽子線等の荷電粒子によるバックグラウンドは、非常に大きな問題となる。大パルスの信号が入射すると、光電子増倍管からのダイノード信号用のチャージアンプが飽和して正規の信号と逆極性のバックシュートが発生し、その回復に数 100μs の時間

を要してしまう。そのため、後続の信号が前の信号の減衰途中にのってしまい、正しい信号の波高値を得ることができない (§ 2.3 の (6))。そこで、光電子増倍管に高電圧を供給するブリーダーを以下のように工夫することで大信号に対処している。

- 高圧をカットする出力コンデンサの容量をできるだけ小さな値 (440 pF) にし、大信号に対する減衰の時定数を早める
- ブリーダー回路の出力に 2 本のダイオードを直列に取り付けることで大信号をクランプする

さらに、プリアンプや WPU においても以下のように工夫することで大信号に対処している。

- 波形の回復をできるだけ早める
- 大信号入射時からある時間内 (~ 40 μ s) のイベントは除去する

2.4.4 ダブルパルス

数 μs 以内に立て続けに X 線が入射し、複数のイベントがピークホールドゲート中にやってきた場合、パイルアップ (パルスの重なり) が生じ正しい波形弁別が不可能となる。1 イベントの処理時間を 10 μs とすると、1000Hz のカウントレートでイベントが入射してくる状況下でのパイルアップ発生確率は 1 %にも及ぶ。そこで、HXD-I ではトリガーから 4μs までに後続パルスがある場合には、データの取り込みを禁止することでダブルパルスに対応している。しかし、信号固有あるいはノイズによるパルスの揺らぎ等から後続パルスの無い状況においてもダブルパルスと判断され、データ取得を禁止するケースがしばしば見られることがわかった (にせダブル:§ 2.3 の (6))。HXD-II におけるダブルパルス問題については現在検討中である。

2.5 本研究の目的

Astro-E 衛星の打ち上げ失敗による Astro-E2 衛星へのミッションの移行に伴い、HXD-II は前回 (HXD-I) よりもすぐれた観測性能を目指して開発されている。WPU では、ダイナミックレンジ調整機能の改良や、PIN 検出器処理回路の低ノイズ化が主に進められている。また、前回の衛星で用いていた重要な回路素子が入手不可能になり、代用品を用いなければならない場合もでてくる。そのときに、同時にバックグラウンド除去機能が低下しないようにする必要がある。そこで、改良された HXD-Well 検出器処理回路部での、バックグラウンド除去機能の性能試験と回路パラメーターの調整を行うことを本研究の目的とする。実験では、実際に 2 つの結晶シンチレータ BGO/GSO とシリコン PIN 検出器とを組み合わせて Well 検出器を再現し、搭載品と同等の回路を用いてバックグラウンド除去の動作試験を行った。

第3章　HXD-IIシンチレータ主検出器処理回路の特性試験

3.1　WPUアナログ回路部の変更

HXD-I から HXD-II への移行に伴い、WPU アナログ部では以下のような性能向上に向けて回路のパラメータ、各種部品の変更が行われた。

- シリコン PIN 検出器処理回路部におけるプリアンプ/シェイパーのさらなる低ノイズ化
- フォスイッチカウンタ処理回路部における PMT 系アノードアンプに新たに加えた積分回路 (100ns) の検討
- 上空での PMT ゲイン変動に対応するための、PMT 系ゲインアンプのゲイン調整幅の拡大 (± 27 %→± 35 %)

3.2　リニアリティ、ダイナミックレンジ

WPU・シンチレータ処理回路部において、上記の回路変更後に各モジュールが正常に動作するかを調べるためのリニアリティ測定を行った。また同時にサチレーションの生じる値からダイナミックレンジを見積もった。

図 3.1 にフォスイッチカウンタ処理回路部を再現したリニアリティ測定のセットアップを示す。まず、測定の容易さからパルサー (PULSE GENERATOR MODEL PB-4) を用いて行った。パルサーからの信号を、図のような電圧電荷変換を用い PMT からの電流信号と模擬して回路に入射させた。パルサーからの立ち上がり時間 (Rise Time) を 100ns、立ち下がりの時間 (Fall Time) を 100 μ s とした。一方、パルサーからの波形は実際に線源を当てたときの PMT 信号からの波形と比べて時定数が異なり、Gain Amp 後の波高に影響を及ぼすため、^{137}Cs での PMT 信号を入力しての測定も同時に行った。

3.2.1　パルサー信号を用いたリニアリティ測定

出力波高値の調整が可能なパルサーを用いて、入力値を変化させながら出力値を測定し、各回路の動作を確認した。測定は回路の動作限界であるサチレーションが発生するまで行った。

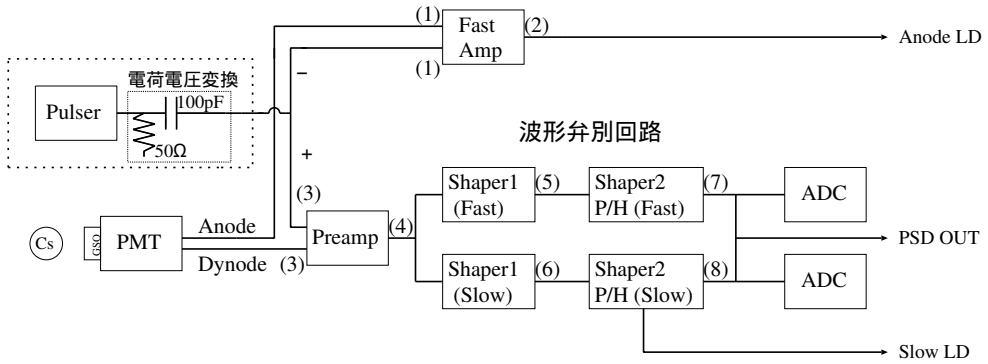


図 3.1: フォスイッチカウンタ処理回路・リニアリティ測定のセットアップ

1. Anode Fast Amp

   PMT からのアノード信号を、2 つのトランジスタと微分、積分回路を用いて高速に増幅、整形する Fast Amp のリニアリティ測定の結果を図 3.2 に示す。入力信号の Anode out、出力信号の Fast Amp out は、それぞれ図 3.1 の (1)、(2) での波高値に対応している。測定結果から、およそ 8 倍のゲインで増幅され、Fast Amp 出力が 1000 mV を越えたあたりでサチレーションを起こしているのがわかった。つまりこの Fast Amp では出力値が 1000 mV になる入力値、およそ 125 mV(1000 keV 相当) までが動作限界であることがわかる。オシロスコープで見た波形図 3.3 を見てもわかるように、入力波形 (上) に比べて出力波形 (下) は特になまっていないので、高速に処理されていることがうかがえる。

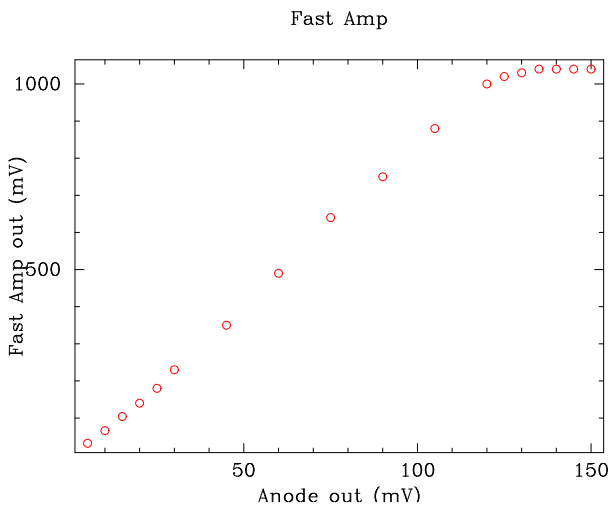


図 3.2: Fast Amp リニアリティ:入力 (1)/出力 (2)

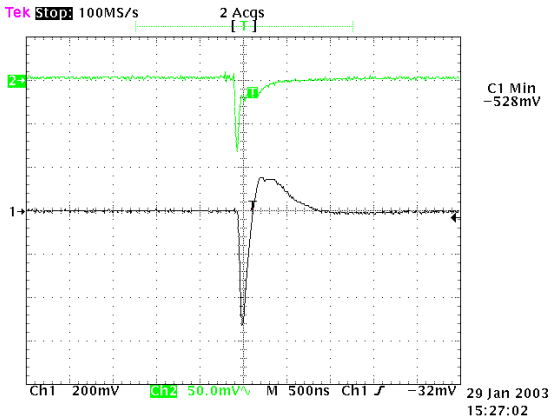


図 3.3: オシロ波形。入力:パルサーからのアノード信号 (上)。Fast Amp 出力 (下)。

2. Dynode Preamp

   PMT からのダイノード信号は、HXD-S においてプリアンプで電圧変換される。プリアンプのフィードバックの抵抗値 R=40 kΩ、コンデンサの値 C=100 pF である。Preamp のリニアリティ測定の結果を図 3.4 に示す。Preamp 出力が 3500 mV 付近で

サチレーションを起こしており、3 V まではリニアリティが保証される。パルサー信号を 100 pF で電荷変換したものをフィードバックコンデンサ 100 pF のプリアンプでうけているため、パルサー出力とプリアンプ出力は同じ電圧となる。図 3.5 波形を見ると、RC = 4 μ sec の時定数で decay しているのがわかる。また、電圧変換に伴い符号が逆転している。

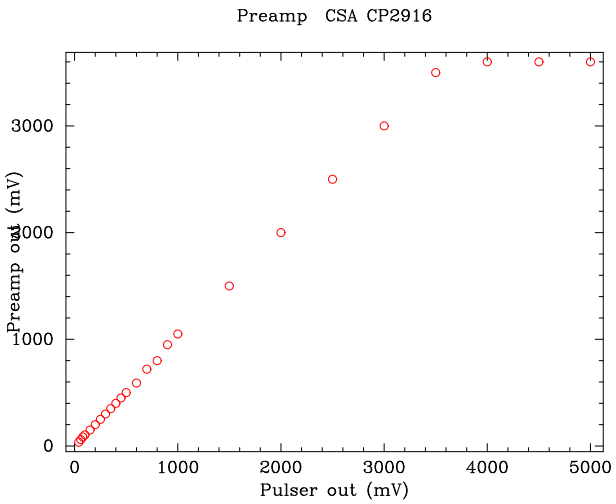


図 3.4: Preamp リニアリティ:入力 (3)/出力 (4)

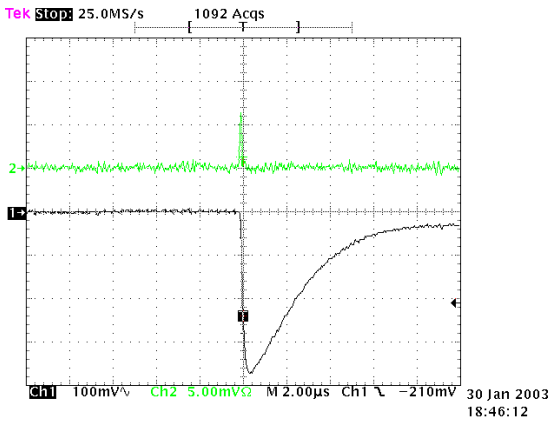


図 3.5: オシロ波形。入力:パルサーからのダイノード信号 (上)。Preamp 出力 (下)。

3. Shaper1 Amp (Gain Amp)

HXD-II では 1 つの微分と 2 つの積分回路を用い、150ns の時定数 (Fast) と 1000ns の時定数 (Slow) で整形を行い、GSO(蛍光時定数:60ns) と BGO(蛍光時定数:300ns) の波形を弁別する。Shaper1 Amp では 1 回微分 1 回積分の整形を行う。1 回微分は PZC を兼ね、波高値の誤差をもたらすプリアンプからのアンダーシュートをなくす働きを持つ。また、8 ビット切替えによって 256 通りのゲイン調節を可能とする DAC デバイス AD7524 を用いることで Gain Amp としての役割も果たす。

(a) リニアリティ測定

実験では、256 通りあるゲインのうち、00(0)、80(128)、FF(256) の 3 通りのゲインで Fast/Slow Shaper1 それぞれのリニアリティを測定した。測定の結果を図 3.6(Fast)、図 3.8(Slow) に示す。Fast、Slow ともに各ゲインの Shaper1 出力が 3 V 付近までリニアリティとして保証されることがわかる。また、オシロ波形を図 3.7(Fast)、図 3.9(Slow) にそれぞれ示す。Fast と Slow の波形を見比べると、時定数に大きな違いがあり、Slow の方がゲインが大きくなっていることがわかる。

(b) ゲイン

上空での PMT ゲイン変動を考慮し、HXD-II では DAC デバイス AD7524 を用いた Shaper1 によって± 35 %のゲイン調整ができる設計となっている。ここでは、Shaper1 の回路パラメーターから見積もった理論値と、リニアリティ測定の結果とを比較しながら、どの程度のゲイン幅が実現できているかを考察する。

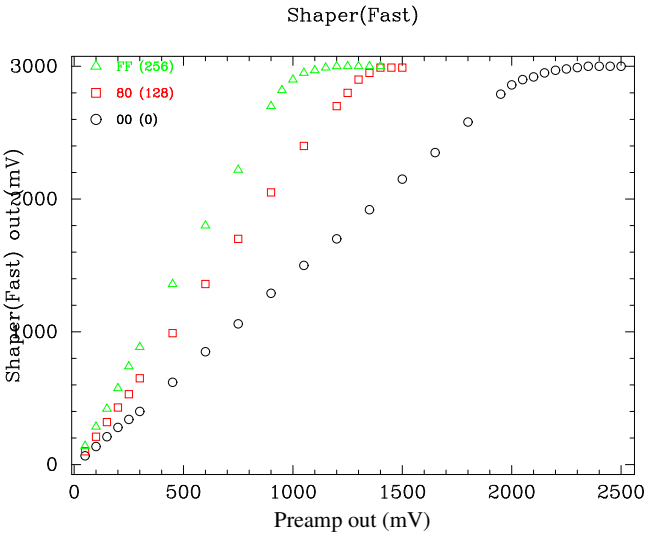


図 3.6: Shaper1(Fast) リニアリティ：入力 (4)/出力 (5)

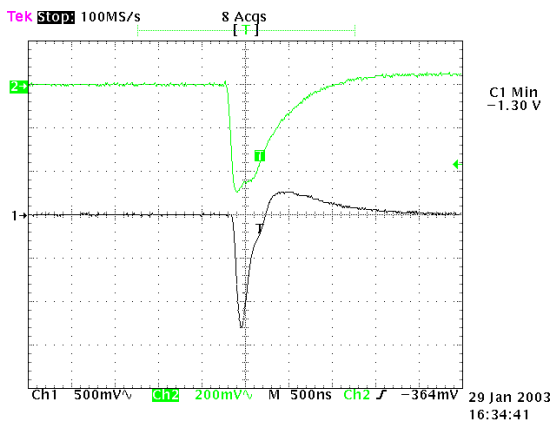


図 3.7: オシロ波形 (Fast:80)。入力:Preamp 出力 (上)。Shaper(Fast) 出力 (下)。

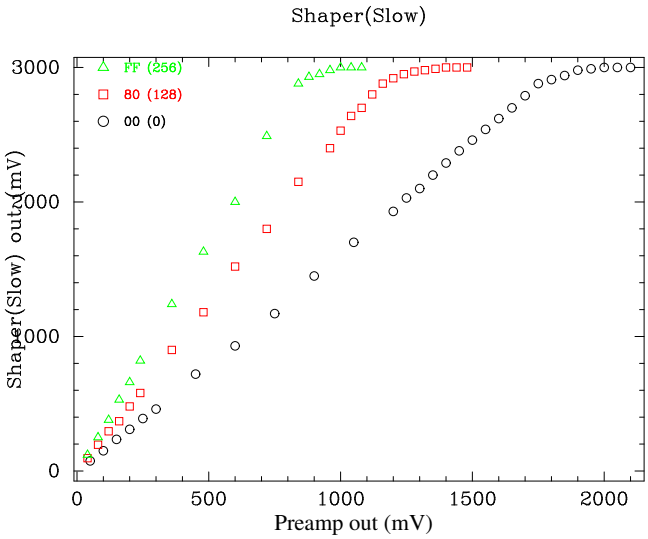


図 3.8: Shaper1(Slow) リニアリティ:入力 (4)/出力 (6)

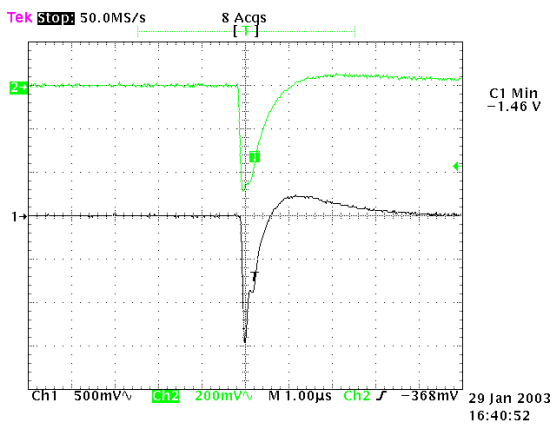


図 3.9: オシロ波形 (Slow:80)。入力:Preamp 出力 (下)。Shaper(Slow) 出力 (上)。

表 3.1: パルサー信号でのゲイン

	00	80	FF	ゲイン幅
Fast(測定値)	1.42	2.26	2.98	± 35.5 %
Fast(理論値)	1.16	1.79	2.42	± 35.2 %
Slow(測定値)	1.59	2.51	3.41	± 36.4 %
Slow(理論値)	1.47	2.28	3.09	± 35.5 %

図 3.10 に Shaper Amp の回路図を示す。また、ゲインは以下の式で計算される。

$$\frac{13K}{10K}\alpha\left(\frac{1}{11K}+\frac{1}{10K}\frac{n}{256}\right)R_2 \tag{3.1}$$

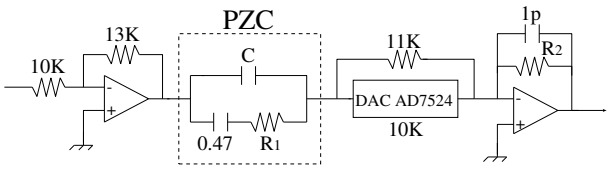


図 3.10: Shaper Amp 回路図

ここで、$R_1 = 120$ K Ω (Fast)、20 K Ω (Slow)、$R_2 = 22$K Ω (Fast)、15 K Ω (Slow) である。また、PZC での減衰をα とおき、プローブを用いた PZC 前後の波形の観測から、α $= 0.44$(Fast)、0.83(Slow) と見積もった。

以上をふまえて計算したゲインの理論値と、リニアリティ測定の結果から導き出したゲインの測定値を表 3.1 に示す。また、9 通りのゲインの比率 (Shaper 出力/Shaper 入力) についてのリニアリティを図 3.11(Fast)、図 3.12 (Slow) にそれぞれ示す。

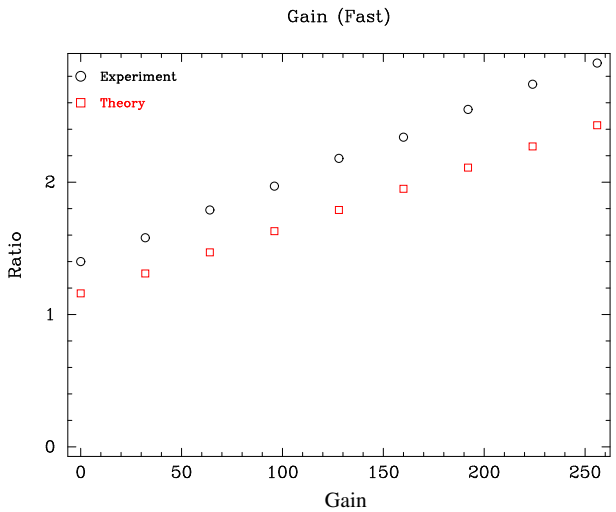


図 3.11: パルサー信号における Gain(Fast) リニアリティ

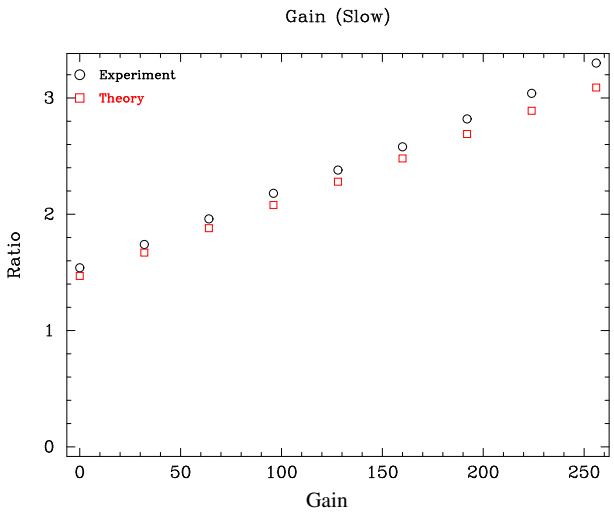


図 3.12: パルサー信号における Gain(Slow) リニアリティ

表 3.1 からわかるように、測定値からのゲイン幅が Fast/Slow ともに目標値である 35 %に達していた。また、図 3.11、図 3.12 を見て明らかなように、Slow の方は測定値と理論値がほぼ同じになっているが、Fast の方は大きなずれが生じてしまった。原因は、DAC デバイスの後ろのオペアンプ部でわずかに積分 (22 ns) がかかるためだと考えられる。Slow の方は相対的に時定数 (1000 ns) に対して積分時定数 (15 ns) が小さいのできかない。なお、R_2 に並列に接続されているコンデンサ 1 pF は発振止めである。

4. Shaper2 Amp + Peak Hold

アナログ部では信号の波高値を正確に AD 変換させるため、整形信号のピーク値をホールドする必要がある。ここでは、1 回微分 1 回積分後の信号をさらに 1 回積分し、ピークホールドした後 AD 変換する。1 回積分とピークホールド、Fast/Slow の波形弁別 (PSD OUT)、またヒットパターンとなる Slow LD は、専用の LSI を用いて処理される (PSD LSI)。1 回積分+Peak Hold 回路のリニアリティ測定の結果を図 3.13(Fast)、図 3.14(Slow) にそれぞれ示す。入力の Shaper1 の信号が 3 V(Peak Hold 出力:8 V) 付近で先にサチレーションを起こしているが、そこまではリニアリティが保証されていることがわかった。ゲインは Fast 2.8、Slow 2.6 となった。図 3.15(Fast)、図 3.16(Slow) に 1 回微分後の出力波形を、図 3.17(Fast)、図 3.18(Slow) にピークホールド後の出力波形をそれぞれ示す。

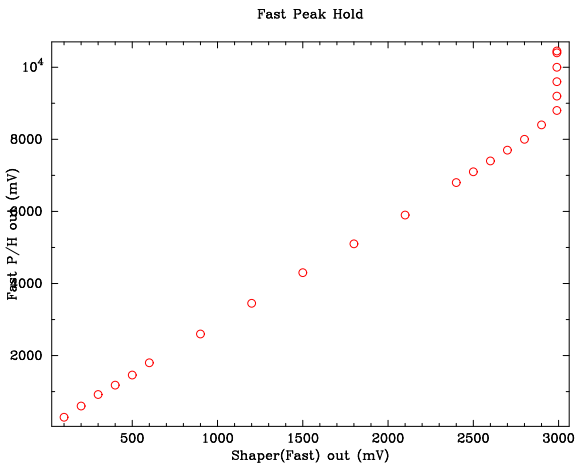


図 3.13: Fast Shaper2 + Peak Hold リニアリティ:入力 (5)/出力 (7)

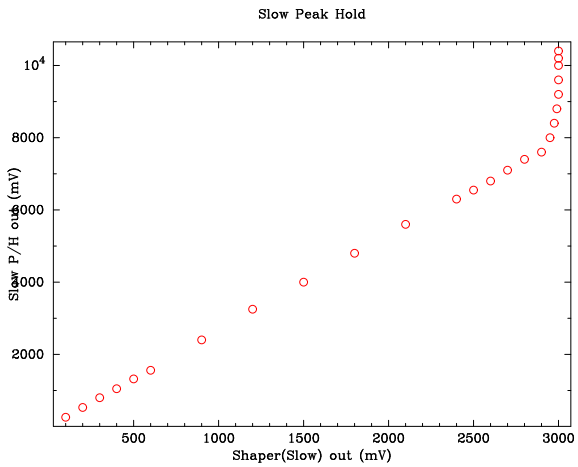


図 3.14: Slow Shaper2 + Peak Hold リニアリティ:入力 (6)/出力 (8)

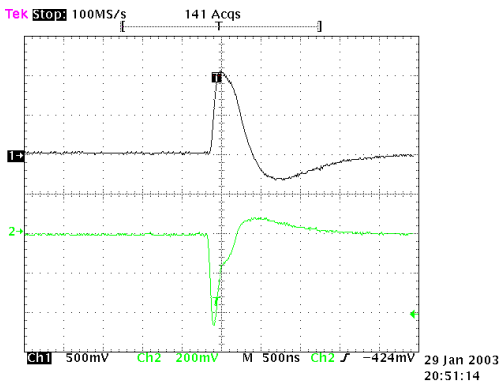


図 3.15: 入力:1 回微分 1 回積分 Fast Amp 出力 (上)。1 回微分後 (下)。

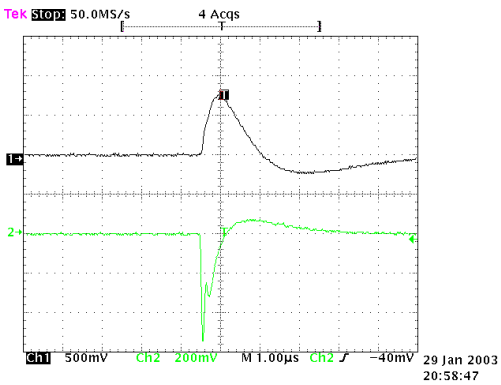


図 3.16: 入力:1 回微分 1 回積分 Slow Amp 出力 (上)。1 回微分後 (下)。

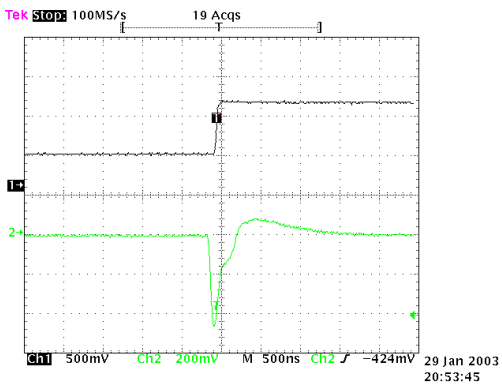


図 3.17: 入力:1 回微分 1 回積分 Fast Amp 出力 (上)。Peak Hold(Fast) 出力 (下)。

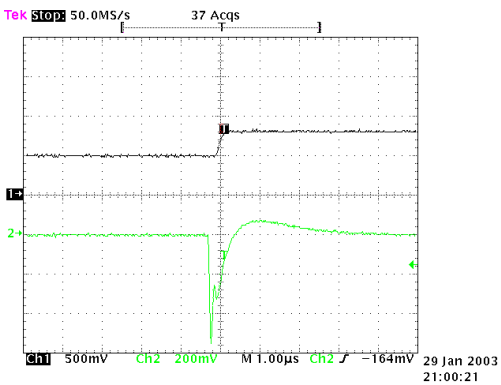


図 3.18: 入力:1 回微分 1 回積分 Slow Amp 出力 (上)。Peak Hold(Slow) 出力 (下)。

3.2.2 PMT 信号 (^{137}Cs) を用いたリニアリティ測定

パルサー信号と PMT 信号 (線源:^{137}Cs、シンチレータ:GSO) それぞれの Preamp 出力 (下) と Shaper(Fast) 出力 (上) の波形を図 3.19 に示す。図 3.19 からわかるように、Shaper(Fast) の入力信号である Preamp 出力の波高値が等しいにもかかわらず、Shaper 出力の波高値つまりゲインに違いがみられる。これは、パルサー信号の波形と PMT 信号の波形が微妙に異なり、Shaper での積分値が変わってくるためだと考えられる。それにより、パルサー信号での Shaper のサチレーションレベルと PMT 信号での Shaper のサチレーションレベルに違いが生じる可能性があるため、PMT 信号を入力しての Shaper のリニアリティ測定を行った。

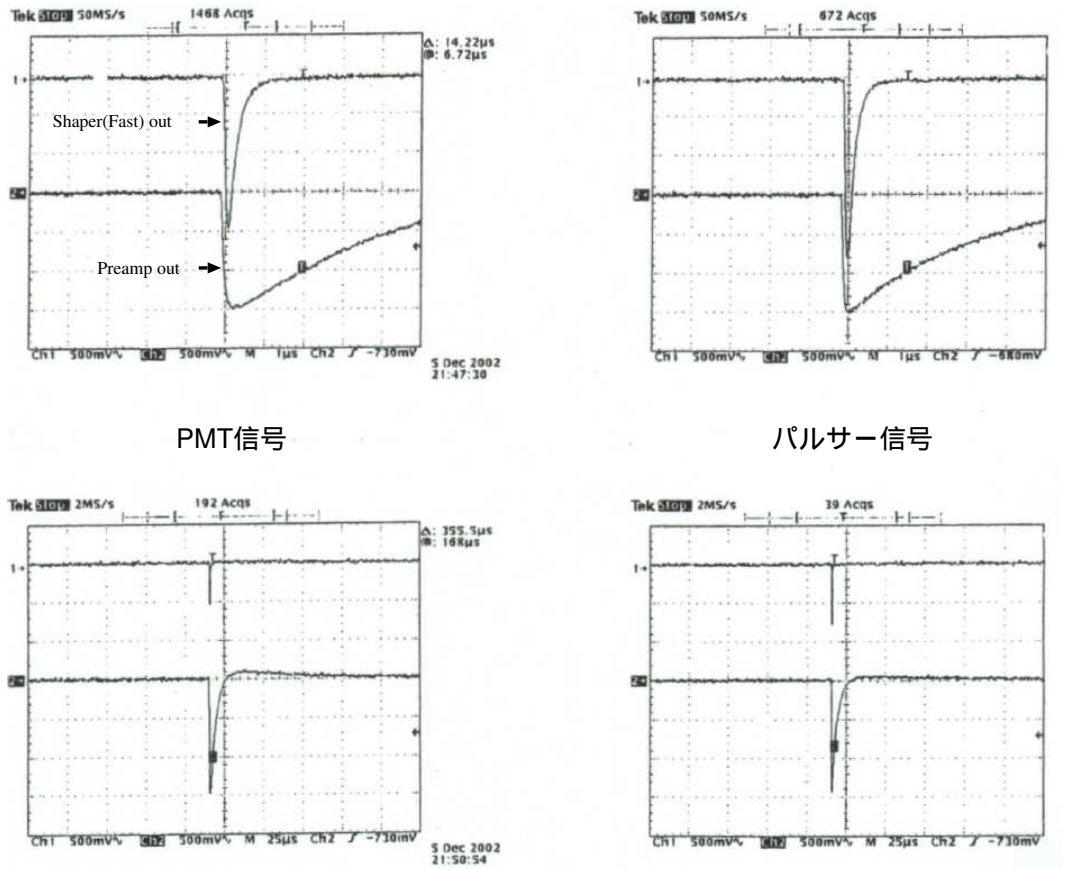


図 3.19: 左:PMT 信号 (線源:^{137}Cs、シンチレータ:GSO) でのオシロ波形。右:パルサー信号でのオシロ波形。入力:Preamp 出力 (下)。Shaper(Fast) 出力 (上)。

GSO に線源 ^{137}Cs をあて、PMT 信号を用いて Shaper(Fast/Slow) のリニアリティを測定した。PMT の高圧電源を変えることで、Preamp 出力の調整を行った。図 3.20(Fast)、図 3.21(Slow) にそれぞれ 3 つのゲインでのリニアリティ測定の結果を、また、図 3.22(Fast)、図 3.23(Slow) にそれぞれ PMT 信号におけるゲインの比率のリニアリティを、表 3.2 に PMT 信号でのゲインの測定値、理論値を示す。理論値に関してはパルサー信号と同様に式 (3.1) を用いて算出した。ここで、α = 0.40(Fast)、0.79(Slow) とした。パルサー信号を入力した結果と比較し、ゲインは多少小さくなったが、サチレーションレベルに違いは現れなかった。よって、ダイナミックレンジを見積もるためにパルサー信号を入力してリニアリティを測定しても、問題ないと考えられる。

表 3.2: PMT 信号でのゲイン

	00	80	FF	ゲイン幅
Fast(測定値)	1.21	1.89	2.59	± 36.3 %
Fast(理論値)	1.04	1.60	2.19	± 35.6 %
Slow(測定値)	1.46	2.16	3.01	± 34.7 %
Slow(理論値)	1.40	2.17	2.94	± 35.5 %

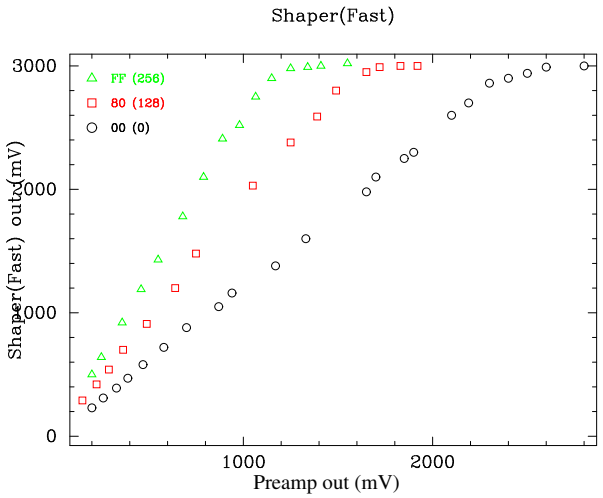


図 3.20: PMT 信号での Shaper1(Fast) リニアリティ:入力 (4)/出力 (5)

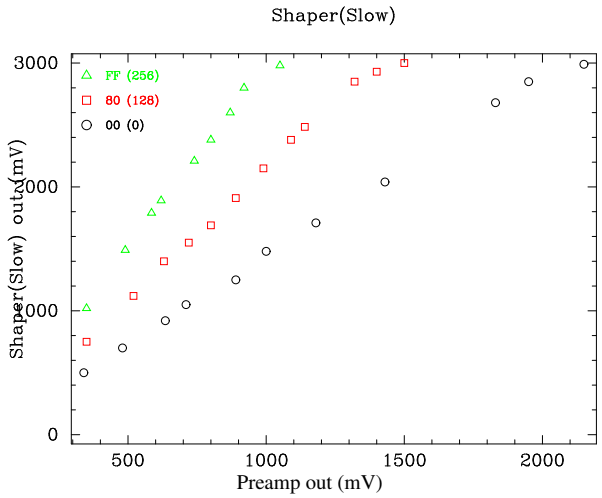


図 3.21: PMT 信号での Shaper1(Slow) リニアリティ:入力 (4)/出力 (6)

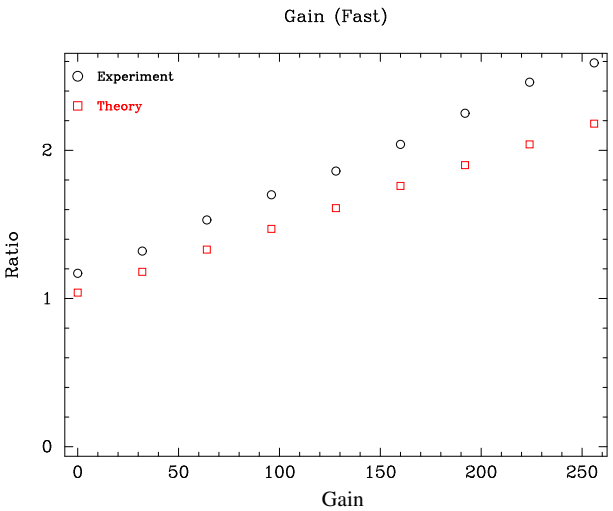


図 3.22: PMT 信号における Gain(Fast) リニアリティ

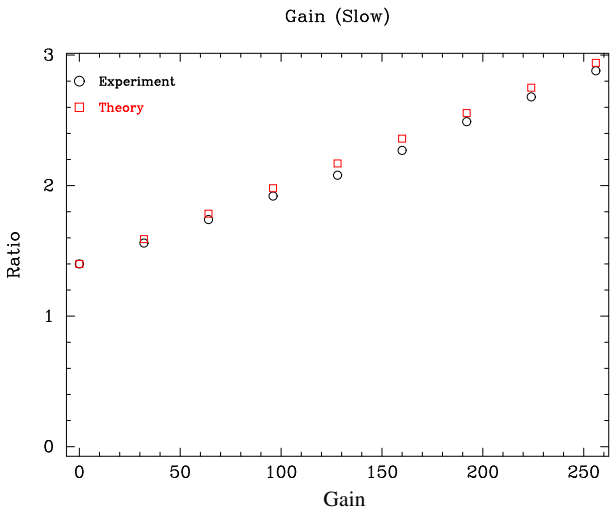


図 3.23: PMT 信号における Gain(Slow) リニアリティ

第4章　主検出器処理回路のバックグラウンド除去試験

4.1　井戸型フォスイッチカウンタ (Well 検出器) の再現

4.1.1　疑似 Well 検出器の製作

HXD-S に 16 ユニット搭載される Well 検出器のうち 1 ユニットの Flight Model の概要を図 4.1 にを示す。

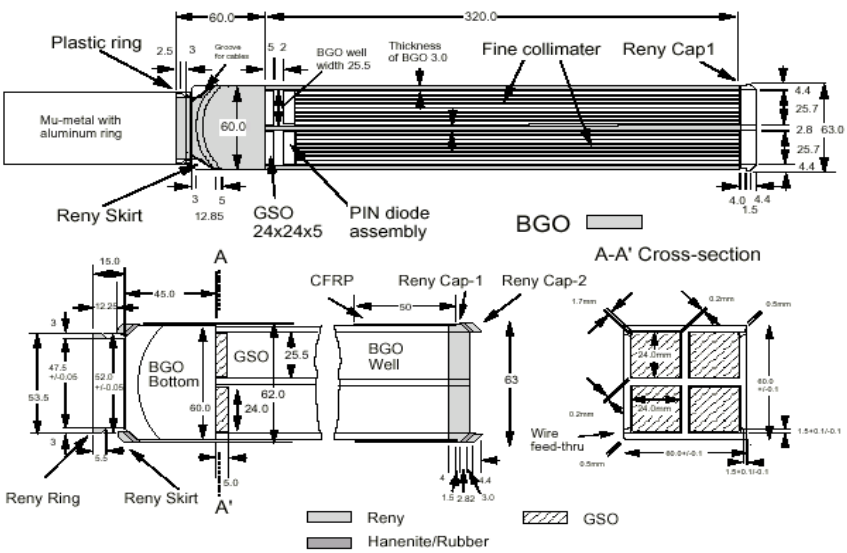
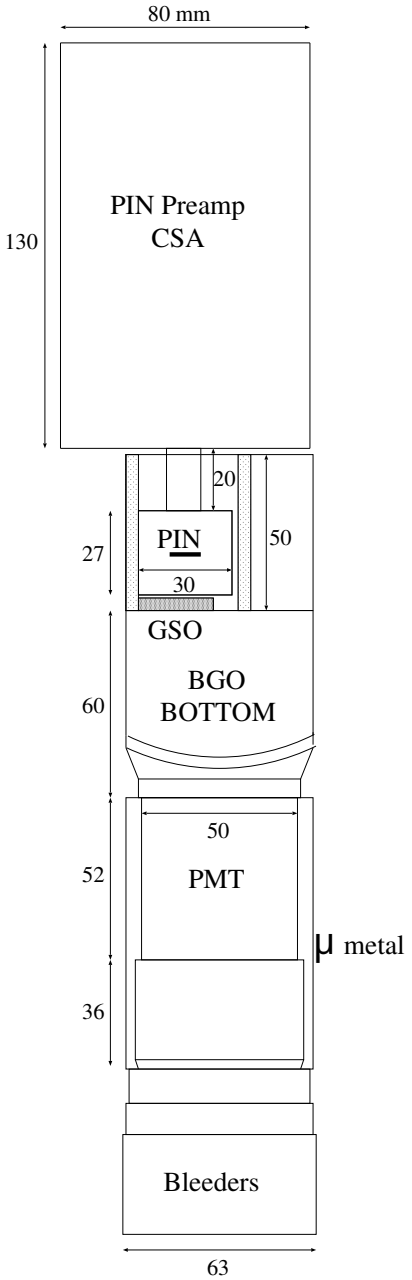


図 4.1: Well 検出器 1 ユニットの概要図。2 つの結晶シンチレータ GSO/BGO とシリコン PIN 検出器とから成る。BGO(Bottom) の上に接着されたアクティブシールドとなる BGO により 4 つの井戸が構成され、それぞれの井戸の底に GSO とシリコン PIN 検出器が 1 つずつ装着されている。

本研究では、HXD-II におけるバックグラウンド除去機能の動作試験を行うにあたり、できるかぎり Flight Model を再現したいため、実際に結晶シンチレータ (GSO /BGO) とシリコン PIN 検出器を用いて Well 検出器を製作した。

疑似 Well 検出器全体の構成を図 4.2 に示す。用いたシンチレータとシリコン、およびフォトマル、ブリーダーと PIN プリアンプを表に示す。また、Well 結晶部の構成を図 4.3 に、結晶製作の様子を図 4.4 にそれぞれ示す。ここでは 1 ユニットの 4 つの主検出部 GSO/PIN のうちの 1 つを用意した。また、実験の簡素化のため、BGO 井戸の高さは 5 cm と本物より短くした。シリコン PIN 検出器は、搭載品 (20 mm × 20 mm × 2 mm) は-20 ℃で動作させるが、今回は常温で同程度のエネルギー分解能で動作させるため、容量とリーク電流の小さいものを用いた。浜松ホトニクス社の S3590-09(10 mm × 10 mm × 0.26 mm) であ

る。容量、バイアス電圧とリーク電流との関係を図 4.5、図 4.6 に示す。PMT ブリーダー、プリアンプ、PIN CSA は搭載品に近いものを用いた。シンチレータどうしは KE108 + CAT108 で固着し、シンチレータ (BGO Bottom) と PMT は KE108 のみで光学接着した。全てのシンチレータは反射剤として用いられるゴアテックスで覆い、PMT は磁気的遮蔽の目的でμ メタルで覆った。またシンチレーション光以外の光を全て遮断するため、疑似 Well 検出器全体を黒ビニールで厳重に覆った。



シンチレータ	GSO × 1 (24 × 24 × 5 mm) BGO × 2 (50 × 60 × 3 mm) BGO × 2 (50 × 25 × 3 mm) BGO Bottom (60 × 60 × 60 mm)
Si PIN	S3590-09 (10 × 10 × 0.26 mm)
光電子増倍管 (PMT)	R6231
ブリーダー	DI2 NO4
PIN プリアンプ	MODEL 5551

図 4.2: 疑似 Well 検出器構成図

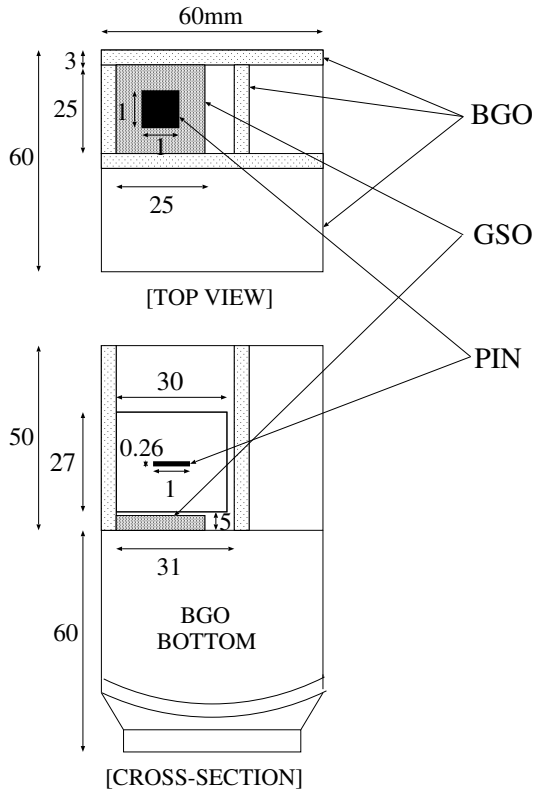


図 4.3: 疑似 Well 検出器結晶部

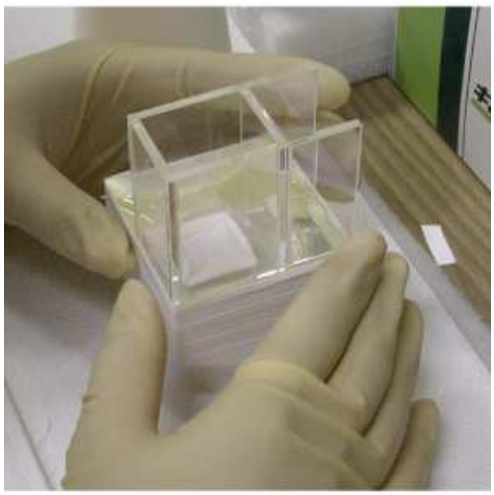


図 4.4: 結晶製作の様子

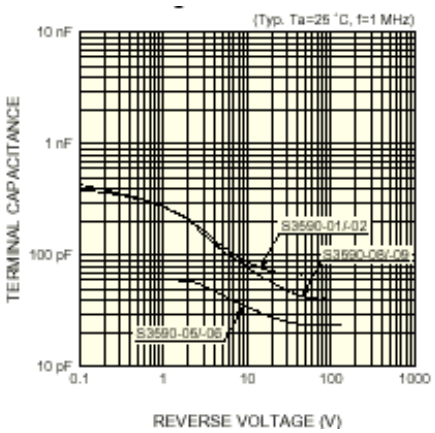


図 4.5: 容量とバイアス電圧の関係

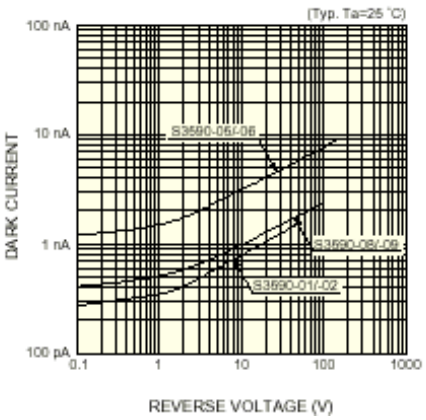


図 4.6: リーク電流とバイアス電圧の関係

4.1.2 Well 検出器処理回路のデータ取得

図 4.7 に疑似 Well 検出器処理回路構成を、図 4.8 にデータ取得のタイミングを示す。本実験では図 4.7 のセットアップを用い、図 4.8 のタイミングでデータ取得を行った。これは実際の WPU をほぼ再現している。

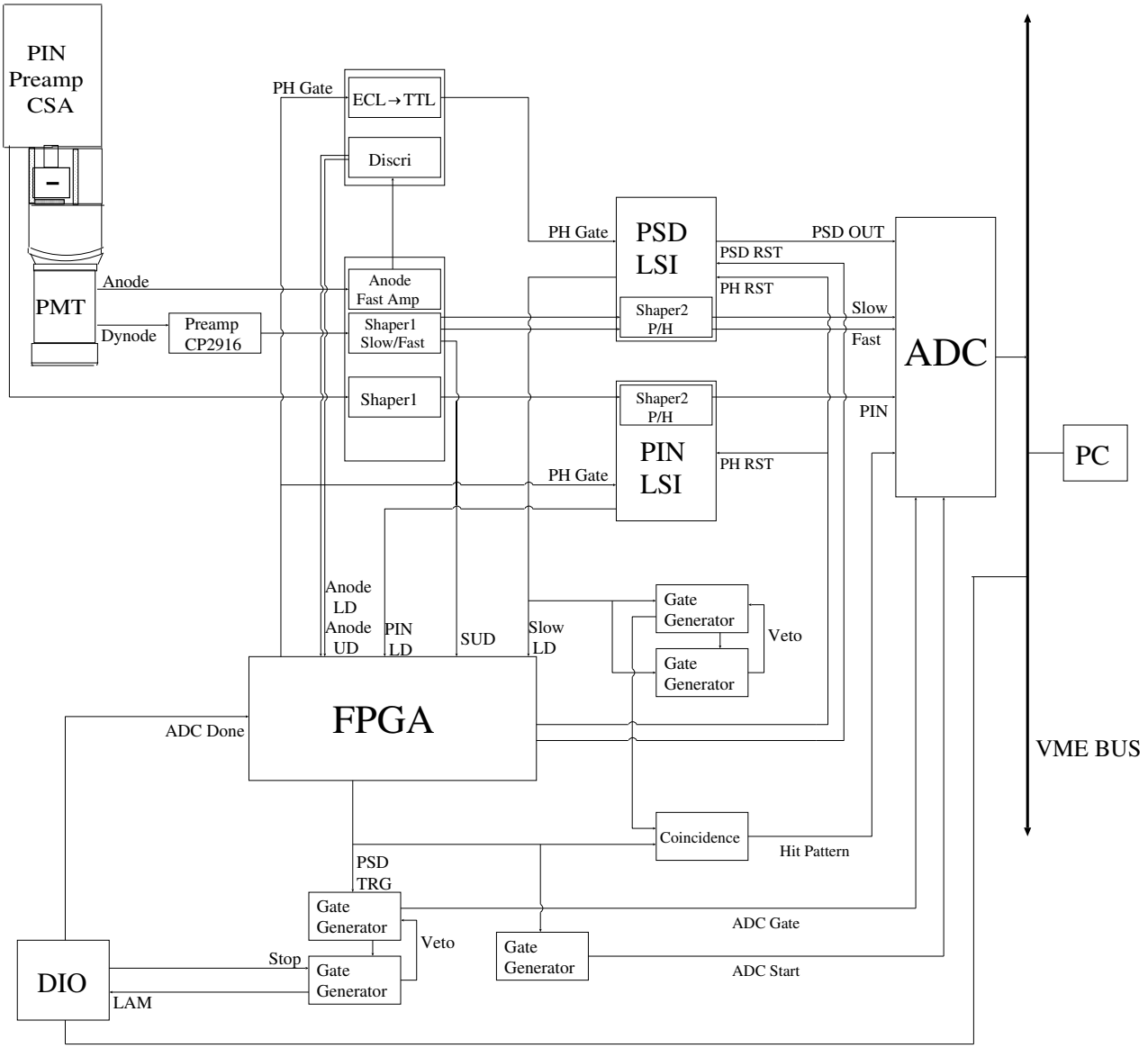


図 4.7: 実験室における Well 検出器処理回路

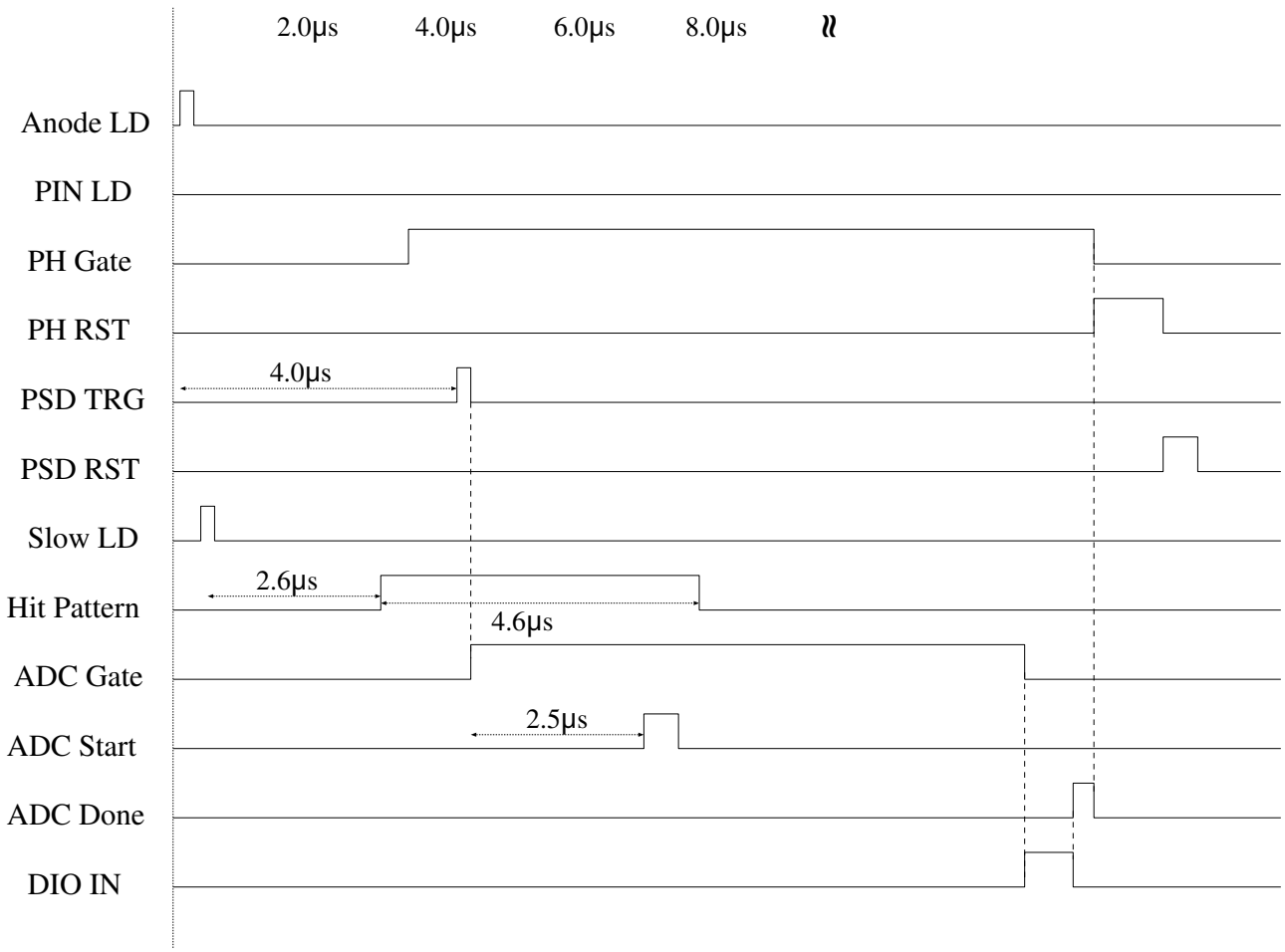


図 4.8: データ取得のタイミング

4.2　波形弁別試験

前述のセットアップを使用し、波形弁別によるバックグラウンド除去機能の動作試験を行った。まず波形弁別に用いる回路の FET の変更に伴う回路パラメータの調整を行い、次に波形弁別が正しく行われていることを確認した。

4.2.1　FET の変更に伴う回路パラメータの調整

波形弁別を行う PSD-LSI 回路は、トリガー回路からの信号を ECL 規格 (-2 V ~ - 0.8 V) で受け付ける仕様となっているため、TTL 規格 (0V ~ 5V) を ECL 規格へ変換する必要がある。図 4.9 にあるように、2 つの FET と 1 つのダイオードから成る回路を用いることで、TTL-ECL 変換を行う。この回路は、クリアパルス社森氏が設計したものである。逆極性の 2 つの TTL 信号が入力されると、FET 手前で-2 V 程度電圧値を下げ、FET をスイッチとして用いることによって出力される電圧値が- 2 V と-0.8 V で切り変わる。(図 4.10 参照)。この場合、FET の ON 電圧は 0.8 V から 2 V の間である必要がある。

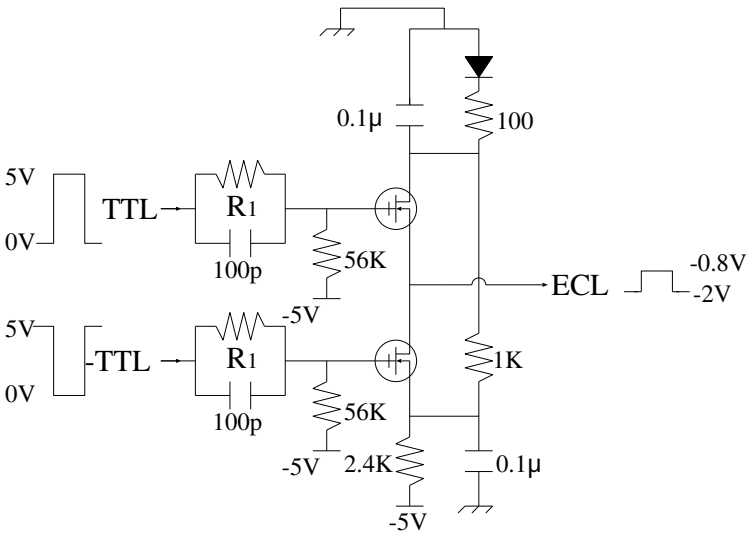


図 4.9: TTL-ECL 変換回路図 (R_1 初期値：47K Ω)

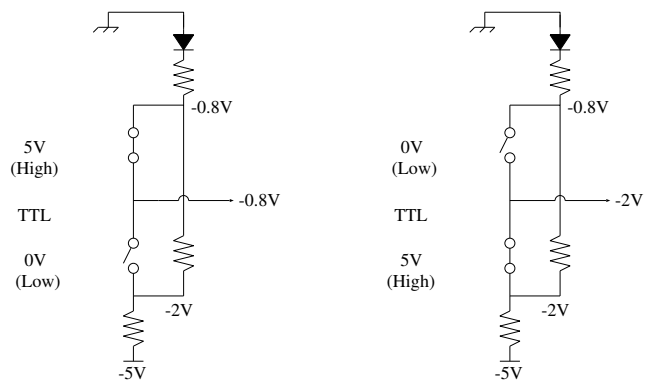


図 4.10: TTL-ECL 変換回路の動作原理

今回の HXD-II では、前回使用されていた FET SD215 が入手不可能となったために、FET SD215 の代用として、同じ動作を保証する別の FET を使用することになった。そこで、新しく用意された FET 2N6660 を用いて TTL-ECL 変換回路の動作試験を行った。

- FET 2N6660 の I-V 特性

  図 4.11 に示すセットアップにおいて、V_{GS} の値を負の方に変化させながら、抵抗 10K Ω にかかる電圧 V_{DS} を測定することにより、2N6660 の I-V 特性を得た。結果は図 4.12 のようになり、0.8 V ~ 2 V の間で FET が ON することがわかった。よって、原理的に 2N6660 は TTL-ECL 変換に用いることができるといえる。

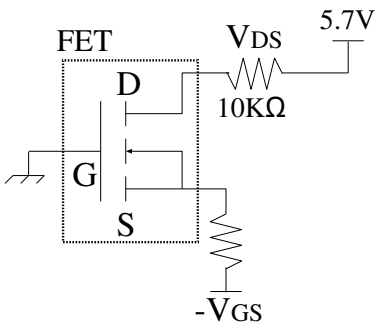


図 4.11: FET:I-V 特性測定のセットアップ図

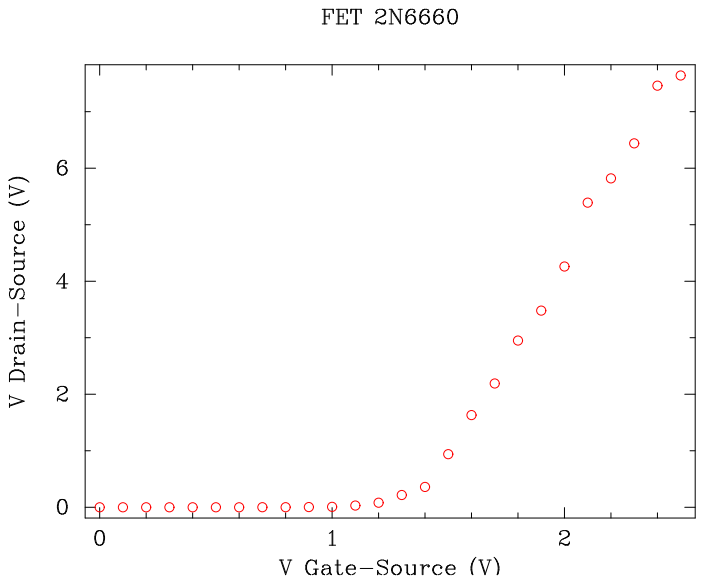


図 4.12: FET・2N6660 の I-V 特性。G-S 間電圧 1.5 V 付近から D-S 間に電流が流れ始めるためスイッチとしての利用が可能。

- TTL-ECL 変換回路の動作試験

  次に、FET 2N6660 を ECL-TTL 変換回路に取り付けて出力波形の測定を行った。FET 変更前 (FET:2N7000) と変更後 (FET:2N6660) の FET 入力 (上)、ECL 出力の波形を測定したものを図 4.13 と図 4.14 に示す。FET を付け代えた事により、ECL 波形の立ち上りに遅れが生じ、ECL 入力の波高値が下がっていることがわかる。

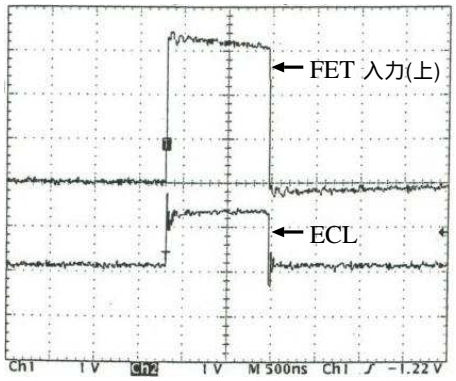


図 4.13: FET:2N7000 での FET 入力 (上)、ECL 出力波形。

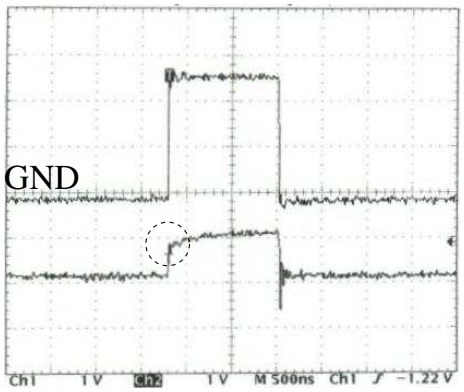


図 4.14: FET:2N6660 での FET 入力 (上)、ECL 出力波形。波形の立ち上がりに遅れが見られる。

この TTL-ECL 変換回路では、フォスイッチカウンタ処理シーケンスにおいて非常に重要となるピークホールドゲート信号を扱うため、信号の遅れは許されない。そこで、回路の時定数を速くするため、TTL 入力直後の R_1 抵抗に並列に可変抵抗を接続して抵抗値を変えながら ECL 波形の立ち上がりの様子を観察した。その結果、R_1+可変抵抗値の並列和が大きい程立ち上がりに遅れが生じ、逆に小さいとリンギングが生じてしまうことがわかった。結局、R_1+可変抵抗値が 27 K Ω 付近で、波形が遅れなく完全に立ち上がり、リンギングも見られなかったので、最終的に 2 つの 47 K Ω 抵抗 (R_1) を 27 K Ω 抵抗に付け変えることで正確な ECL 波形を実現した。(図 4.15 参照)

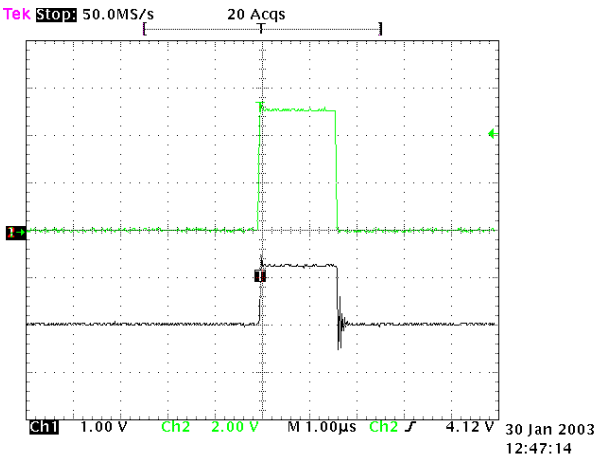


図 4.15: 回路パラメータ変更後 ($R_1 \rightarrow 27\mathrm{K}\,\Omega$) の TTL 入力 (上)、ECL 出力 (下) 波形。完全な ECL 波形となっている。

4.2.2　波形弁別

実際に疑似 Well 検出器を用いて波形弁別を行った。PMT の高圧電源を 1080 V とし、2 つの線源、^{241}Am(59.5 keV)、^{20}Na(511 keV、1275 keV) を疑似 Well 検出器の真上から入射させ、500 sec(20 ℃) で測定した。整形時定数の短い Shaper からの出力 (Fast) と整形時定数の長い Shaper からの出力 (Slow) を、それぞれ横軸と縦軸にプロットすることで 2 次元図を得る。測定結果の Slow/Fast2 次元と Slow スペクトルを図 4.16 に示す。GSO と BGO の蛍光時定数の違いから、シェーピングタイムの異なる Slow/Fast Shaper Amp 出力での 2 次元図で、きれいに GSO/BGO 成分が弁別されているのがわかる。Slow と Fast でほぼ同じ出力となる GSO 信号に対し、Fast で完全に積分されない BGO 信号は、2 次元図において傾きの大きな直線となる。GSO/BGO 信号による直線に挟まれた空間にある成分は、コンプトン散乱によって両方のシンチレータで鳴ったイベントによるものである。疑似 Well 検出器では、GSO 結晶に比べて Bottom 部を含めた BGO 結晶の体積が圧倒的に大きいため、イベント数の違いから GSO 信号が BGO 信号に埋もれてしまっているとがスペクトル図からわかる。そのため、GSO 信号は 2 次元図を利用したイベントの弁別を行ってはじめて確認できる。GSO 信号によるスペクトル (黒) の 200 Channel 付近のピークは ^{20}Na 511keV、また 30 Channel 付近のピークは v^{241}Am(59.5 keV) によるものである。おもに BGO 信号によって形成されているスペクトル (赤) の 100Channel 付近のピークは、^{20}Na 511keV によるものであると考えられる。GSO 信号によるスペクトル (黒) と同ピークの位置が大きく異なるのは、GSO/BGO シンチレータの発光量の違いによるものである。^{241}Am(59.5 keV) によるピークよりも低エネルギー側に立っている大きなピークは、PMT からの熱的なノイズによるものであると考えられる。今回疑似 Well 検出器の結晶部と PMT 部の接着が完全でなかったためか光量が少なく、PMT に送る高圧電源を 1080 V(標準値:900 V) に上げたことが熱的ノイズ発生の要因となったと考えられる。

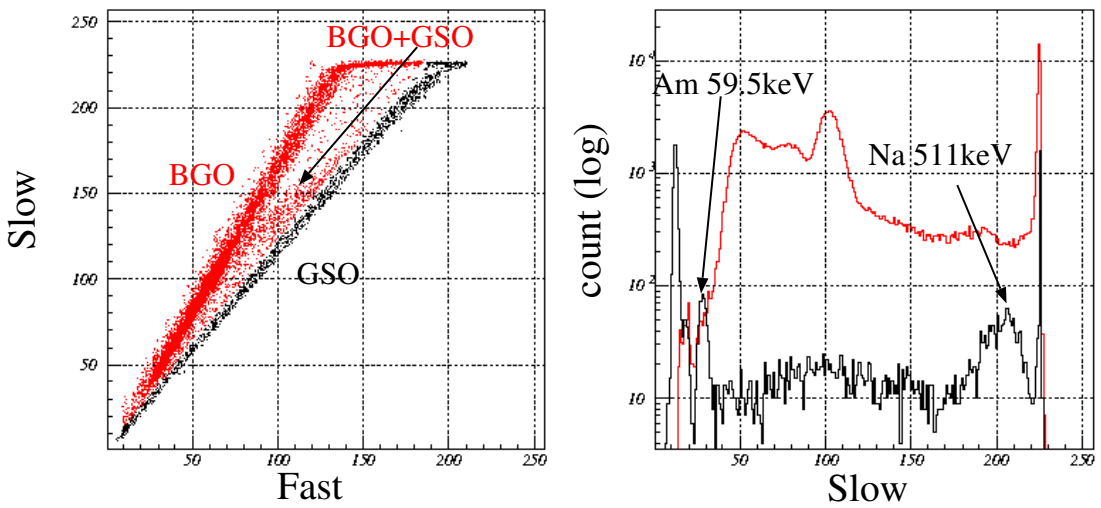


図 4.16: 左:波形弁別における Slow 信号と Fast 信号の 2 次元図。右:y 軸方向に投影した Slow 成分によるスペクトル図。GSO 信号 (黒)、その他の信号 (赤) に分けて表す。

次に、実際の宇宙での稼働温度と同程度の-20 ℃に保たれた恒温層内において波形弁別を行い、20 ℃での結果と比較した。2 つの同サイズ (24 mm × 24 mm × 5 mm) のシンチレータ GSO/BGO を用い、PMT 側から BGO、GSO の順に接着した。PMT の高圧電源は 880 V とし、20 ℃での実験と同じく 2 つの線源、^{241}Am(59.5 keV)、^{20}Na(511 keV、1275 keV) を用いて、300sec(-20 ℃) で測定した。結果を図 4.17 に示す。20 ℃での 2 次元結果と比べ、BGO 直線の傾きが増し、GSO 直線との開きが大きくなった。つまり、-20 ℃では GSO/BGO シンチレータの蛍光時定数の違いがより顕著となり、波形弁別がより正確に行えることがうかがえる。今回は同サイズの GSO/BGO を使用したため、イベント数がほぼ等しくなり、ピークのカウント数が同程度になっていることがスペクトルからわかる。しかし、光量は GSO と比べて BGO が少ないため、BGO 信号によるピークの位置は大きく低パルスハイト側にシフトしている。

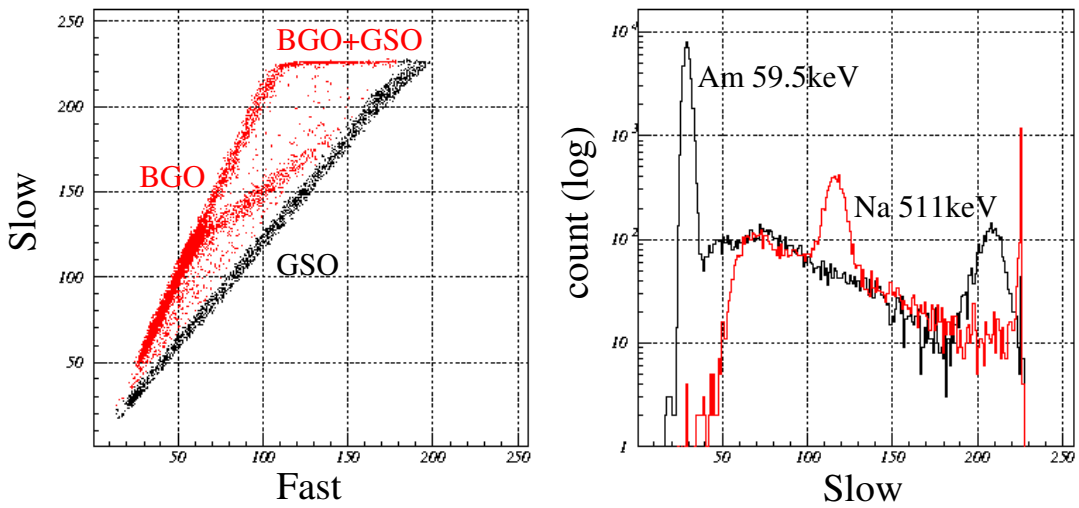


図 4.17: 左:波形弁別における Slow 信号と Fast 信号の 2 次元図。右:y 軸方向に投影した Slow 成分によるスペクトル図。GSO 信号 (黒)、その他の信号 (赤) に分けて表す。

4.3 Anti-coincidence 試験

Anti coincidence では、Well 検出器にイベントが入射したときに、Trigger 信号とともに発生する Slow LD から作られた Hit Pattern を、Delayed Trig のタイミングでラッチさせることにより、シンチレータ/PIN でコンプトン散乱したイベント、および隣接したユニットにも同時に入射したイベントを除去することができる。HXD-II では、低ノイズ化に伴い、シリコン PIN 検出器の Discri 入力信号のピーキングタイムが約 4 μ s から約 3 μ s に短くなり、Trigger 信号のタイミングが変化した。そこで本研究では、Hit Pattern を Delayed Trig に正確にラッチさせるための立ち上がりのタイミング、またデッドタイムを最小におさえるための Hit Pattern の Width、といったパラメータについて HXD-I の値から変更し、実際に測定結果から見積もったパラメータでの Hit Pattern を用いて疑似 Well 検出器における Anti coincidence 試験を行った。

4.3.1 Anti coincidence に用いる Hit Pattern 信号

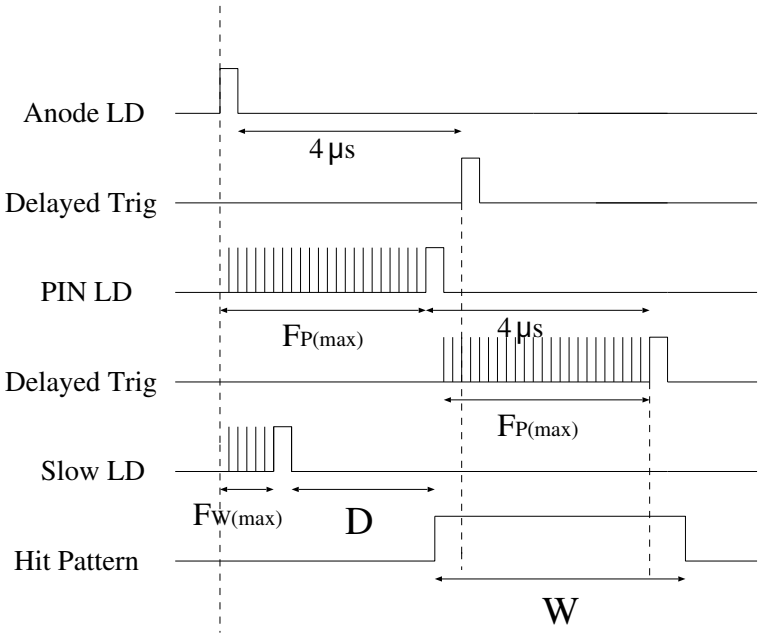


図 4.18: Hit Pattern のタイミング

Anti Coincidence に用いられる Hit Pattern のタイミングを図 4.18 に示す。Hit Pattern は、Slow LD 信号から作られ、Trigger 信号の 4 μ s 後に立ち上がる Delayed Trig のタイミングでラッチされる。PMT イベントによる Trigger 信号 (Anode LD) は、X 線入射後 0.1 μ s 以内で発生するのに対し、PIN イベントによるトリガー信号 (PIN LD) は、発生するまでに最大 F_P ~ 4 μ s と大きく遅れが生じるため、PIN LD の 4 μ s 後に立ち上がる Delayed Trig も必然的に遅れて発生する。それゆえ、いずれの Delayed Trig においてもラッチさせる必要がある Hit Pattern には、ある程度幅 (W) を持たせてやらなければならない。しかし、Hit Pattern の幅 (W) の拡張はそのままデッドタイムと偶然 Coincidence 事象の増加につながるため、トリガー発生後最大 F_W ~ 1.5 μ s 遅れて立ち上がる Slow LD から Hit Pattern をバスに流すまでの Delay(D) を最適化し、幅 (W) をできるだけ小さくする必要がある。以上を踏まえ、Hit Pattern が Delayed Trig のタイミングでラッチされ

る条件として、以下の式が成り立つ。

$$F_W(max) + D < 4\ \mu\ s < F_W(min) + D + W \tag{4.1}$$

$$F_W(max) + D < 4\ \mu\ s + F_P < F_W(min) + D + W \tag{4.2}$$

式 (4.1) は、PIN LD の遅れが 0 であるときに Hit Pattern が Delayed Trig のタイミングで立っている条件、また式 (4.2) は、PIN LD の遅れが最大 F_P であるときの条件に相当する。

4.3.2 Anti のタイミングの決定

§4.3.1 で述べたように、Hit Pattern を作り出すための 2 つのパラメータ D(Slow LD が立ち上がってから Hit Pattern を発生させるまでの遅れ)、W(Hit Pattern の幅) は、Anti coincidence による超低バックグラウンド化を目指す上で、式 (4.1)、(4.2) を満たし、W が最小となる最適値で決定する。HXD-I では、PIN トリガー信号 (PIN LD) の最大の遅れ F_P は ~ 6 μ s であったが、HXD-II では F_P ~ 4 μ s になった。そこで、HXD-II における D、W の最適値を見積もるために必要となる F_W、F_P の値を、実験によって精度良く求めた。

1. F_W(Slow LD の遅れ) の測定

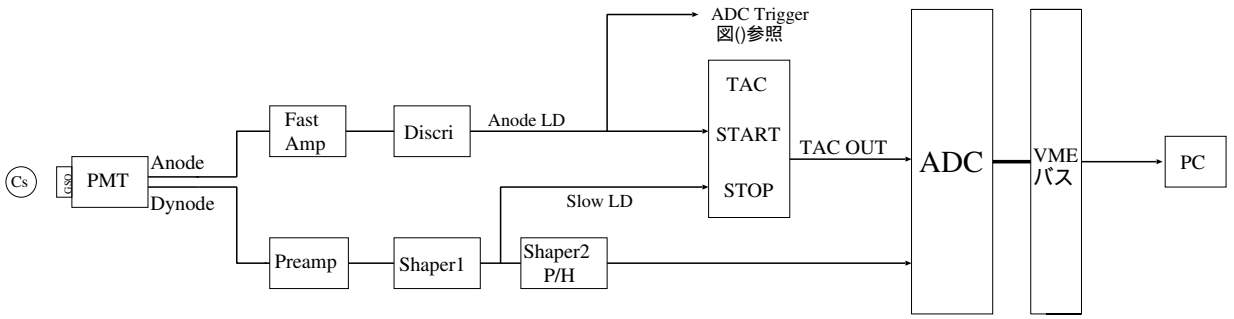


図 4.19: F_W 測定のセットアップ

図 4.19 に F_W 測定のセットアップを示す。GSO を接着した PMT(疑似 Well 検出器と同品) に ^{137}Cs を当て、高圧電源 900 V をかけて測定を行った。START 入力と STOP 入力の Delay に比例したパルスを出力する TAC(時間波高変換器) を用い、START に Anode LD を、STOP に Slow LD を入力した。そして、Slow Shaper 出力と TAC 出力を 8 ch ADC に入力して同時計測を行った。つまり、Anode LD の立ち上がりの遅れが十分無視できるほど早いと仮定して、Anode LD の立ち上がりを X 線入射の時刻とした。ここで TAC OUT から出力される Slow LD の遅れは channel 単位であるため、あらかじめ Pulser と Delay Generator を用いて既知の Delay を持つ 2 つのパルスを作り、TAC に入力してキャリブレーションを行った。キャリブレーションの結果を図 4.20 に示す。

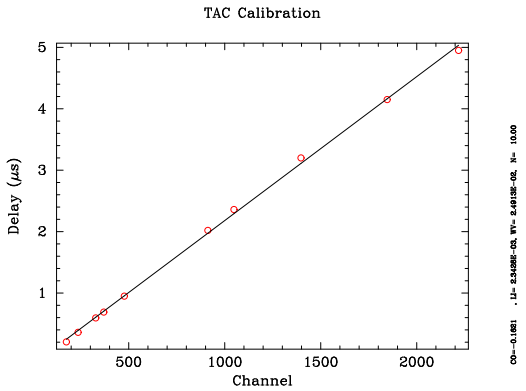


図 4.20: TAC Cariblation：(Channel-Delay)

本実験では、Slow LD スレッショルドがデフォルト値 (100 mV) のままでは、Anode LD に比べて Slow LD のカウントレートが高く TAC Out に影響を及ぼすため、TAC START と TAC STOP のカウントレートがほぼ等しくなるように、Slow LD のスレッショルドを 770 mV に上げて測定を行った。図 4.21 に実験結果を示す。横軸が Slow LD の波高値 (channel)、縦軸が TAC out(channel) の 2 次元プロットとなっている。Slow Shaper の波形がスレッショルドレベルまで到達する時間の違いから、Slow Shaper 波高値が低くなるほど、Delay が大きくなっているのがわかる。Slow Shaper の波高値 ~ 550 ch 付近が ^{137}Cs の 662 keV の光電ピークに相当し、それより低い側はコンプトン散乱イベントに相当する。また、図 4.22 に Slow LD スレッショルドを 1400 mV にしたときの結果の 2 次元図を示す。スレッショルドを上げることにより、Slow Shaper パルスハイトの高い成分でも遅れがより顕著になるため、プロット図が図 4.21 に比べ右にシフトしているが、最大の Delay 値はほぼ同じとなった。図 4.23、図 4.24 に Slow Shaper パルスハイトと TAC 出力のオシロ波形を示す。Slow Shaper パルスハイトの低い、つまり Delay が大きくなる程 TAC 出力が大きくなることが確認できる。結果から、4bin まとめの channel 値において Delay の最大値が 150 ch となったので、図 4.20 のリニアリティのフィッティングの式から channel-μ s 変換を行い、Delay は 1.22 μ s となった。以上から F_W=1.2 μ s とした。

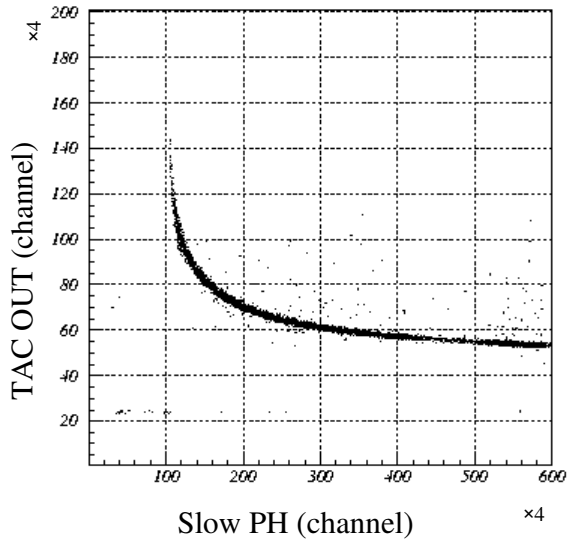


図 4.21: TAC Out/Slow Shaper パルスハイトの 2 次元図 (Threshold:770 mv)

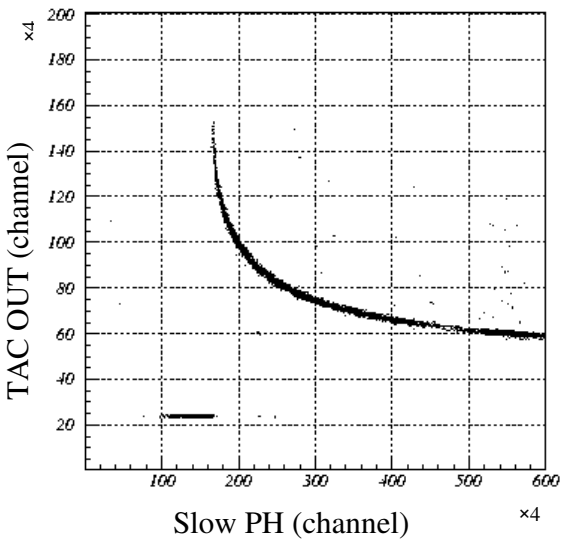


図 4.22: TAC Out/Slow Shaper パルスハイトの 2 次元図 (Threshold:1400 mv)

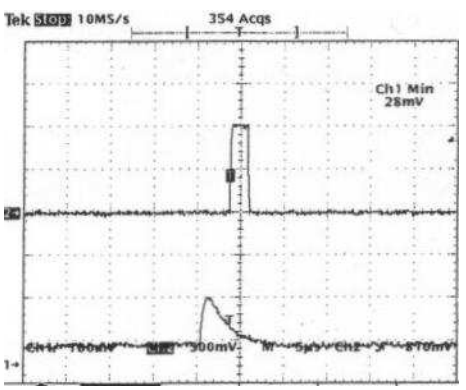


図 4.23: TAC OUT(上)。Slow PH(下)。

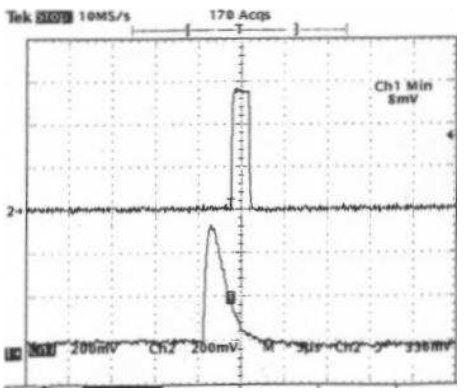


図 4.24: TAC OUT(上)。Slow PH(下)。

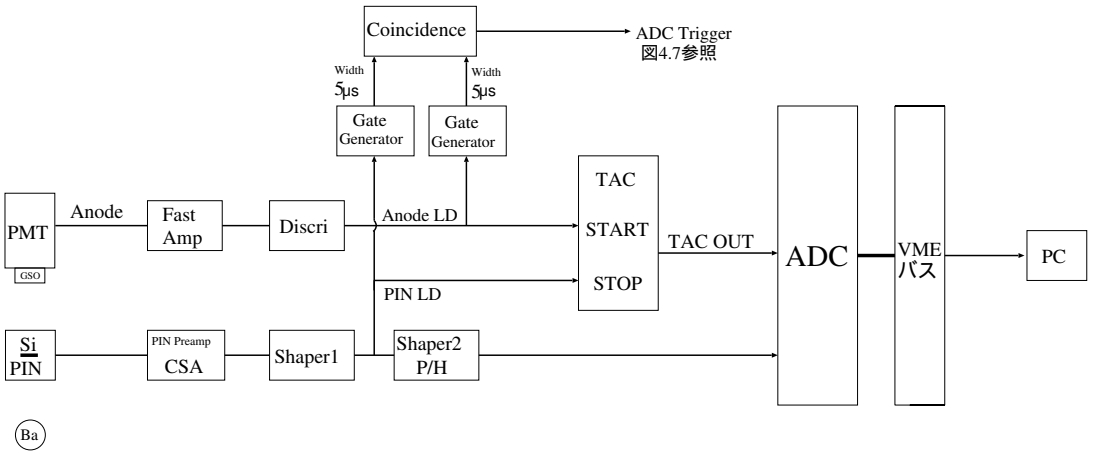


図 4.25: F_P 測定のセットアップ

図 4.25 に F_P 測定のセットアップを示す。新たにシリコン PIN 検出器 (疑似 Well 検出器と同品) と、F_W 測定に用いた PMT を使用し、それぞれバイアス電圧 50 V、高圧電源 900 V をかけて測定を行った。今回は 8 ~ 70 keV の検出エネルギー帯を持つ PIN 検出器を扱うため、低エネルギー側にもいくつかのピークを持つ ^{133}Ba を線源として用いた。F_P を測定する際、シンチレータ (GSO) とシリコンに同時に X 線を入射させる必要があるため、^{133}Ba の 356 keV でのコンプトン散乱を利用した。Gate Generator によって 5μ s の Width に広げられた Anode LD と PIN LD を Coincidence に入力し、その AND を Trigger 信号として用いることで、GSO と PIN 検出器の両方で同時に鳴ったコンプトン散乱イベントのみを得ることができる。

実験では散乱体をシリコンとしたが、PIN 検出器の検出限界が 70 keV であるため、コンプトン散乱過程で 70 keV 以上のエネルギーをシリコンにデポジットするイベントは PIN 検出器で検出することができない。そのため、散乱成分を検出し Coincidence をとる役割を果たす GSO の配置場所 (散乱角) が重要となる。コンプトン散乱における入射 X 線光子エネルギー (E) と散乱後の光子エネルギー (E')、散乱角 (θ) の関係を次式に示す。

$$E'_r = \frac{E_r}{1 + \frac{E_r}{m_e c^2}(1 - \cos\theta)} \tag{4.3}$$

ここで、$m_e c^2$ は電子の静止質量 (511 keV) である。シリコンと線源、及びシリコンと GSO のなす角をθ とすると、シリコンでコンプトン散乱し、GSO でも鳴ったイベントがシリコンでデポジットするエネルギー E_P は、

$$E_P = E_r - E'_r \tag{4.4}$$

と表される。以上から、θ の値が小さい程、シリコンにデポジットするエネルギーも低くなることがわかる。本実験では、PIN LD の Delay を測定するにあたり、低エネルギー X 線から発生する波高値の低い信号が特に重要となってくるため、図 4.25 に示すように PIN と GSO と線源を一直線上に並べ、θ < 45 ° になるようにして測定を行った。このとき、入射 356 keV に対して E_P < 62 keV となる。

図 4.26 に結果を示す。左図が TAC Out/PIN パルスハイトの 2 次元図であり、右図が PIN パルスハイトのスペクトル図である。Slow パルスハイトと同様に、PIN パルスハイトの波高値に依存して Delay が変化しているのがわかる。また、スペクトルから、低エネルギー側にコンプトン散乱成分が集中しているのがわかる。また、図 4.27、図 4.28 のオシロ波形から TAC 出力が PIN パルスハイトに依存しているのが確認できる。2 次元図から Delay の最大値を 78(channel) と見積もり、図 4.20 にある channel-μ s の関係から F_P=2.7 μ s とした。

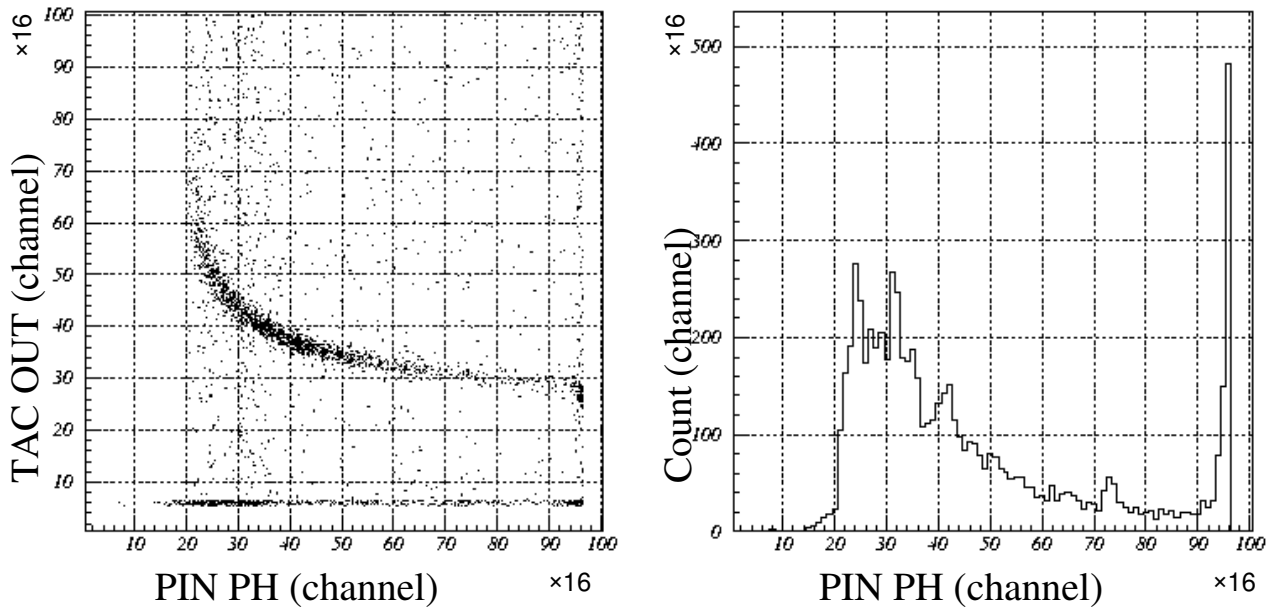


図 4.26: 左:TAC Out/PIN パルスハイトの 2 次元図。右:X 軸方向に投影した PIN のスペクトル図。30 ch が 30 keV に相当。

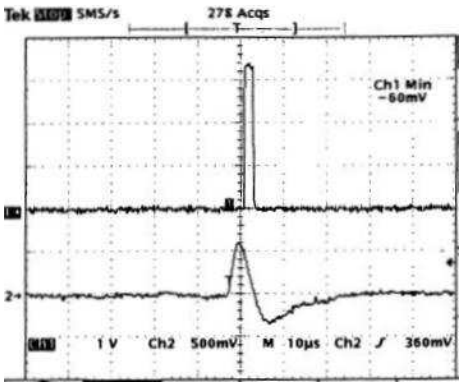


図 4.27: TAC OUT(上)。PIN PH(下)。

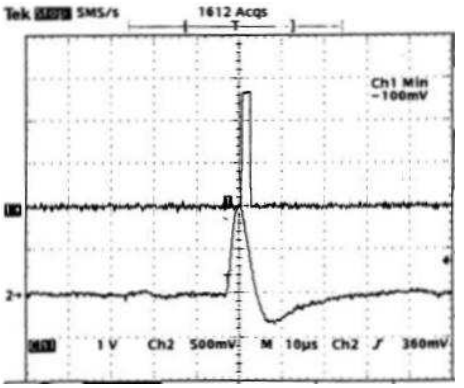


図 4.28: TAC OUT(上)。PIN PH(下)。

3. D、W の決定

1、2 の測定結果から、F_W=1.2 μ s、F_P=2.7 μ s となった。2 つのパラメータを Hit Pattern 最適化の条件である式 (4.1)、(4.2) に代入し、グラフ化したものを図 4.29 に示す。2 式それぞれによる許容範囲の重なった部分の中でも、より W の小さい、円で囲まれたあたりからパラメータを見積もる必要がある。よって、D=2.6 μ s、W=4.6 μ s(HXD-I のときは、D=2.4 μ s、W=6.0 μ s だった) と決め、以後の Anti coincidence 試験における Hit Pattern のパラメータとして使用する。

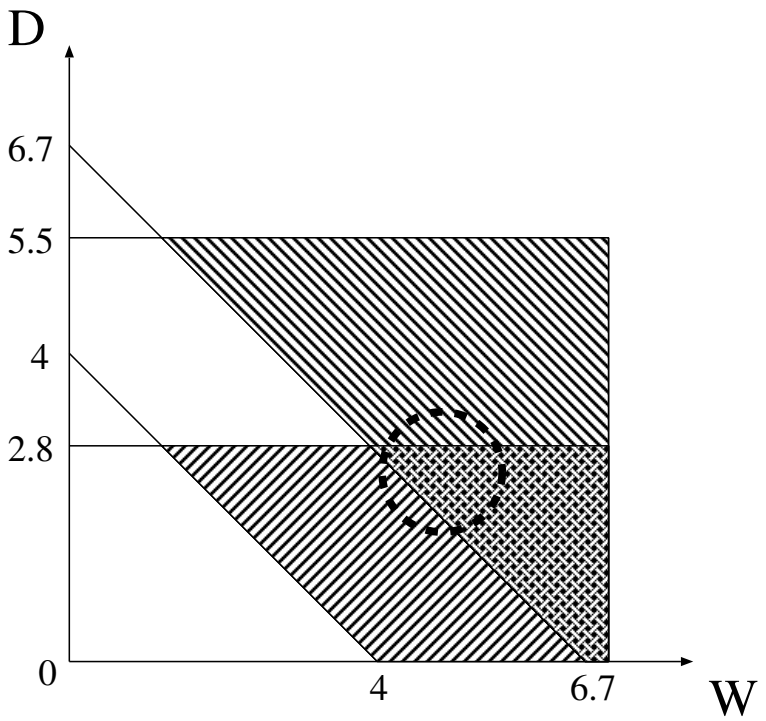


図 4.29: D、W の許容範囲

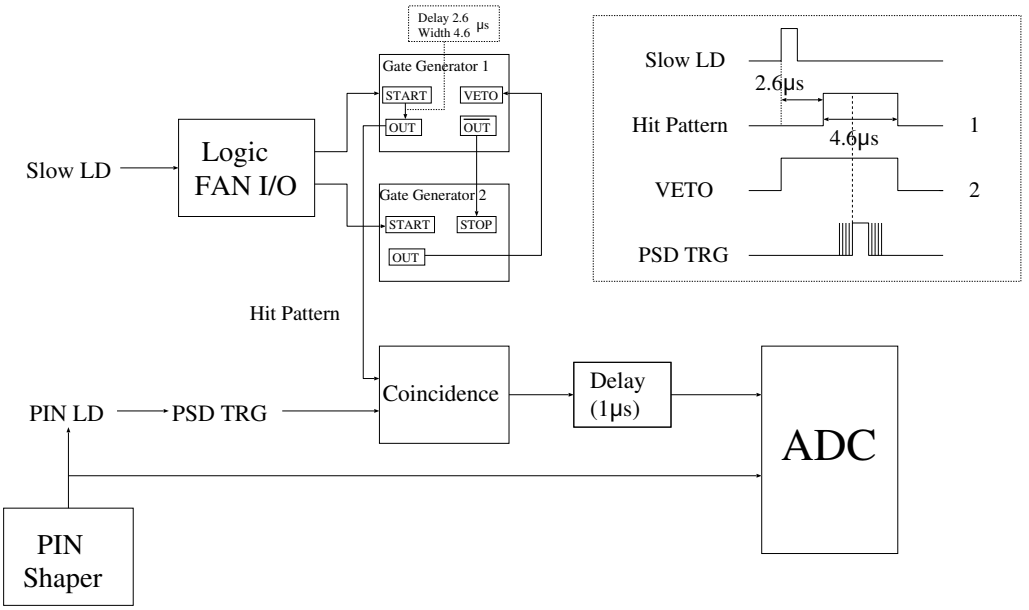


図 4.30: Hit Pattern の作成原理とタイミング

D、W の決定にともない、実際に測定に用いる Hit Pattern を作成した。作成原理とタイミングを図 4.30 に示す。また、作成した Hit Pattern と Slow LD の波形を図 4.31 示す。Logic FAN I/O によって 2 つに分けられた Slow LD から、2 つの Gate Generator(1、2) を用いて Hit Pattern(1) と VETO 信号 (2) を作る。VETO 信号は、1 つのイベントによって Hit Pattern が Active な間、後続のイベントを禁止する役割を果たす。上空では PSD Trig(Delayed Trig と同じ：Discri から 4 μ s 後に発生) のタイミングで Hit Pattern をラッチするので、実験ではそれを模擬するため PSD Trig と Hit Pattern との Coincidence をとり、1 μ s Delay させて AD 変換するようにした。また、AD 変換後のデジタルデータを用いることによって、Anti をソフト的に処理した。

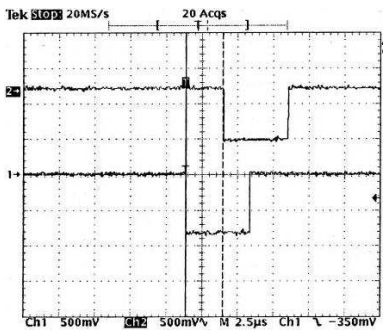


図 4.31: Hit Pattern(上) と Slow LD(下)。Delay2.6 μ s、Width4.6 μ s で Hit Pattern が形成されているのがわかる。

4.3.3 Anti coincidence によるコンプトン散乱除去試験

本実験では、疑似 Well 検出器を用いて、シリコン PIN 検出器におけるバックグラウンド除去試験を行い、§4.3.2 で求めた Hit Pattern が適切かどうか調べた。シンチレータを全てアクティブシールドとして利用することで、シリコンでコンプトン散乱したイベントを除去し、シリコンでのみ鳴ったイベントの検出を試みた。PMT にかける高圧電源は 900 V、シリコン PIN 検出器にかけるバイアス電圧は 50 V として測定を行った。

キャリブレーション

まず、PIN 検出器からの信号を処理する ADC のキャリブレーションを行うために、低エネルギー領域にエネルギーピークを持つ線源、^{133}Ba と ^{241}Am を用いて測定した。キャリブレーションの結果を図 4.32 に示す。

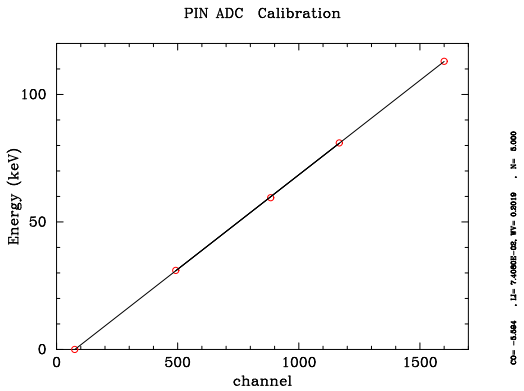
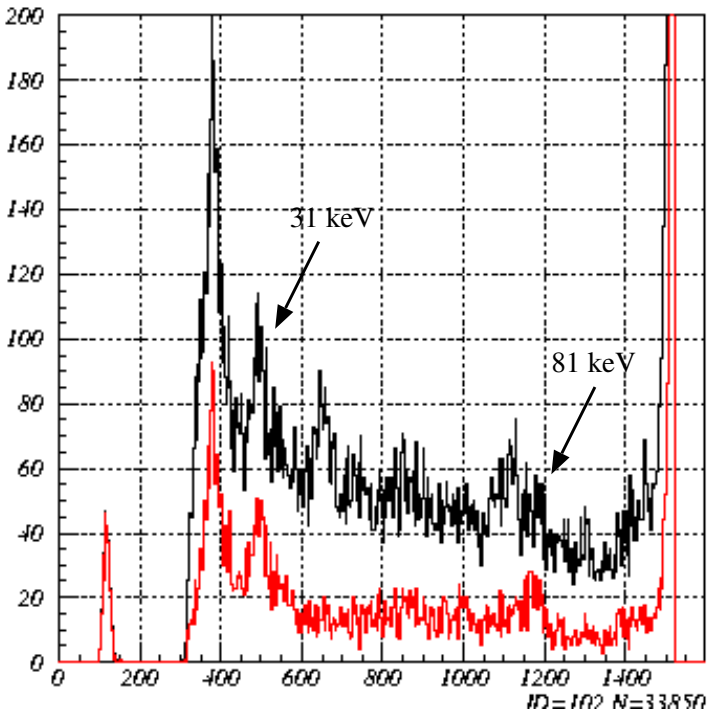


図 4.32: PIN ADC Calibration：(Channel-keV)

^{133}Ba を疑似 Well 検出器内シリコンの真上約 16 cm の位置に置き、65000 sec で測定した結果のスペクトル、カウントレートを図 4.33 に示す。Anti Coincidence をかける前 (黒) とかけた後 (赤) のスペクトルを比較すると、バックグラウンドとなるコンプトン散乱成分が除去されているのがわかる。シリコンで光電吸収され、シンチレータで反応しなかったイベントは除去されないため、シリコンに全エネルギーをデポジットする線源からのエネルギーピークは、Anti Coincidence 後もそのまま残る。実際にスペクトル図 (赤) からも、除去されずに残っているピークが存在し、それぞれ ^{133}Ba からの 81 keV(1167 ch)、31 keV (492 ch) だと判断することができる。また、380 ch(22.5 keV) 付近にある大きなピークは、シリコンと出力線との接着に用いられている Ag の K-α ライン (21.9 keV) によるものだと考えられ、Anti Coincidence で半数が除去されている。このピークは、線源からの X 線が完全に Ag に吸収された場合は Anti Coincidence で落ちないが、Ag でコンプトン散乱された X 線がシンチレータに当たって出る場合、あるいはその逆の場合は Anti Coincidence で落ちる。一方、Anti Coincidence により完全に除去されるピークも存在する。これらは、X 線がシンチレータでエネルギーをデポジットしたときにできた特性 X 線が、シンチレータ内で吸収されずに外へ逃げてしまい、シリコンで吸収されたピークであると考えられる。シリコンとシンチレータの両方で鳴っているため、コンプトン散乱成分と同様に除去される。1115 ch(77.0 keV) 付近のピークは BGO 内 Bi、647 ch(42.3 keV) 付近のピークは GSO 内 Gd による特性 K-α X 線であると考えられる。



^{137}Ba

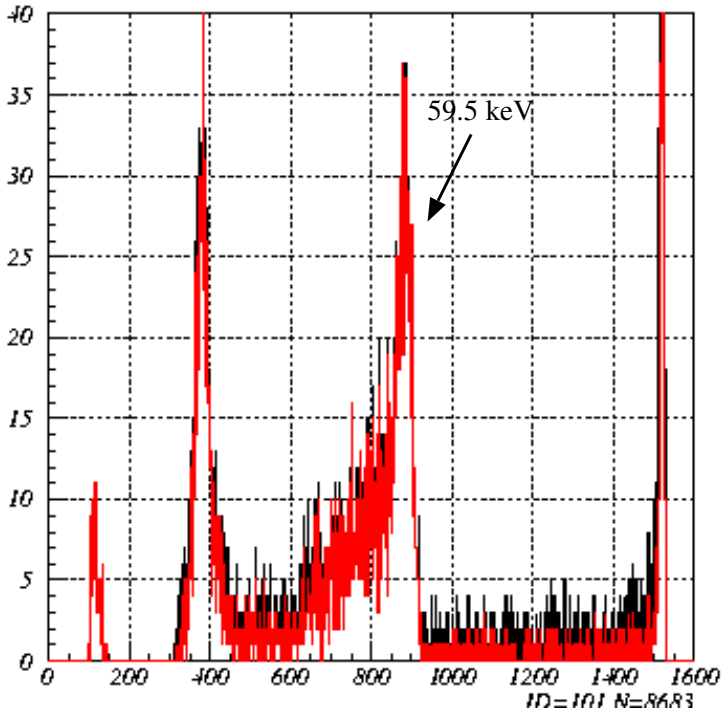
光子エネルギー	放出割合
356 keV	62.1 %
81.0 keV	34.1 %
79.6 keV	2.6 %
35.0 keV	1.3 %
31.0 keV	5.6 %

65000 sec	
Trig	0.496 c/s
Anti	0.325 c/s
Slow LD	4424 c/s
Anode LD	131 c/s

図 4.33: シリコン PIN 検出器における ^{133}Ba のスペクトル

^{241}Am を疑似 Well 検出器内シリコンの真上約 5 cm の位置に置き、100000 sec で測定した結果のスペクトル、カウントレートを図 4.34 に示す。図 4.33 同様 Anti Coincidence をかける前 (黒) とかけた後 (赤) の 2 つのスペクトルで表す。880 ch 付近に ^{241}Am による 59.5 keV のピークができている。また、380 ch (22.5 keV) 付近には、Ag の K-α ライン (21.9 keV) によるピークがみられる。^{241}Am は比較的低エネルギー (59.5 keV) のピークに持つため、シリコンで大部分が光電吸収され、Anti Coincidence によって除去される成分が非常に少ないのがわかる。

本実験のセットアップによるシリコン PIN 検出器の検出領域は、上限が 107 keV、下限が 17 keV(PIN ディスクリレベル:150 mV) である。



^{241}Am

光子エネルギー	放出割合
59.5 keV	35.9 %

100000 sec	
Tig	0.0868 c/s
Anti	0.02714 c/s

図 4.34: シリコン PIN 検出器における ^{241}Am のスペクトル

表 4.1: ^{133}Ba スペクトルにおけるピークのエリア

Peak	Anti 前 (黒)	Anti 後 (赤)
31 keV	500 ± 42	408 ± 28
81 keV	335 ± 30	266 ± 19

Anti Coincidence における問題点

図 4.33 の ^{133}Ba による 2 つのスペクトルを比較すると、31 keV と 81 keV のピークのカウント数が Anti Coincidence 後でわずかに低くなっているのがわかる。^{133}Ba の 2 つのピークのコンプトン散乱成分を除いてカウント数を積分した結果を表 4.1 に示す。計算結果より、Anti Coincidence 後の ^{133}Ba からのピークは、Anti Coincidence 前と比べて 8 割程に減少していることがわかった。バックグラウンド除去を試みて、対象イベントのカウント数も減少してしまうのはあってはならないことである。

Anti Coincidence によりシリコンのみで反応したイベントまでもが除去されてしまう可能性として、以下の 3 つがあげられる。

1. 放射線源の複数準位同時崩壊によりシリコン、シンチレータへ同時に異なる準位からの X 線が入射する場合
2. 偶然 Slow LD と重なってしまうイベント
3. 回路系の誤動作が原因

1 に関しては、実際に測定によって見積もるのは不可能であるが、^{133}Ba の崩壊図を見ると、確かに瞬間的 (ns 以内) に同時に遷移しているものがある。2、3 に関して、シリコン PIN 検出器にテストパルスを入力することで、Anti Coincidence 後の波高値の減少に関する問題の原因になり得るのかを見積もった。

独立した 2 つの線源とテストパルスを入れた測定

PIN プリアンプに入力したテストパルスは、シンチレータで反応しないため Anti Coincidence により落ちることはない。しかし、上述の 2、3 に関してはテストパルスであっても落ちる可能性があるため、実際にパルスを入力して測定を行った。また、独立した 2 つの線源を用いて一方で光電ピーク、もう一方でコンプトン散乱を作るようにすれば、上述の 1 も防ぐことができる。ここでは前者に ^{241}Am (59.5 keV)、後者に ^{137}Cs(662 keV) を用いた。^{137}Cs(疑似 Well 検出器内シリコンの真上約 16 cm)、^{241}Am(同約 5 cm)、テストパルス (25Hz) を入力し、65000 sec で測定したときの結果のスペクトルを図 4.35 に示す。テストパルスはどのピークにも影響をきたさないために、95 keV 付近に現れるよう波高値を調整した。また、より低エネルギー側まで測定できるように、 ディスクリレベルを 150 mV(17keV) から 30 mV(3.5 keV) まで下げた。左スペクトル図 1380 ch 付近に大きく立っているピークがテストパルスによるものである。また、880 ch 付近に ^{241}Am(59.5 keV)、380 ch 付近に Ag の K-α ライン (21.9 keV) によるピークが見られる。低エネルギー側に大きく延びている成分は回路のノイズによるものである。右スペクトル図は左図の 2 つのスペクトルの差、つまり Anti Coincidence により除去された成分を表している。コンプトン散乱成分が落されているのがはっきりとわかる。また、テストパルス成分が大

きく落ちていることがみうけられるが、テストパルス (25 Hz) は線源からのイベント (約 0.5 Hz) に対してカウントレートが高いため、偶然落ちるイベント (上述:2) も増えると考えられる。Slow LD のカウントレートと Hit Pattern の幅 (D) を用いて次式により偶然 Anti Coincidence にかかるイベント数を見積もることができる。

$$SlowLD(c/s) \times \ D(s) \tag{4.5}$$

式 (4.5) から、偶然落ちる確率は、Slow LD(4888 c/s) × D(4.6×10^{-6} s)=2.2 %となった。また、図 4.35 の右スペクトルのテストパルスピークを偶然落ちたイベントとみなし、左スペクトルのテストパルスピークとの積分値を比較することで、測定における偶然落ちる確率を 2.7 %と見積もった。理論値とほぼ一致している。一方、^{241}Am の光電ピーク (59.5 keV) はほとんど落ちていない。よって本実験での処理回路は正常に動作しており、上述:3 の可能性はなくなったといえる。

以上から、^{133}Ba を当てたときに、31 keV と 81 keV のピークのカウント数が Anti Coincidence で 20 %程落ちていた要因として、主に 1 と、2(数%) が考えられる。

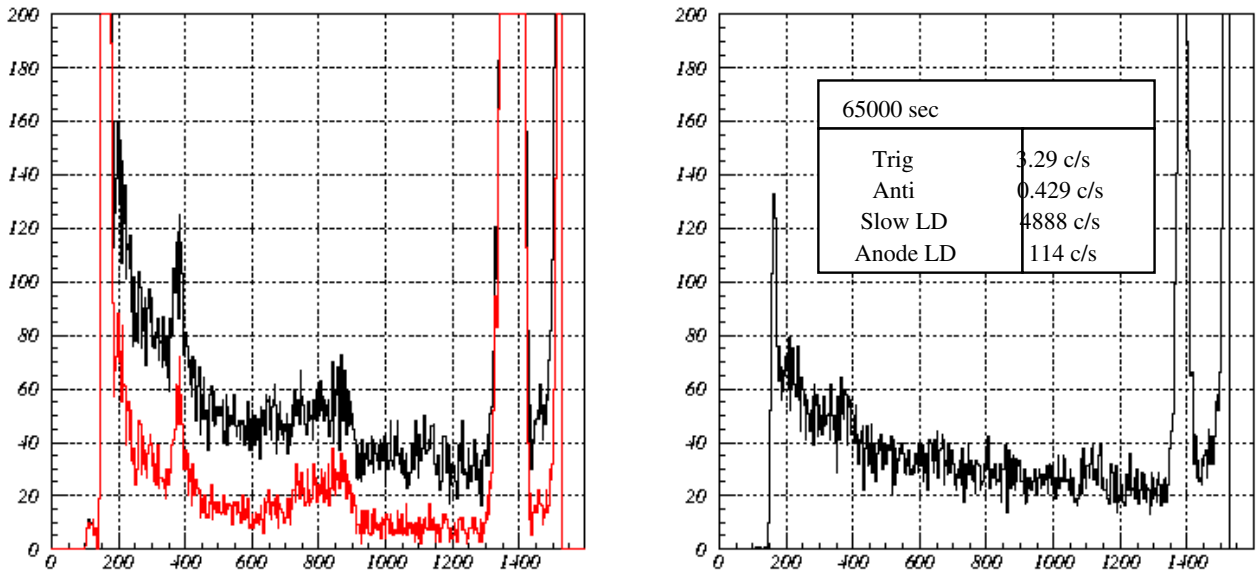
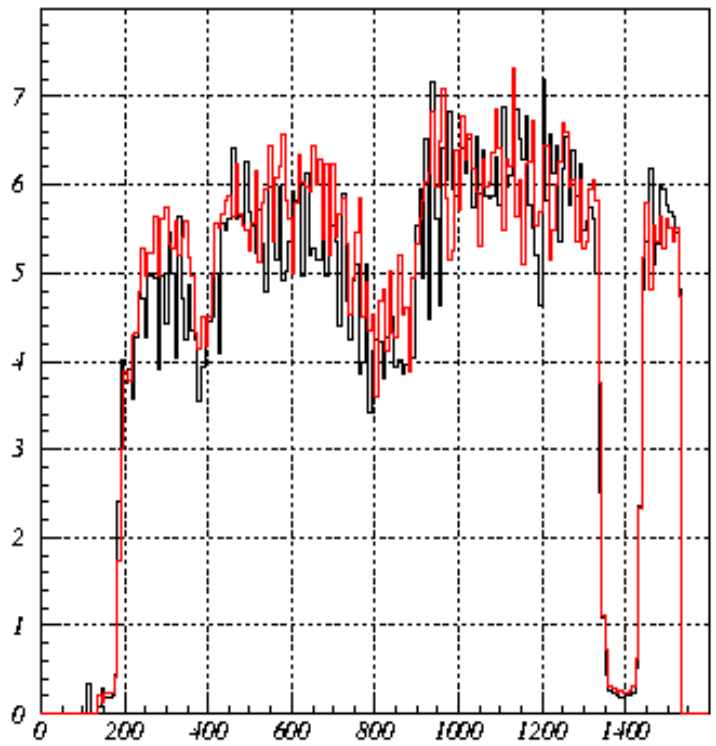


図 4.35: 左:シリコン PIN 検出器における ^{137}Cs、^{241}Am、テストパルスを入射させたときのスペクトル。右:Anti Coincidence によって除去された成分=(黒)-(赤)

HXD-I 時のパラメータでの Hit Pattern による Anti Coincidence 結果との比較

本実験で見積もったパラメータ (D:2.6 μ s、W:4.6 μ s) と、HXD-I でのパラメータ (D:2.4 μ s、W:6.0 μ s) とでそれぞれ Hit Pattern を作り、Anti Coincidence 試験を行い結果を比較した。設定は前回と同様で、どちらも 50000 sec で測定した。結果を図 4.36 に示す。(除去された成分/除去される前の成分) を表しているため、スペクトルの波高値が高いほど Anti でより落ちた成分となることを意味する。ビンまとめをしたスペクトルを見る限りほぼ 2 つの結果は変わらないが、全体的に HXD-I 時の Anti Coincidence の方がわずかに落ちていることがわかった。これは、Hit Pattern の Width の違いによるもので

あると考えられる。テストパルス領域での積分値からの測定値と、式 (4.5) から算出した理論値とで比較しても明らかであり、W の長い HXD-I 時の Anti Coincidence は、必然的に偶然落ちてしまう可能性が増すことになる。



偶然落ちる確率

	理論値	測定値
HXD-I	2.83%	3.36%
本実験	2.17%	2.62%

図 4.36: HXD-I(赤)、本実験 (黒) でのパラメータによる Hit Pattern における Anti Coincidence 試験の結果。(除去された成分/除去される前の成分) を表す。

Geant4 によるシミュレーション結果との除去割合の比較

最後に、本実験で決定したパラメータを用いた Hit Pattern による Anti coincidence 試験を行い、測定結果から除去できる割合を見積もった。また、Geant4 を用いて疑似 Well 検出器のジオメトリを再現したシミュレーションからの結果と比較した。

図 4.37 に、^{137}Cs(疑似 Well 検出器内シリコンの真上約 16 cm) とテストパルス (25Hz) を入力し 40000 sec で再び測定した結果と、自然バックグラウンドの影響も見積もるため、線源を置かずに同じ条件でバックグラウンドを測定した結果をともに示す。右図は Anti Coincidence で落されたコンプトン散乱成分を表している。Anti Coincidence による除去割合を求めるために、スペクトルのカウント数を用いた。ここで低エネルギー側はノイズによる影響で Anti Coincidence が正しく機能していないため、600 ch ~ 1100 ch におけるコンプトン散乱成分のみを扱った。全イベントと除去されたイベントの 600 ch(38.9 keV) ~ 1100 ch(75.9 keV) でのカウント数の積分値は、それぞれ 3895、2966 となった。ただし、自然バックグラウンドのイベント数を差し引いてある。以上から除去割合 (除去されたイベント/全イベント) は 76.1 % と見積もられた。

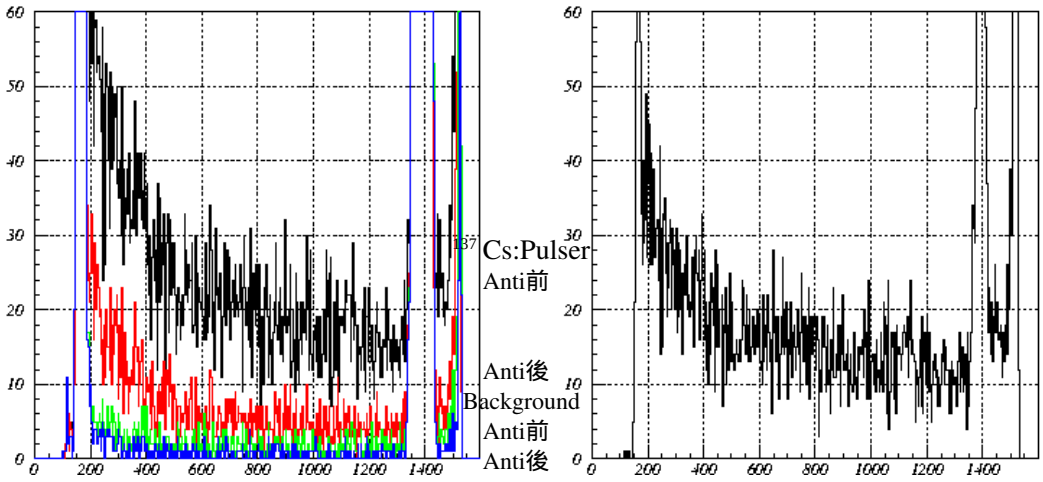


図 4.37: 左:シリコン PIN 検出器における ^{137}Cs、テストパルスを入射させたときのスペクトル (黒:Anti 前、赤:Anti 後) と、自然バックグラウンドによるスペクトル (緑:Anti 前、青:Anti 後)。右:Anti Coincidence によって除去された成分。

次に Geant4 によるシミュレーションによって除去割合を見積もった。Geant4 によって再現された疑似 Well 検出器のジオメトリを図 4.38 に示す。結晶のサイズ、構成は実験で使用した疑似 Well 検出器と全て同じ設定とした。打ち込む粒子のエネルギーを 662 keV とし、PIN の真上から 100000 発打ち込むことでシミュレーションを行った。ここで、Geant4 にはディスクリレベルが存在せず全てのイベントを拾っているため、実験で設定されていた Slow LD ディスクリレベル 100 mV(GSO > 18 keV、BGO > 37 keV) を考慮したうえで除去割合を見積もった。結果、シリコンで反応した全イベントは 456、そのうちシリコンで光電吸収したイベントは 42、PIN + シンチレータで反応したイベントは 414 となり、除去割合は 90.8 % と見積もられた。

以上からわかるように、実験結果とシミュレーション結果において除去割合のひらきが

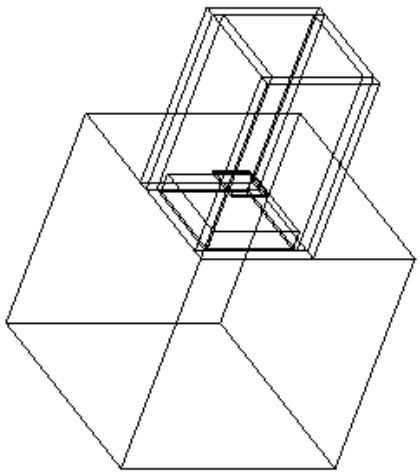


図 4.38: 再現された疑似 Well 検出器のジオメトリ

約 15 %と無視できない大きさとなった。原因としては実験室における疑似 Well 検出器を完全に再現できていなかったことが考えられる。実際に実験で用いた疑似 Well 検出器には、Geant4 で再現していなかったシリコンを保護する絶縁体、PIN プリアンプ、検出器を固定する治具として用いたアクリル板等がシリコン近くにあるため、X 線の散乱、吸収に少なからず関与していると考えられる。シリコンにおける空乏層、不感領域の見積もりにも、正確性に欠けている可能性がある。このように、実験結果とシミュレーション結果との除去割合のひらきにはまだまだ改善の余地があるため、今後の課題として考察を行っていく。シミュレーション結果とはひらきが生じてしまったが、疑似 Well 検出器ではコンプトン散乱成分の 75 %あまりを除去できることがわかった。この結果から、高性能なバックグラウンド除去機能を再現しているといえる。

4.4 大信号試験

数 100 MeV にも及ぶ大信号 Proton が、数 100 c/s の高レートで入射してくるバックグラウンド環境を疑似的に作り出し、HXD アナログ回路部がそのような状況下においても誤動作なく機能するかを調べた。

4.4.1 大信号による Anode/Dynode 信号への影響

大信号を PMT に入射させ、Anode/Dynode 信号への影響を調べるため、電流に比例した明るさの光を発する LED(Light Emitting Diode) を用いて、疑似大信号を再現した。LED からの光がシンチレーション光 100 MeV に相当するようにパルサー出力 (Rise Time:50 ns、Fall Time:500 ns) を調節し、PMT に入射させることで 100 MeV の大信号を再現した。LED の手前にはショート時の保護を目的に抵抗 (560 Ω) をはさんだ。PMT にはあらかじめ同じ大きさの 2 つのシンチレータ GSO/BGO が接着されている。

まず、PMT にかかる高圧電源を調節することで疑似大信号のエネルギーを調節し、Anode/Dynode 信号の変化を見た。LED を用いて PMT のゲインの高圧依存性を調べ、次に高圧電源 500 V で ^{60}Co(1.2 MeV) と LED とのプリアンプ波高値を比較し LED の光量を求めた。その結果、標準状態 (高圧電源:900 V) での LED 信号の PMT 出力は 100 MeV 相当であることがわかった。以上から、先に求めた PMT ゲインの高圧依存性を用いて、PMT の各高圧値での PMT 出力が何 MeV 相当かを換算した。以下に高圧電源 500 V での、LED 信号を入力したときの Dynode プリアンプ出力、Anode 出力、及び ^{60}Co での Anode 出力の波形を示す。パルサー出力は LED に入力されるパルスを表している。図 4.40 の LED による Anode 出力と図 4.41 の ^{60}Co による Anode 出力がほぼ同じであることが確認できる。

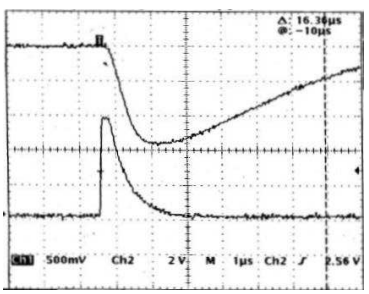


図 4.39: ダイノードプリアンプ出力 (上)。パルサー出力 (下)。

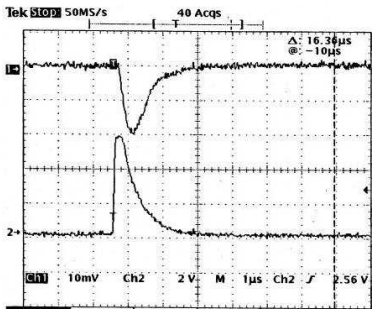


図 4.40: LED:アノード出力 (上)。パルサー出力 (下)。

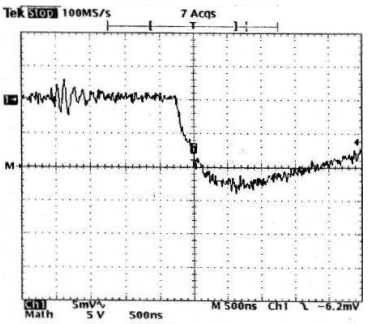


図 4.41: ^{60}Co:アノード出力。

- Anode

  HXD-S において PMT に高圧電源を供給するブリーダーには、2 本の直列に接続されたダイオードからなる回路があり、ダイオードが大信号入射時には信号をクランプさせる役割を担い、Anode 信号として出力させない仕組みとなっている。図 4.42 のように、アノードから電荷 $-Q$ が出口のコンデンサに流れると、$-Q/C$ の電位が生じる。よって、$Q/C > 0.7(V) \times 2$ となるときにクランプされ、アノードからの電荷はダイオードに流れ始め、$Q = C \times 0.7(V) \times 2$ 以上の電荷は出力されなくなる。

以上の理由で、Anode 信号は大信号入射時にはエネルギーに依存して波幅も波高とともに変化する。よって大信号入射に伴う Anode 出力の波高と波幅の変化を測定した。波幅は、波高の 1/10 の位置での Width と定義した。結果を図 4.44、図 4.45 にそれぞれ示す。また、Anode 出力の波形の変化を図 4.43 に示す。図 4.44 から、Anode 出力波高値の増加率は入力数 MeV 付近でどんどん小さくなり、クランプの効果が見えている。また、図 4.45 から、Anode 出力の幅が入力数 MeV 付近で急激に細くなっているのがわかる。ここで、Anode 出力の波高値と幅は相関しており、パルスの積分値 (電荷) は常に一定となるように変化している。例として入力 200 MeV の場合には、波高 600 mV (50 Ω うけつけ)、波幅 100 ns であるため、アノードから出力された電荷は、$600\ mV/50\ \Omega \times\ 100\ ns \times\ 1/2\ =\ 6 \times\ 10^{-10}(C)$ となる。これは、クランプされたときに出力される最大の電荷、$440(pF) \times\ 0.7(V) \times\ 2 \sim 6 \times\ 10^{-10}(C)$ と一致している。

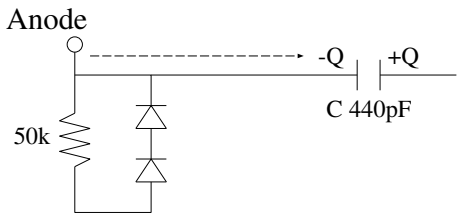


図 4.42: ブリーダー回路の Anode 出力部

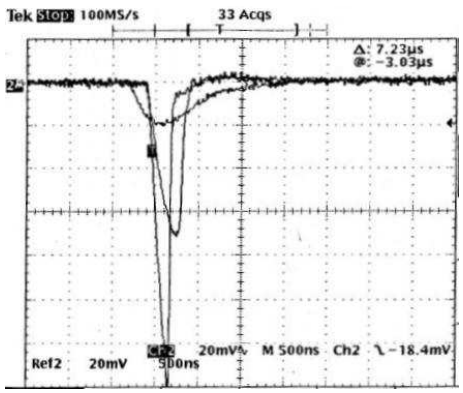


図 4.43: アノードパルスの様子。入射大信号が大きくなるにつれ、波幅が細くなり波高が高くなるのが確認できる。

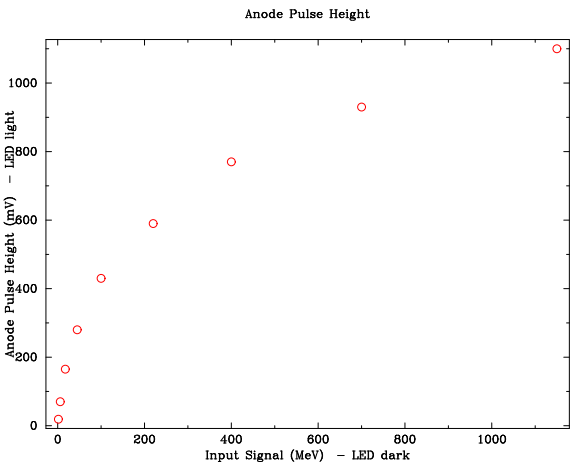


図 4.44: アノードパルスハイト

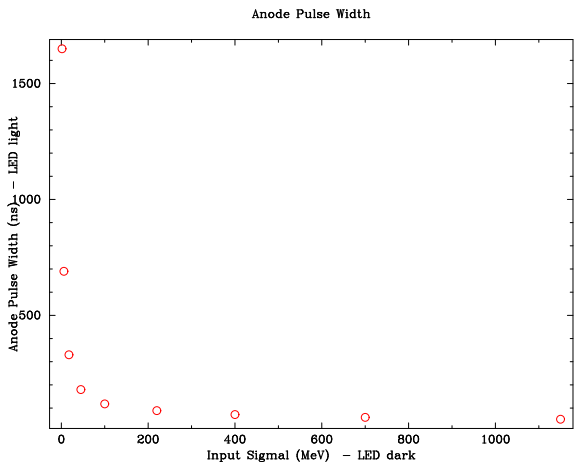


図 4.45: アノードパルス幅

- Dynode プリアンプバックシュート

  HXD-II では、通常の UD(Upper Discri) は 1 MeV 付近で出力されるため、大信号とは限らないイベントであっても UD が発生してしまう。そこで、10 MeV 以上のイベントが入射してきてはじめて出力されるような Discri、SUD を設け、これにより本当の大信号イベントを識別する。SUD は、プリアンプのバックシュートを利用し立ち上がる。そこで、プリアンプバックシュートの波高と大信号との関係を測定した。バックシュートは SUD 回路をプローブで触りながら読みとった。結果を図 4.46 に示す。また図 4.47 にバックシュートと SUD の様子を示す。プリアンプ出力が逆極性に大きくバックシュートを生じた時に、Trigger SUD が立ち上がっているのがわかる。プリアンプバックシュートが 0.5 V 、つまり大信号の入射エネルギーが 4 MeV 付近で SUD が発生する設定となっている。

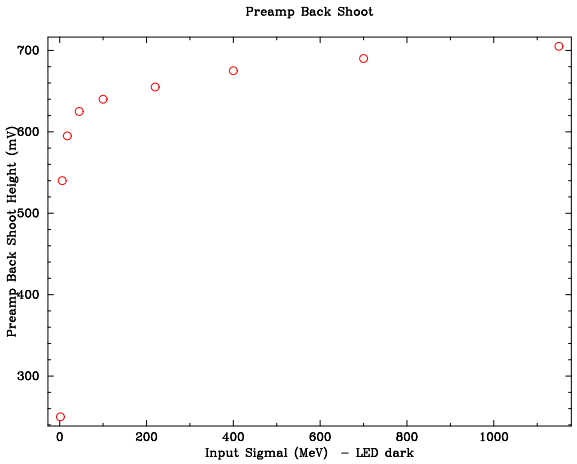


図 4.46: プリアンプバックシュート

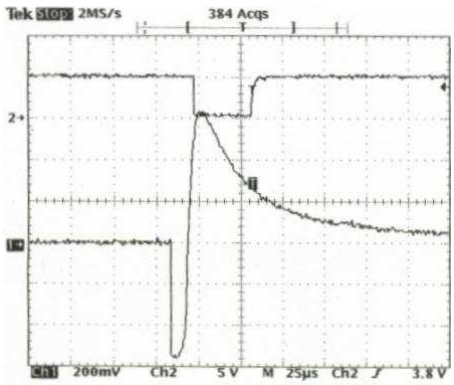


図 4.47: プリアンプ出力のバックシュート (下) と SUD 信号 (上)

4.4.2　大信号入射時のフォスイッチカウンタ処理回路部における波形

HXD-S に大信号が入射すると、Dynode Preamp 及び Anode Fast Amp において出力が飽和してしまい、回復するまでの間逆極性の方向に大きなバックシュートが生じてしまう。長いバックシュートは後続の回路に影響を及ぼし波高値の誤読を引き起こしかねない。そこで HXD-II ではバックシュートの減衰時定数をできるだけ早める工夫がなされている。ここでは、疑似的に作り出した大信号を入射し、フォスイッチカウンタ処理回路各部での波形をみることによって、回路変更後でも大信号に対して強い回路となっているかを調べた。図 4.48 にセットアップを示す。

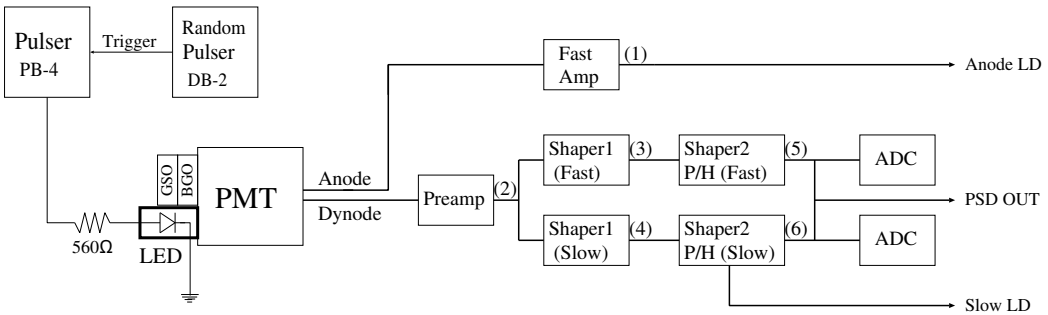


図 4.48: 大信号における波形確認のためのセットアップ

実際に大信号を LED によって入射させたときの各回路におけるバックシュート波形の様子を以下に示す。PMT の高圧電源は 900 V とした。回路のどの部分においても、100 μs 以内で波形がゼロレベルにすばやく回復しているのがわかる。

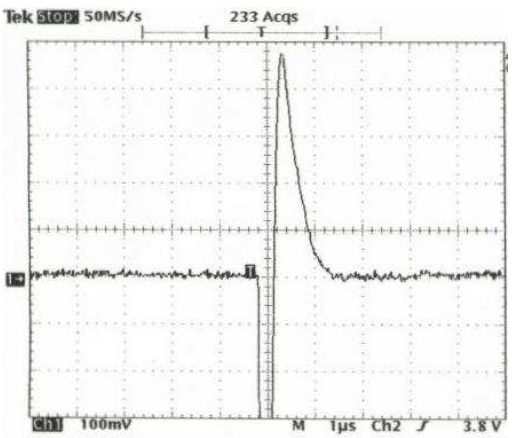


図 4.49: Fast Amp out:(1)

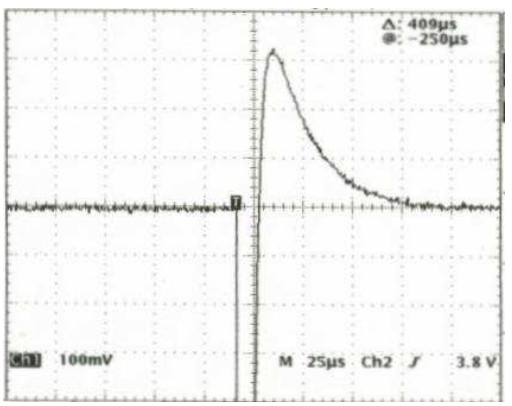


図 4.50: Preamp out:(2)

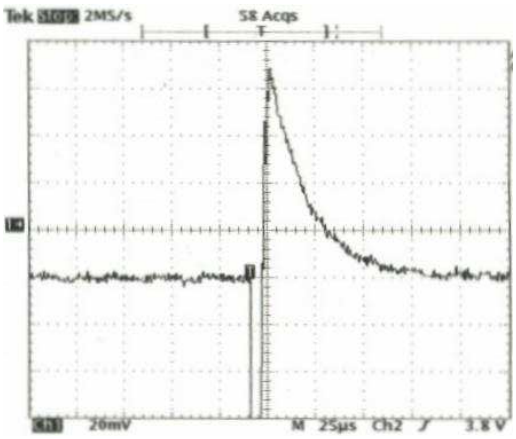


図 4.51: Shaper1(Fast) out:(3)

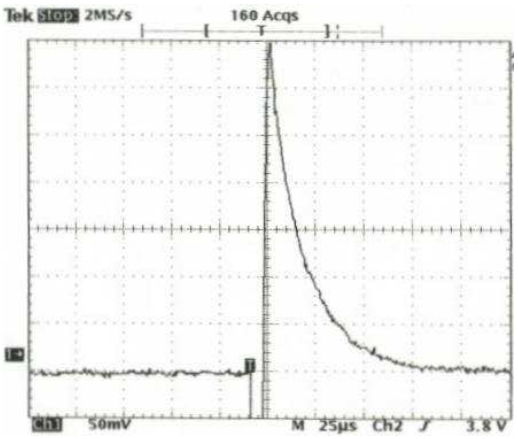


図 4.52: Shaper1(Slow) out:(4)

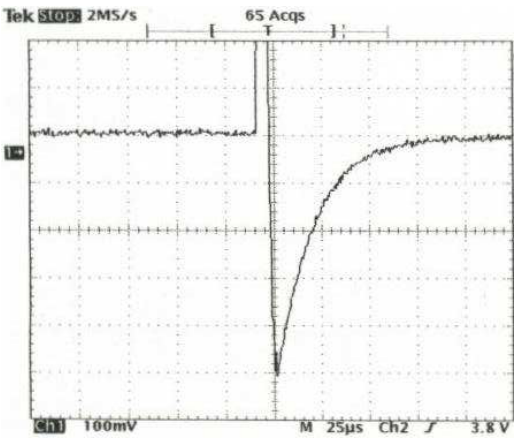


図 4.53: Shaper2(Fast out:(5))

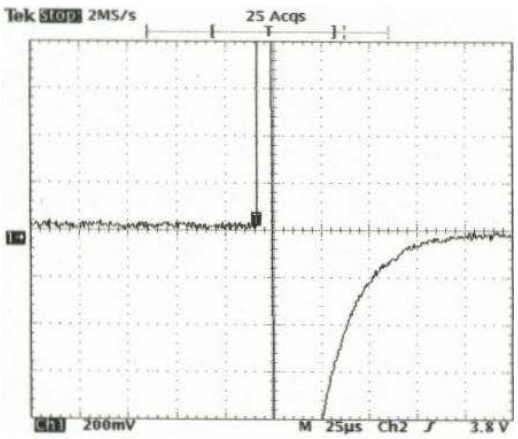


図 4.54: Shaper2(Slow) out:(6)

4.4.3　大信号入射時における波形弁別の性能評価

PMT に接着されている 2 つのシンチレータ GSO/BGO(同サイズ) に、線源 (^{22}Na、^{241}Am) からの X 線を入射させ、同時に LED による大信号を発生させることで、宇宙空間における大信号 Proton バックグラウンド環境を再現し、波形弁別が正常に機能するかを調べた。本実験では、大信号のカウントレートを、LED に入力するランダムパルスの Frequency を変えることで調整し、4 通りの周波数 (100 Hz、500 Hz、1000 Hz、5000 Hz) で大信号バックグラウンドを再現した。PMT へ送る高圧電源は 950 V とし、200 sec で測定を行った。ここで、大信号が入射したときには UD 信号が出力されるが、データ取り込みで UD 信号が出てから 80 μ s は Veto をかけた。このように、大信号波形がゼロレベルに回復するまでの間データを取得しないようにすることで、大信号の影響を取り除く。こうした条件は実際の観測にも用いられる予定である。図 4.55 に ^{22}Na、^{241}Am を当て、大信号を入射させなかったときの波形弁別とズペクトルの図を、また、図 4.56 に ^{22}Na、^{241}Am とさらに大信号 (LED) を 5000 Hz のレートで入射させたときの波形弁別とスペクトルの図を示す。GSO のみで反応したイベント (黒) と、その他のイベント (赤) に分けて表した。

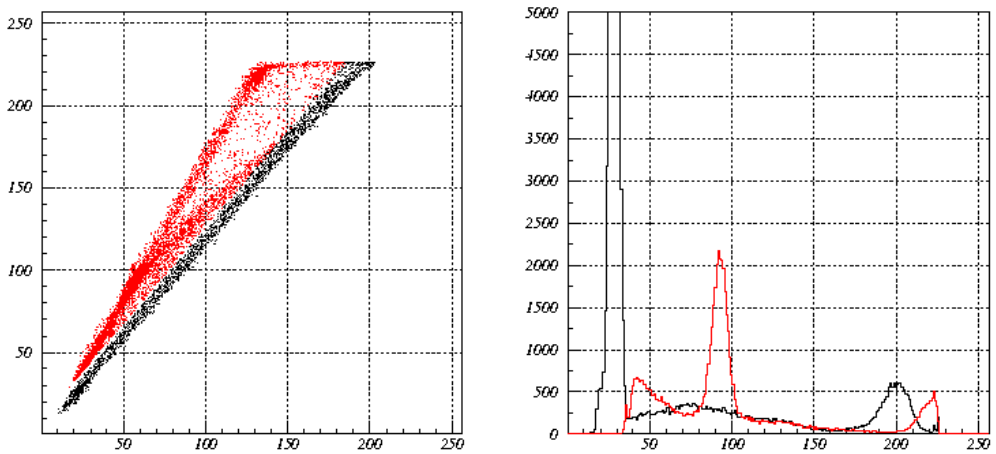


図 4.55: 左:大信号 (LED) を入射しないときの波形弁別の様子。右:y 軸方向に投影した Slow 成分によるスペクトル図。

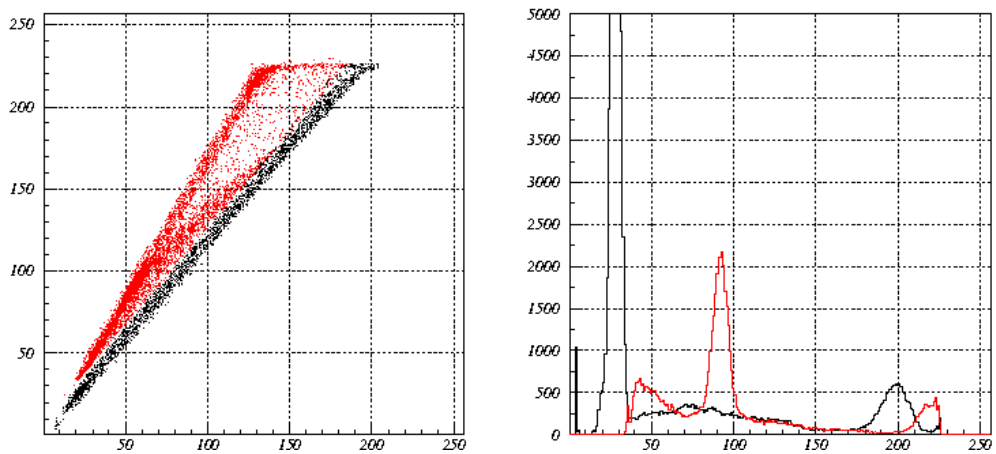


図 4.56: 大信号 (LED) を 5000Hz で入射したときの波形弁別の様子。右:y 軸方向に投影した Slow 成分によるスペクトル図。

表 4.2: ^{22}Na、大信号入射におけるピーク位置と分解能

^{22}Na(511 keV)		
LED(Hz)	Peak Channel	分解能 (%)
なし	199.8	10.0
100	199.6	9.67
500	199.3	9.67
1000	198.4	9.80
5000	197.7	9.67

表 4.3: ^{241}Am、大信号入射におけるピーク位置と分解能

^{241}Am(59.5 keV)		
LED(Hz)	Peak Channel	分解能 (%)
なし	28.70	21.6
100	28.65	21.2
500	28.63	21.4
1000	28.50	21.6
5000	28.40	21.6

大信号バックグラウンドの無い状況での波形弁別 2 次元図と、大信号を 5000 Hz で入射したときの 2 次元図を比較すると、ほぼ同じであることがわかる。つまり、数 100 MeV にもおよぶ大信号が非常に高レートで入射してくる環境下においても、波形弁別を正しく行うことが可能であることがわかった。対象イベントを検出する GSO におけるスペクトル (黒) から、^{22}Na の 511 keV と ^{241}Am の 59.5 keV によるピークが見られる。それぞれの周波数での各ピークの位置と分解能を導き出した結果を表 4.2、表 4.3 に示す。各レートの大信号入射におけるピークのパラメータを比較すると、ピークの位置がレートが高まるに従いわずかに低エネルギー側にシフトしているが、分解能は全く影響を受けていないことがわかる。実際には、上空で Well 検出器 1 ユニットあたり ~ 200 c/s のプロトンが入射すると予想されているので、この回路は大信号に十分耐えうることになる。以上から、大信号バックグラウンド状況下において処理回路が誤動作することなく正常に機能することが確認できた。

第5章　まとめ

Astro-E 衛星の打ち上げ失敗から HXD-II プロジェクトが発足し、HXD-I をもとに HXD のさらなる性能向上を目指して開発が行われている中、本研究ではアナログ回路部の特性試験と、バックグラウンド除去機能の性能評価を行った。Well 検出器処理回路の特性試験では、各回路がリニアリティを保証し、ダイナミックレンジ、ゲイン幅も改良後の目標値に達しているのが確認できた。また、実際の Well 検出器を再現するために、GSO/BGO シンチレータとシリコン PIN 検出器を用いて疑似 Well 検出器を作成し、それを用いてバックグラウンド除去機能の性能評価を行った。波形弁別試験では、問題なく GSO/BGO 成分による 2 次元図が現れ、GSO 成分のみに選別することができた。また、TTL-ECL 変換回路における FET 素子変換に伴う波形の遅れの問題は、回路パラメータを変更することで解決した。Anti Coincidence 試験では、PIN 検出器処理回路の低ノイズ化による Trigger 信号のタイミングの変更に伴い、Hit Pattern に用いるパラメータの最適化を行った上で除去試験を行った。実際に疑似 Well 検出器を用いた結果から、多くのコンプトン散乱成分が除去できることがわかり、本研究で見積もった Hit Pattern パラメータの有用性が確認された。Width の低減によるデッドタイムの減少が期待できるため、非常に重要な成果といえる。大信号試験では、LED によって再現された大信号を入射させることで、大信号入射時において回路の動作異常が起こらないかを試験し、問題なく動作することが確認された。また、大信号入射時の波形弁別を試験し、バックグラウンド除去機能やエネルギー分解能が劣化していないことがわかった。HXD-II におけるバックグラウンド除去機能の中には、今回扱っていないアナログ回路部でのダブルパルス問題があり、今後の研究の課題となる。HXD-II のさらなる性能向上に向け、今後もよりいっそう研究を進めていく必要がある。

謝辞

本論文を執筆するにあたり、御指導頂きました大杉節先生、深沢泰司先生に深く感謝致します。また、HXD に関する研究において多大なアドバイスを頂いた川添哲志さん、大野雅功さんに心よりお礼申し上げます。また、結晶製作の際に協力して頂いた川埜直美さん、富永慎弥さんに心より感謝致します。また、宇野進吾さんをはじめとして、様々な面で助言をして頂いた研究室の先輩方、大変お世話になりました。また、事務に関していろいろとお世話をして頂いた上原綾乃さんに感謝致します。

参考文献

[1] 宇宙科学研究所 SES データセンター
' 科学衛星 Astro-E 実験計画書 硬 X 線検出器 HXD'

[2] Gerge B.Rybicki , Alan P.Lightman
'Radiative Processes in Astrophysics'

[3] GLEEN F.KNOLL 木村逸郎 , 坂井英次 訳
' 放射線計測ハンドブック 第二版' (日刊工業新聞社)

[4] 川添哲志 2000 年度 広島大学 卒業論文
' 宇宙硬 X 線観測用シンチレーション検出器の低バックグラウンド化の研究'

[5] 大野雅功 2001 年度 広島大学 卒業論文
'Astro-E2 衛星搭載 HXD 検出器におけるガンマ線バースト検出装置の観測エネルギー領域拡大に向けた研究'