

位置検出型シンチレーション検出器  
多チャンネル読み出しVLSIの開発

木原 邦夫

M032067

広島大学大学院 理学研究科 物理科学専攻  
高エネルギー宇宙・素粒子実験研究室

2005年2月10日

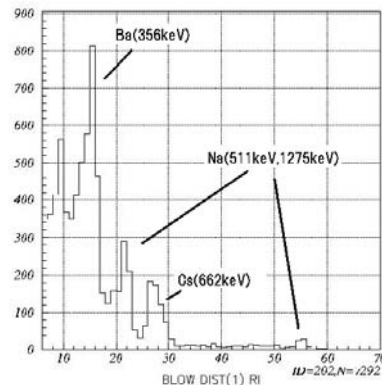
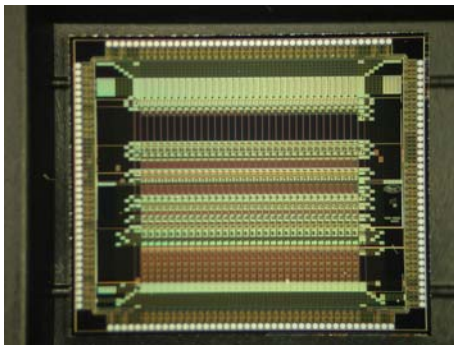
## 概要

天体现象の解明において、X線・ガンマ線領域での天文観測は非常に重要な手段の一つである。1960年代以降、X線・ガンマ線の観測衛星が数多く打ち上げられ、宇宙のいたるところでX線・ガンマ線の放射を伴う高エネルギー現象が起こっている事が分かった。しかし、数100keV～数MeVのエネルギー領域ではコンプトン散乱が支配的である為、光子のエネルギーや到来方向を精度良く測定することが難しい。この領域を精度良く観測する検出器としてコンプトンカメラが考えられている。コンプトンカメラ等の検出器ではコンパクト化・多チャンネル化が進んでいる。そのため、検出器からの信号を高速かつ低雑音で処理する多チャンネルで小型の読み出しシステムのニーズが高まっている。近年、これらの要求を満たすシステムとしてアナログVLSIの開発が行われている。

我々のグループでは、高エネルギー光子に対して高い阻止能を持つシンチレータであるGSO・BGOと、近年メタルパッケージ化により小型化が進んで来た位置検出型光電子増倍管(PMT)を組み合わせたシンチレーション検出器の開発を行っている。一方、シンチレーション検出器を応用したガンマ線コンプトンカメラの開発も行っている。

64chPMTからの信号を読み出す為、宇宙研・KEKの協力を得て、アナログVLSI(K02-32SA)の開発を行った。K02-32SAを設計した後、SPICEソフトウェアであるTanner社のT-SPICEを用いて回路シミュレーションを行った。回路シミュレーターにはメーカーから提供されたパラメータが使用されており、より精度の高いシミュレーションを行うことができた。また、シミュレーションの結果を設計にフィードバックすることにより改良を加えて設計を行った。製造されたチップの性能評価を行った結果、アナログ回路の正常な動作が確認でき、高速読み出しの正常な動作も確認できた。そして、検出器(PMT)と組み合わせた動作試験においてもエネルギースペクトルを取得することができ(下図)、問題ない性能を示すことが分かった。

また、コンプトンカメラとしての性能向上させる為に、浜松ホトニクス社製の位置検出型PMTであるH7546(64chPMT)と高阻止能シンチレータであるGSOを組み合わせたシンチレーション検出器のエネルギー分解能の検証を行い、エネルギー分解能を制限している原因を追求した。



本研究で製作したVLSI(左図)とそのLSIを用い取得したシンチレータのエネルギースペクトル(右図)。

# 目次

第1章	序論	7
第2章	ガンマ線用位置検出型シンチレーション検出器	9
2.1	シンチレーション検出器	9
2.1.1	シンチレータ	9
2.1.2	光電子増倍管 (PMT:Photomultiplier Tube)	10
2.1.3	フォトダイオード (PD:photodiode)	12
2.1.4	位置検出型シンチレーション検出器	13
2.2	ガンマ線イメージャー	14
2.2.1	コンプトンカメラ	15
2.2.2	位置検出型シンチレーション検出器の意義	16
2.3	PDarray と 64chPMT によるガンマ線イメージング	16
2.3.1	ガンマ線イメージング	16
第3章	シンチレーション検出器のエネルギー分解能の検証	18
3.1	セットアップ	18
3.1.1	PCI-6071E	18
3.1.2	LabView ソフトウェア	18
3.1.3	64chPMT の読み出し	19
3.2	シンチレータのサイズに対する依存性	19
3.3	温度による依存性	21
3.4	ピークホールド回路を用いた測定	21
3.5	LED 光スポット照射	22
3.6	まとめ	23
第4章	1次元アナログ VLSI(K02-32SA) の設計	24
4.1	VLSI 開発の意義	24
4.2	アナログ VLSI	24
4.2.1	CMOS プロセス	24
4.2.2	VLSI 製作の流れ	25
4.3	1次元アナログ VLSI(K01)	27
4.3.1	チップの概要	27
4.3.2	性能評価	28
4.4	K02 チップ	28
4.4.1	使用した VLSI チップ	29
4.4.2	K02-32SA チップの概要	30
4.4.3	K02-32SA の回路ブロック構成	32
4.5	SPICE ソフトウェアを用いた回路シミュレーション	41

4.5.1	ゲイン調整	41
4.5.2	温度変化による評価	43
4.5.3	ノイズレベルの評価	43
4.5.4	リニアリティ	44
4.5.5	アナログ回路の動作	46
<b>第 5 章</b>	<b>1 次元アナログ VLSI の開発及び評価</b>	<b>48</b>
5.1	K02-32SA チップの開発	48
5.2	1 次元 VLSI 評価ボード	49
5.3	読み出し系のセットアップ	49
5.3.1	PCI-6024E	49
5.3.2	セットアップ	52
5.4	アナログ処理回路の性能評価	54
5.4.1	極性切替え回路のモニター出力 (MON1)	54
5.4.2	波形整形回路のモニター出力 (MON2)	54
5.4.3	可変利得増幅回路のモニター出力 (MON3)	55
5.4.4	可変利得増幅回路までのリニアリティ - 測定	56
5.4.5	K02-32SA チップからの出力波形 (AOUT)	56
5.4.6	LabVIEW を用いて得られたスペクトル	57
5.5	32 チャンネルの動作確認	57
5.6	まとめ	60
<b>第 6 章</b>	<b>8chPMT+アナログ VLSI</b>	<b>61</b>
6.1	8chPMT	61
6.2	セットアップ	63
6.3	$\alpha$ 線を用いた位置分解能の測定	63
6.4	$\gamma$ 線を用いたエネルギー分解能の測定	65
6.5	まとめ	65
<b>第 7 章</b>	<b>まとめ</b>	<b>66</b>
<b>付 録 A</b>	<b>K02-32SA チップの入出力信号の名称と機能</b>	<b>67</b>
A.1	電源・グランド端子	67
A.2	アナログ関係信号端子	67
A.3	デジタル関係信号端子	67
<b>付 録 B</b>	<b>K02-32SA 全チャンネルのリニアリティ</b>	<b>69</b>

# 目 次

1.1	様々な観測衛星の感度の比較。横軸は X 線、ガンマ線のエネルギー、縦軸は感度を示す。	8
2.1	一般的な PMT の構造	11
2.2	PIN 半導体の仕組み	12
2.3	フォトダイオードの検出原理	12
2.4	3×3 の計 9ch の PD からなる PDarray	13
2.5	位置検出型シンチレーション検出器の概略図	13
2.6	メタルチャンネルダイノード型 PMT の構造	14
2.7	64chPMT の構造 (単位: mm)	14
2.8	64chPMT のアノード構造	15
2.9	コンプトンカメラの概念図	15
2.10	コリメータ通過後のガンマ線の経路	17
3.1	64chPMT の読み出し系セットアップ	19
3.2	GSO(24mm×24mm×5mm) を用いて測定したエネルギースペクトル	20
3.3	GSO(18mm×18mm×5mm) を用いて測定したエネルギースペクトル	20
3.4	GSO(10mm×10mm×10mm) を用いて測定したエネルギースペクトル	20
3.5	-20°C における GSO(10mm×10mm×10mm) のエネルギースペクトル	21
3.6	PH 回路の回路図	22
3.7	PH 回路を使用した時の GSO(10mm×10mm×10mm) エネルギースペクトル	22
3.8	LED 照射実験のセットアップ	23
3.9	64chPMT の光電面の分割位置の対応	23
3.10	分割数と ADC チャンネルの関係	23
3.11	分割数と分解能の関係	23
4.1	PMOS デバイス構造	25
4.2	VLSI 設計・製作の流れ	26
4.3	K01 チップの 1 チャンネル当りの回路図	28
4.4	K02-32SA 開発のタイムテーブル	29
4.5	チップの構成図	29
4.6	K02-32SA チップの回路ブロック図	32
4.7	極性切替え回路	33
4.8	差動増幅部	34
4.9	初段積分回路 + PZC 回路 + 2 段目積分回路	35
4.10	高抵抗回路	36
4.11	可変利得増幅部	37
4.12	ピークホールド回路	38
4.13	コンパレータ回路	39

4.15	タイミングチャート	40
4.16	ゲイン最大波形 (青) と最小波形 (赤)	42
4.17	ノイズ	44
4.18	入力極性:負、ゲイン:最大のリニアリティ	44
4.19	入力極性:正、ゲイン:最大のリニアリティ	44
4.20	入力極性:負、ゲイン:最小のリニアリティ	45
4.21	入力極性:正、ゲイン:最小のリニアリティ	45
4.22	アナログ回路の動作波形 1(橙色:入力信号、桃色:MON1、緑:MON2、青: MON3、赤:P/H出力)	46
4.23	アナログ回路の動作波形 2(下から、橙色:入力信号、桃色:MON1、緑: MON2、青:MON3、赤:P/H出力)	47
5.1	K02-32SA ベアチップの写真 (大きさ:5mm×5mm)	48
5.2	K02-32SA 評価基板の写真	49
5.3	PCI-6024E ブロックダイアグラム (マニュアルより抜粋)	50
5.4	PCI-6024E コネクタピンリスト (マニュアルより抜粋)	51
5.5	K02-32SA セットアップ	52
5.6	シフトレジスタの書き込み信号 (1チャンネルあたり)	53
5.7	シフトレジスタの書き込みのタイミングチャート	53
5.8	正極性入力時の極性切替え回路後の波形	54
5.9	負極性入力時の極性切替え回路後の波形	54
5.10	波形整形回路の出力波形	55
5.11	高抵抗回路の電流にて時定数を調整した時の波形整形回路後の出力波形	55
5.12	可変利得増幅回路の出力波形	55
5.13	ゲインを2倍にした時の可変利得増幅回路後の出力波形	55
5.14	可変利得増幅部までのリニアリティ	56
5.15	K02-32SA チップからの出力	56
5.16	LabVIEW を用いて得られたスペクトル (TP=50mV,80mV,100mV)	57
5.17	CH2 のリニアリティ(入力極性:正)	58
5.18	CH9 のリニアリティ(入力極性:正)	58
5.19	CH2 のリニアリティ(入力極性:負)	58
5.20	CH9 のリニアリティ(入力極性:負)	58
5.21	CH23 のリニアリティ(入力極性:正)	59
5.22	CH25 のリニアリティ(入力極性:正)	59
5.23	入力電圧 50mV に対する各 CH の出力電圧のばらつき	60
6.1	構成したシンチレーション検出器の写真	61
6.2	8chPMT の構造及びクローズプレートアノード構造 (単位:mm)	62
6.3	8chPMT に用いたプリアンプ (アノード)	62
6.4	GSO+8chPMT シンチレーション検出器の読み出しセットアップ	63
6.5	$\alpha$ 線のコリメート	63
6.6	Anode(8ch) の出力波形	64
6.7	Dynode の出力波形	64
6.8	検出位置の2次元分布	64
6.9	中央で位置検出した場合の1次元分布 (上:X方向、下:Y方向)	64

6.10	位置補正前の $^{137}\text{Cs}$ のスペクトル(ダイノード)	65
6.11	位置補正後の $^{137}\text{Cs}$ のスペクトル(ダイノード)	65
B.1	CH1 ~ CH32 のリニアリティ(入力極性:正)	69
B.33	CH1 ~ CH32 のリニアリティ(入力極性:負)	70

# 第1章 序論

天文学の研究対象は長い間、可視光で見える天体に限られてきた。しかし、20世紀半ば、レーダー技術の発展を背景に電波天文学が誕生し、宇宙背景放射やクエーサーが発見された。さらに、人工衛星によって地上では観測が難しいX線や赤外線を宇宙空間で観測できるようになり、これらの目に見えない波長領域で輝く星や銀河が続々と見つかった。こうした中、1967年核実験を監視する米国の軍事衛星が、宇宙で起こるガンマ線の爆発現象「ガンマ線バースト」をとらえた。これがガンマ線天文学の始まりである。X線と同様、ガンマ線は大気で遮られるため、天文衛星を使う観測が中心となった。しかしそれでも検出は難しく、最初のうちは20個程度のガンマ線天体しかみつからなかった。

現在、米日伊仏瑞共同で開発されている次世代ガンマ線天文衛星であるGLAST(Gamma-ray Large Area Space Telescope)が、2007年に打ち上げが予定されている。GLASTは電子陽電子対生成型ガンマ線検出器を搭載しており、20MeV～300GeVのエネルギー範囲を持っている。また、日本でもX線天文衛星であるAstro-E2が2005年打ち上げ予定である。Astro-E2の中には、HXD2検出器が搭載されており、その中のアンチ検出器では、ガンマ線バーストやトランジェント天体の観測を目的としている。GLASTでは20MeV～300GeV、HXD2で数10keV～700MeVのエネルギー領域をカバーすることになる。これにより、観測される高エネルギー天体の数が飛躍的に増えると考えられる。

図1.1に主なX線ガンマ線観測衛星の感度を示す。この図から、数10keV～数10MeVのエネルギー領域に大きなSensitivity Gapがあることが分かる。この領域では、コンプトン散乱が支配的であり、光子のエネルギーや到来方向を高精度で測定することが難しいため、性能の良い検出器が開発されてこなかった。1991年にCGRO(Compton Gamma-Ray Observatory)に搭載されたCOMPTEL衛星(米国)が活動をはじめてから状況が大きく変わった。この衛星は、このエネルギー領域でコンプトン散乱の運動学を利用した最初の検出器であり、最初の散乱を位置検出型のシンチレータで測定し、次の光電吸収を2つ目のシンチレータで測定する。この方法により、COMPTEL衛星は様々な新しい情報をもたらした。しかし、この衛星は検出効率が低く、エネルギー、位置決定精度が悪かったため角度分解能も十分ではなく感度が低かった。これを改善するために、シリコンストリップなどを用いたガンマ線コンプトンカメラの開発が各国で行われている。

日本でも、次期X線天文衛星であるNeXT(New X-ray Telescope)衛星搭載を目的としたコンプトンカメラの開発が盛んに行われている。

また、コンプトンカメラ等の検出器では多チャンネル化、コンパクト化が進んでいる。そのため、多チャンネルの信号を高速かつ低雑音で処理する読み出しシステムのニーズが高まっている。近年、これらの要求を満たすシステムとしてアナログVLSIの開発が行われている。これらのVLSIは、他の宇宙観測、医療、産業等の幅広い分野での利用も可能である。



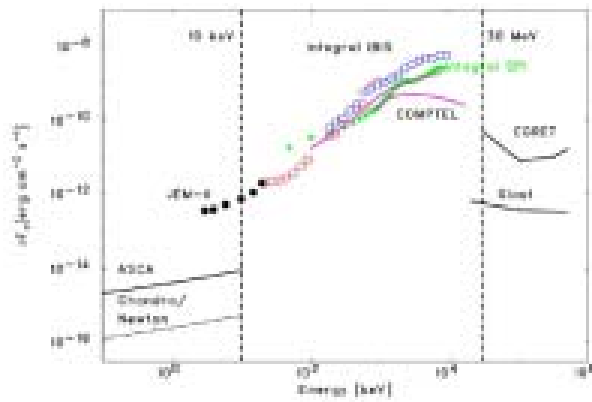


図 1.1: 様々な観測衛星の感度の比較。横軸は X 線、ガンマ線のエネルギー、縦軸は感度を示す。

# 第2章 ガンマ線用位置検出型シンチレーション検出器

## 2.1 シンチレーション検出器

シンチレーション検出器とは、ガンマ線と相互作用を起こすシンチレーターと、それを検出する検出部から構成される。シンチレーターでは、その入射ガンマ線のエネルギーに比例した数の特定波長の光子を放射する。そして、検出部では光を電気信号に変換し検出する。また、変換される電子数は入力される光子の量に比例する。したがって、入射したガンマ線のエネルギーに比例した電気信号を得ることができる。検出部には光電子増倍管(PMT:Photomultiplier Tube) やフォトダイオード(PD) が用いられる。

### 2.1.1 シンチレーター

シンチレーターとは、ガンマ線が入射した時に相互作用を起こし蛍光を発する物質のことで、この発光現象をシンチレーション、光のことをシンチレーション光と呼ぶ。シンチレーション光の光子数は入射したガンマ線のエネルギーに比例している。ガンマ線の場合、シンチレーターとの以下の相互作用により生じた電子がシンチレーター内の束縛電子を励起することによってシンチレーション光が発生する。

#### ガンマ線と物質との相互作用

##### 1. 光電吸収

光電吸収は、低エネルギーのガンマ線(200keV以下)において支配的な相互作用である。このエネルギー領域では、入射したガンマ線は物質中の軌道電子と相互作用を起こす。入射ガンマ線エネルギーが物質のK殻軌道電子の結合エネルギーより十分大きい場合、K殻軌道電子と相互作用する。この相互作用により入射ガンマ線は完全に吸収される。この相互作用によって生じる光電子は次のようなエネルギー  $E_{e^-}$  を持っている。

$$E_{e^-} = h\nu - E_b \quad (2.1)$$

ここで、 $E_b$  は光電子が相互作用の前に存在した殻軌道の結合エネルギーである。相互作用によって殻軌道上に空孔ができると、原子内の電子の再配列や自由電子の捕獲などが起こり、直ちに空孔は電子で満たされる。また、これにより特性X線が生成される。この特性X線は、近くの電子と再び光電吸収を起こして吸収される。しかし、光電吸収が物質表面で起こった場合、外部に洩れることがある。この場合、検出器にも影響があるので注意しなければならない。光電吸収による全エネルギー吸収事象は、ガンマ線エネルギーの正確な情報を持つ線スペクトルを形成するため、もっとも重要な相互作用である。

コンプトン散乱は、ガンマ線のエネルギーが 100keV ~ 数 MeV の時に支配的な相互作用である。入射ガンマ線の光子と吸収物質中の電子との衝突によって起こる反応である。始め吸収物質中の電子は静止していると仮定すると、入射ガンマ線の光子は入射時の方向から角度  $\theta$  の方向に散乱し、静止している電子は入射ガンマ線の光子のエネルギーの一部を貰い反跳する。入射ガンマ線の光子のエネルギーを  $h\nu$  とし、電子の静止質量を  $m_e$  とすると、散乱後の光子のエネルギー  $h\nu'$  は、

$$h\nu' = \frac{h\nu}{1 + \frac{h\nu}{m_e c^2}(1 - \cos \theta)} \quad (2.2)$$

で表される。実際の物質における散乱では束縛電子の持つ運動量のため、 $\theta$  一定でも  $h\nu'$  の周りで広がったエネルギー分布となる。

### 3. 電子対生成

電子対生成は、ガンマ線のエネルギーが数 MeV 以上の時に支配的である。入射ガンマ線のエネルギーが  $2m_e c^2(1.02\text{MeV})$  を越えたとき、ガンマ線が原子核のクーロン場との相互作用で電子陽電子対を生成し、ガンマ線は消失する。電子対生成の確率は、吸収物質の原子番号の 2 乗に比例する。

一般的なシンチレーターには、NaI、CsI、BGO、GSO、などの無機シンチレーター、プラスチックシンチレーターなどの有機シンチレーター、液体シンチレーター等がある。本研究で用いたシンチレーターは、GSO(ガドリニウム・シリケート結晶)を使用した。GSO は、ガンマ線に対して高い阻止能を持っていて、BGO より蛍光時間が短く、蛍光出力が NaI の 20% と大きいという特徴を持っている。一般的な無機シンチレーターの特徴を表 2.1 に示す。

表 2.1: 一般的な無機シンチレータとその特徴

	NaI	CsI	BGO	GSO	YAP
蛍光時間 (ns)	230	1000	300	60	30
密度 ( $g \cdot \text{cm}^{-3}$ )	3.67	4.51	7.13	6.71	5.52
蛍光出力 (NaI を 100 とする)	100	47	12	20	40
発光ピーク波長 (mm)	410	565	430	480	347
組成式	NaI	CsI	$\text{Bi}_4\text{Ge}_3\text{O}_{12}$	$\text{Gd}_2\text{SiO}_4$	$\text{YAlO}_3$
ガンマ線 100keV での平均自由行程 (cm)	0.226	0.147	0.045	0.084	0.687

#### 2.1.2 光電子増倍管 (PMT:Photomultiplier Tube)

光電子増倍管 (PMT) とは、極めて微弱な光を検出及び増幅して電気信号に変換する光検出器である。PMT の一般的な構造を図 2.1 に示す。図のように、PMT は光を電子に変換する光電陰極 (光電面)、集束電極、電子増倍部、電子を集める陽極 (アノード) を真空の容器に収めたものである。

光が光電面に入射すると、光電効果により光電面から真空中に光電子が放出される。放出された光電子は集束電極によって輸送収集されダイノードに向かって加速される。加速された電子は次のダイノードと衝突することによって電子の数が増幅される。そうして何度か増幅された電子がアノードに収集され、電気信号として出力される。電子増倍部における増幅率は  $10^6 \sim 10^8$  であり、典型的なシンチレーションパルスは  $10^7 \sim 10^{10}$  個の電子となる。

PMT による電荷増幅は非常に比例性よく行なわれるので、極めて広い範囲にわたり最初の光電子の数に対する比例性を保った出力を出すといった利点がある。また、ノイズに埋もれることなく微弱な信号を検出でき、最初の光パルスの時間的情報も多く残されているので多くの情報を得ることができるという特徴を持っている。

しかし、光電面に入射した光子全てが光電子として放出されるわけではなく、実際に光電面から放出される光電子は、入射光子の 10 ~ 20% にすぎない。この入射光子に対する放出される光電子の数の割合を量子効率 (quantum efficiency :  $QE$ ) という。

$$QE = \frac{\text{発生する光電子の数}}{\text{入射した光子の数}} \quad (2.3)$$

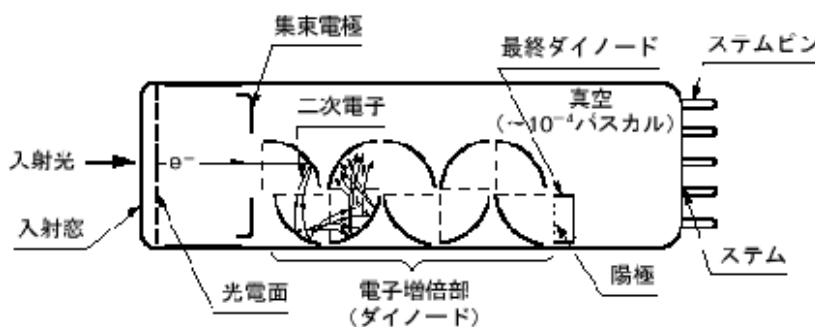


図 2.1: 一般的な PMT の構造

フォトダイオードはPIN型半導体検出器のことであり、エネルギー分解能がよくて、消費電力も少ない、そして大きさが小さくさらに頑丈であるという特徴を持つ。PIN型半導体とは図2.2にあるような構成をした半導体である。図2.2にあるように、p型半導体とn型半導体を接合(PN接合)して、p層に負、n層に正の電圧を掛けると電子と正孔は互いにはなれる方向に移動するために接合面にはキャリアが存在しなくなる。このキャリアが存在しない空間を空乏層という。また、空乏層は絶縁層なので電流はほとんど流れない。

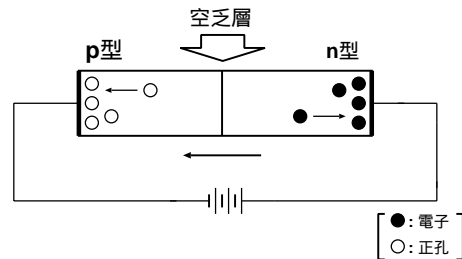


図 2.2: PIN 半導体の仕組み

今、図 2.3 にあるように検出器の中に X 線が入射すると、光電効果で生じた光電子やコンプトン散乱されたコンプトン電子が空乏層中を走ることにより、多数の電子と正孔を生成する。この電荷は空乏層に生じた電場によって p 層に正孔が、n 層に電子が移動するため電極より電荷信号として読み取ることができる。

フォトダイオードでは電流パルスの大きさは、失われた放射線のエネルギーに比例することから、出力パルスの電荷量より入射放射線のエネルギー  $E$  がわかる。

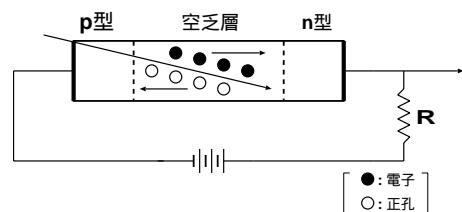


図 2.3: フォトダイオードの検出原理

PDで位置検出能力を持っているものにPDarrayがある。PDarrayは、PDが $3 \times 3$ の計9つのアレイ状に並べられた位置検出型の光検出器である。PDarrayは図2.4に示す。

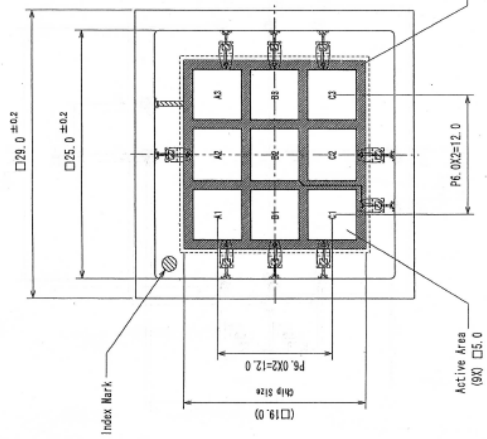


図 2.4: 3×3 の計 9ch の PD からなる PDarray

### 2.1.4 位置検出型シンチレーション検出器

位置検出型シンチレーション検出器とは、大きいシンチレーターに複数の PMT を設置することで構成された検出器である。(図 2.5) このような位置検出型シンチレーション検出器は、核医学等の分野ではすでに実用化されている。しかし、天体観測のガンマ線検出器用としてはまだまだ実用化がなされていない。

従来はガラス管構造(図 2.1)のものが主流であったが、近年では電子軌道シミュレーションと微細加工技術によって、極薄型の電極を形成し高精度で積層させ、ダイノード間を狭くしたメタルチャンネルダイノードを用いたメタルパッケージ化が進み、よりコンパクトなものが使われるようになってきた。これにより、1つの PMT で従来の PMT を複数個並べた構造が可能になった。

位置検出型 PMT は、複数のアノードを持っており、電子増幅部におけるダイノード構造を持っているという特徴を持っている。本研究においても位置検出に適したメタルチャンネル型 PMT(図 2.6)を用いている。メタルチャンネルダイノード型 PMT は、アノードが 8×8 の計 64 個がマトリックス状に並んだマルチアノード型の光電子増倍管である。

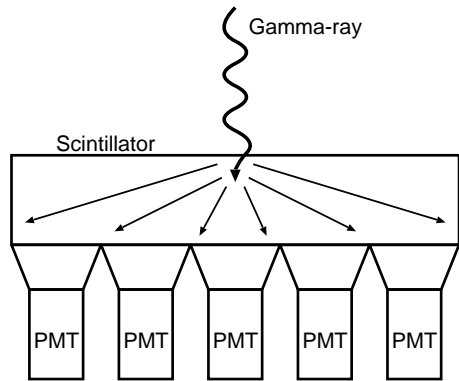


図 2.5: 位置検出型シンチレーション検出器の概略図

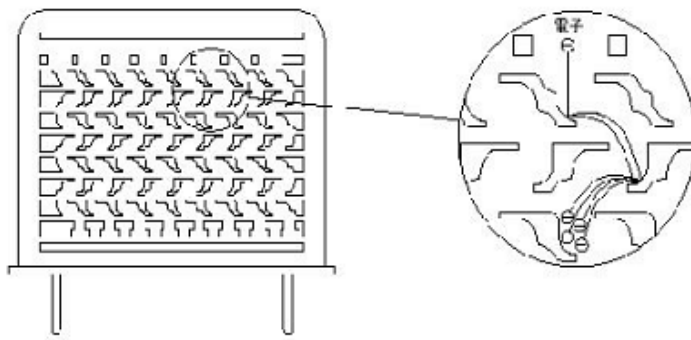


図 2.6: メタルチャンネルダイノード型 PMT の構造

### 浜松ホトニクス社製 H7546(64chPMT)

本研究で用いている位置検出型 PMT は、浜松ホトニクス社製の H7546 である（以下 64chPMT と呼ぶ）。64chPMT の構造を図 2.7 に示す。この 64chPMT は、メタルチャンネルダイノード型の PMT で、信号出力電極であるアノードが、図 2.8 のように 8×8 の計 64 個がピクセル状に並んでいるのが特徴である。

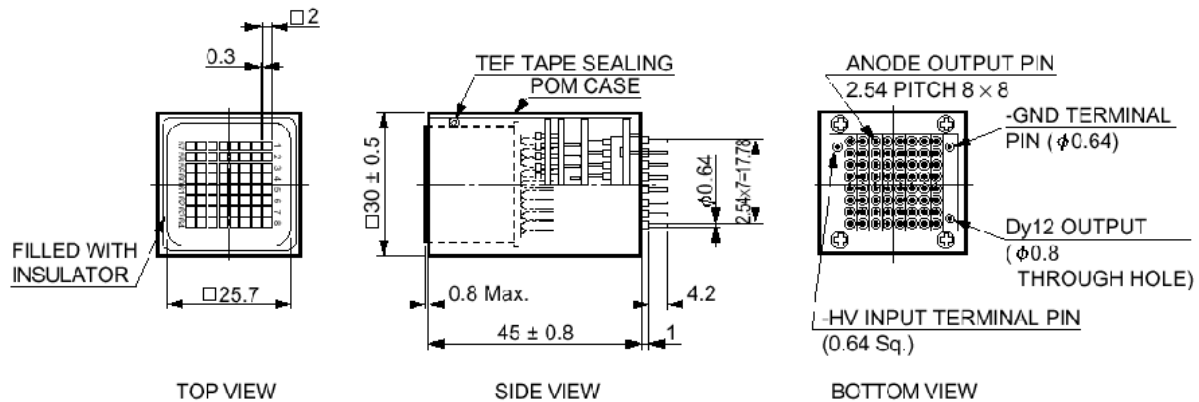


図 2.7: 64chPMT の構造（単位：mm）

図からわかるように、64chPMT は非常にコンパクトであり、メタルチャンネルダイノードの構造をとることで高速応答を実現している。64chPMT について詳しくは富永修論 (2004 広島大学) 参照。

## 2.2 ガンマ線イメージャー

X 線領域では、極めて感度の高く、遠方の暗い天体の観測が可能になっている。しかし、ガンマ線領域では集光が難しいためこのような感度は得られていない。特に、図 1.1 から分かる様に数 10keV ~ 数 MeV のコンプトン散乱が支配的なエネルギー領域では難しい。そこで、この領域で支配的なコンプトン散乱を利用した、検出器の開発が盛んに行われている。このコンプトン散乱の運動学を利用したガンマ線検出器であるコンプトンカメラは撮像 (イメージング) も可能となっている。

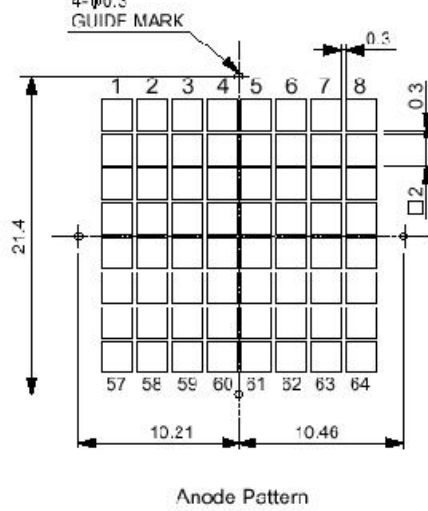


図 2.8: 64chPMT のアノード構造

## 2.2.1 コンプトンカメラ

コンプトンカメラとは、コンプトン散乱の運動学を利用することで、入射ガンマ線のエネルギーだけでなく、ガンマ線の到来方向も決定することができる検出器である。図 2.9 にコンプトンカメラの原理を示す。

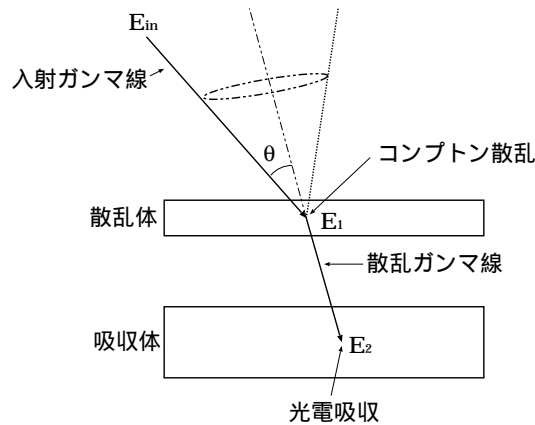


図 2.9: コンプトンカメラの概念図

図 2.9 のように 2 層（またはそれ以上）の位置検出型のガンマ線検出器があり、入射ガンマ線が 1 層目（散乱体）でコンプトン散乱を起こし、2 層目（吸収体）で光電吸収されたとする。入射ガンマ線のエネルギーを  $E_{in}$ 、散乱体におけるコンプトン散乱によるエネルギー損失を  $E_1$ 、吸収体における光電吸収されたエネルギーを  $E_2$  とすると、コンプトン散乱の運動学より、図中の  $\theta$  が式 (2.2.1) から、

$$\cos \theta = 1 + \frac{m_e c^2}{E_1 + E_2} - \frac{m_e c^2}{E_2} \quad (2.4)$$

と表される。ここで、 $E_{in} = E_1 + E_2$  である。これにより、入射ガンマ線光子の到来方向を頂角  $\theta$  を持つ円錐面上に制限することができる。これを複数のイベントにおいて行い、その円錐を重ね合わせることで、入射方向を決定することができる。図 2.9 と式 2.4 が



エネルギー分解能によって決まる。

## 2.2.2 位置検出型シンチレーション検出器の意義

現在、コンプトンカメラを構成する散乱体にはシリコンストリップ、吸収体にはCdTe(テルル化カドミウム)が考えられている。シリコンストリップは、位置検出能力が非常に優れており、CdTeは位置検出に優れ、高エネルギーにも比較的良い阻止能を持つという特徴がある。しかし、CdTeはその厚さにもよるが、数100keVで検出効率に限界がある。そこで、我々は数100keV～数MeVの領域に対して有効と考えられる高阻止能シンチレーターを吸収体に用いたコンプトンカメラの開発を行っている。高阻止能シンチレーターである、BGO・GSOは数MeVまである程度の検出効率を持つ。

## 2.3 PDarrayと64chPMTによるガンマ線イメージング

散乱体にアレイ状に並んだPD(フォトダイオード)、吸収体にシンチレーターと64chPMTを組み合わせたシンチレーション検出器を用いたコンプトンカメラを構成し、そのイメージング能力を調べる実験が富永ら(広大理)によって行われた。ここでは、富永らによって行われたガンマ線イメージのイメージング能力の研究について簡単に述べる。詳しくは富永修論(2004 広島大 理)、青井卒論(2004 広島大 理)を参照。

### 2.3.1 ガンマ線イメージング

§2.2.1の原理によって、散乱体及び吸収体におけるデポジットエネルギーと入射位置が分かると、入射ガンマ線のエネルギー方向が分かる。

図2.10のように、散乱体でガンマ線を散乱させ、散乱したガンマ線を吸収体で受け止めるコンプトンカメラを考える。コンプトン散乱の理論式である式2.4を用いることにより、散乱体及び吸収体におけるデポジットエネルギー  $E_1$ 、 $E_2$  から  $\theta_{theo}$  が求まる。また、PDarray及び64chPMT(+GSO)の位置検出能力より、散乱体においてコンプトン散乱した位置(点  $O_{det}$ )、吸収体で光電吸収した位置(点  $P_{det}$ )が分かるので、その位置よりジオメトリ的なガンマ線の散乱角  $\theta_{det}$  が分かる。

$$\theta = \theta_{det} - \theta_{theo} \quad (2.5)$$

この2つの方法で求められた散乱角の差である  $\theta$  は、理想的にはゼロになるはずである。しかし、実際には散乱体及び吸収体で検出されるエネルギーはその検出器のエネルギー分解能で揺らぐため  $\theta$  の角分解能  $\Delta\theta$  は、式2.6のようになる。

$$\Delta\theta \sim \sqrt{(\delta\theta_{theo})^2 + (\delta\theta_{det})^2} \quad (2.6)$$

ここで、 $\delta\theta_{theo}$  は  $\theta_{theo}$  のゆらぎ、 $\delta\theta_{det}$  は  $\theta_{det}$  のゆらぎである。ここで入射ガンマ線のエネルギーを  $E$  とすると、 $E = E_1 + E_2$  である。また、それぞれのエネルギー分解能を  $\Delta E_1$ 、 $\Delta E_2$  とすると

$$\delta\theta_{theo} \sim \sqrt{\left(\frac{\Delta E_1}{E_1}\right)^2 + \left(\frac{\Delta E_2}{E_2}\right)^2} \quad (2.7)$$

$$\delta\theta_{det} \sim \sqrt{\left(\frac{\Delta X_{PD}}{L_2}\right)^2 + \left(\frac{\Delta X_{PMT}}{L_2}\right)^2} \quad (2.8)$$

と表される。

つまり、この角分解能  $\Delta\theta$  がガンマ線イメージャーの位置決定精度を表しており、この値が0に近いほど精度が良い。精度をよくするためには式2.7と式2.8から分かるように、検出器のエネルギー分解能、位置分解能を向上させることで精度を向上させることができる。現在ガンマ線イメージャーには、散乱体に半導体検出器、吸収体にシンチレータ+64chPMTのシンチレーション検出器を用いた構成を考えている。位置分解能は、ジオメトリやシンチレータの形状を変えることで向上させることができる。エネルギー分解能は、個々の検出器に依存するためそれぞれ向上させなければならない。半導体検出器は、これまでの実験でエネルギー分解能は良い結果が得られている。これについては、宇野修論(2003 広島大理)、中本修論(2004 広島大理)を参照。しかし、シンチレーション検出器はエネルギー分解能にはまだまだ改善の余地があると考えられる。

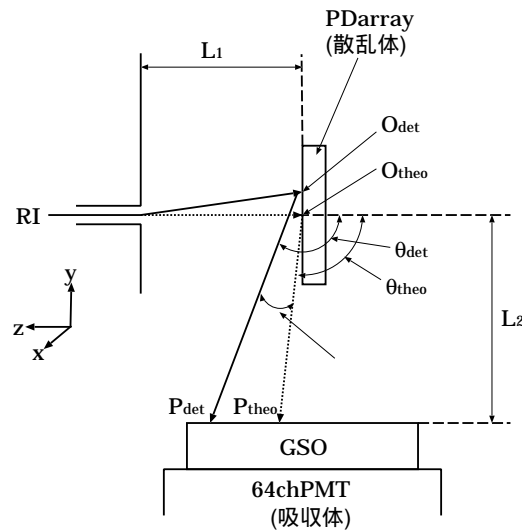


図 2.10: コリメータ通過後のガンマ線の経路

# 第3章 シンチレーション検出器のエネルギー分解能の検証

前章より、シンチレーション検出器のエネルギー分解能を改善することで  $\delta\theta_{theo}$  が小さくなり角分解能が向上する事が分かっている。この章では、64chPMT のエネルギー分解能を改善させるために行った実験について述べる。

## 3.1 セットアップ

本実験のセットアップは、§2.3.1 で述べた富永(広大理)らが行った実験のセットアップを引き継いで行った。ここでは、実験のセットアップについて簡単に述べる。

### 3.1.1 PCI-6071E

本実験では、NI 社製の DAQ デバイスである PCI-6071E を用いて 64chPMT からの信号処理を行った。PCI-6071E は、1つの ADC と Multiplexer が搭載されており、64ch 分の信号を1つの ADC で AD 変換を行う。よって、1つの ADC しか使用しないため低コスト、コンパクトであるという特徴をもっている。しかし、1つの ADC で AD 変換に  $0.8\mu\text{s}$  掛かってしまうため、64ch 分の信号を AD 変換する間にサンプル間で時間のずれが出てしまうという欠点を持っている。PCI-6071E の特徴を表 3.1 に示す。

表 3.1: PCI-6071E の特徴

アナログ入力	アナログ出力	デジタル I/O	最大サンプリングレート	分解能
64ch	2ch	8ch	12MS/sec	12 ビット

### 3.1.2 LabView ソフトウェア

PCI-6071E は、同じ NI 社の LabView ソフトウェアで制御することができる。LabView とは、Laboratory Virtual Instrument Engineering Workbench(ラボラトリ仮想計測器エンジニアリング)の略で、グラフィカルプログラミング [G] をベースにした開発環境であり、多様なハードウェアと通信を行えるライブラリ関数が組み込まれている。また、LabView では、技術者やエンジニア、科学者にとって馴染みのある用語やアイコン、考え方を採用し、プログラミング操作ではテキスト言語ではなくグラフィカルな記号で表されている。そして、シングルステップで実行してデバックや開発を簡略化することができるという特徴をもつソフトウェアである。

64chPMT からの信号は、PCI-6071E と LabView ソフトウェアを用いて図 3.1 のようなセットアップを構成し読み出しを行った。64chPreamp は、富永によって製作されたもので、OP アンプ (LM6144) や抵抗、コンデンサ、Discr 用コンパレータ (LM319N) 等で構成されている。この Preamp の特徴は、PCI-6071E 内部の ADC に 64ch 分のアナログ信号を入力した場合に掛かる時間を考慮して、時定数を  $200\mu\text{s}$  としてあり (1ch 当りの AD 変換に必要な時間は  $0.8\mu\text{s}$  で、64ch 分の信号を AD 変換するには約  $52\mu\text{s}$  掛かる。)、これによって Preamp の出力の減衰の影響が少なくなるという特徴を持っている。また、このセットアップでは、シェーピングは行わず、時定数を長くすることでピークホールド・サンプルホールドの変わりとした。(ASCA 衛星 GIS 方式) 本実験では、dynode 出力のみで測定、考察を行った。

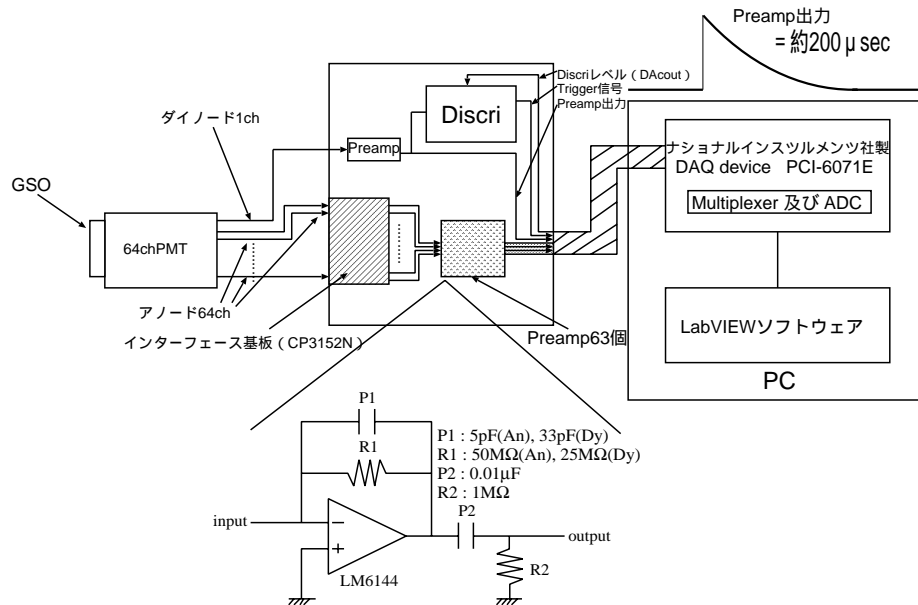


図 3.1: 64chPMT の読み出し系セットアップ

## 3.2 シンチレータのサイズに対する依存性

シンチレーション検出器に用いるシンチレータのサイズがエネルギー分解能にどう影響してくるかを調べた。今回シンチレータには 3 つの GSO を用いた。GSO の大きさはそれぞれ、 $24\text{mm} \times 24\text{mm} \times 5\text{mm}$ 、 $18\text{mm} \times 18\text{mm} \times 5\text{mm}$ 、 $10\text{mm} \times 10\text{mm} \times 10\text{mm}$  である。また、ガンマ線源には  $^{137}\text{Cs}$  ( $662\text{keV}$ ) を用いた

まず、富永修論で用いた  $24\text{mm} \times 24\text{mm} \times 5\text{mm}$  の GSO を用いて測定を行った。富永実験では、イメージング能力に重きを置いたセットアップであるためと、手もとに光電面サイズの GSO が無かった為、このサイズの GSO を用いた。スペクトルは図 3.2 のようになり、エネルギー分解能は 17% という結果が得られた。GSO 本来のエネルギー分解能が 7% 程度であると分かっていることから考えるとずいぶん悪いことが分かる。これは 64chPMT の光電面サイズ (図 2.5) が  $18.1\text{mm} \times 18.1\text{mm}$  であるのに対しシンチレータのサイズが大きいため発生したシンチレーション光が光電面に入る前に外に逃げてしまうためにエネルギー分解能が低下してしまうと考えられる。

として、エネルギー分解能は14%となった。先程の24mm×24mm×5mmのGSOの時よりは若干向上したが期待していた程のエネルギー分解能は得られなかった。シンチレータのサイズを光電面と同サイズにしたにも関わらずエネルギー分解能が向上しないのは64chPMTのゲインにムラがあるためであるかも知れない。

次に、小さいサイズのGSO(10mm×10mm×10mm)を用いて測定を行った。この時のスペクトルは図3.4のようになり、エネルギー分解能は9.6%となった。やはり、このサイズのGSOを用いても目標とするエネルギー分解能である7%には及ばなかった。以上の結果から、エネルギー分解能にはシンチレータ以外の揺らぎが関係しているのではないかと考えられる。なお、下図において、ADCチャンネルがGSOのサイズによってオフセットしている。これは、GSOのサイズによって光量が変わることを考慮してHVにてゲイン調整を行った為に若干のずれが生じている。

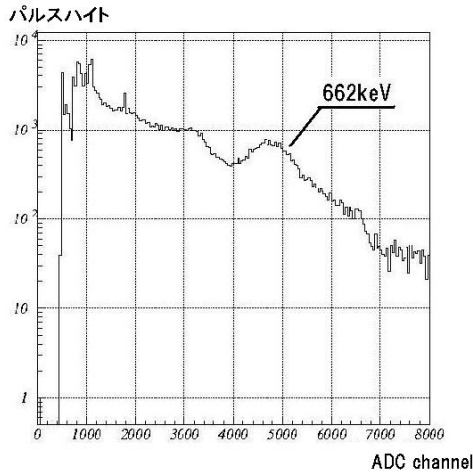


図 3.2: GSO(24mm×24mm×5mm) を用いて測定したエネルギースペクトル

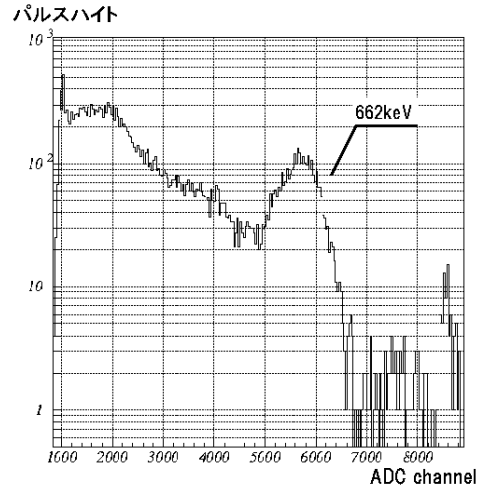


図 3.3: GSO(18mm×18mm×5mm) を用いて測定したエネルギースペクトル

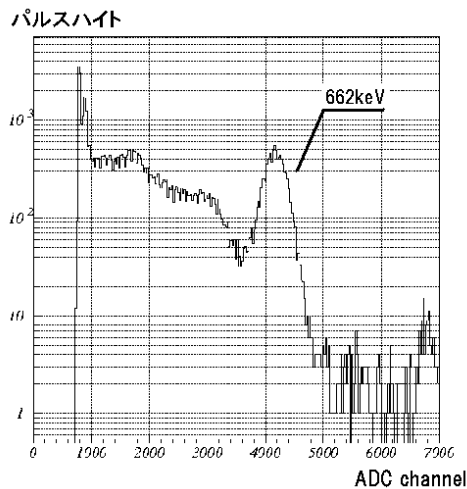


図 3.4: GSO(10mm×10mm×10mm) を用いて測定したエネルギースペクトル

### 3.3 温度による依存性

前節において、エネルギー分解能悪化にはシンチレータ以外の要因があると考えられるため、次は温度を $-20^{\circ}\text{C}$ に下げ測定しエネルギー分解能に熱ノイズがどう影響しているのかを調べた。シンチレータは、GSO( $10\text{mm}\times 10\text{mm}\times 10\text{mm}$ )を用いた。ガンマ線源は、 $^{137}\text{Cs}$ ( $662\text{keV}$ )を用いた。

得られたスペクトルは図 4.5 となり、エネルギー分解能は $9.5\%$ となった。この結果と、図 3.4 を比べてみる限り変化は見られない。よって、熱ノイズは $662\text{KeV}$ のエネルギー分解能には影響しないことが分かった。

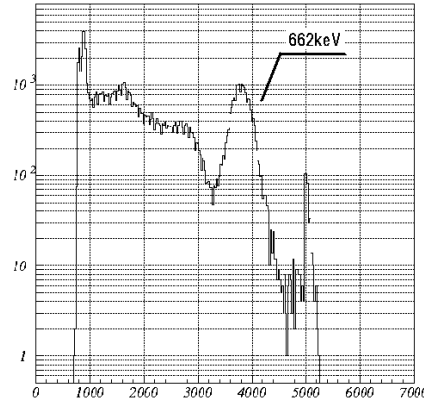


図 3.5:  $-20^{\circ}\text{C}$ における GSO( $10\text{mm}\times 10\text{mm}\times 10\text{mm}$ )のエネルギースペクトル

### 3.4 ピークホールド回路を用いた測定

§3.1.3でも述べたが、このADCは全ての信号をAD変換するのに約 $52\mu\text{s}$ の時間が掛かってしまうためサンプル間で時間のずれが生じてしまい、そのために分解能が低下してしまうのではないかと考えた。そこで、図 3.6 のピークホールド回路を作りそれをPreamp中のdynode回路に割り込ませて出力させてやることでずれを無くすようにした。この実験では、シンチレータにはGSO( $10\text{mm}\times 10\text{mm}\times 10\text{mm}$ )を用い、ガンマ線源は $^{137}\text{Cs}$ ( $662\text{keV}$ )を用いた。得られたスペクトルは図 3.7 となり、エネルギー分解能は $9.6\%$ となった。エネルギー分解能はピークホールド回路無しの場合と変わらないという結果を得た。AD変換のために起こる時間のずれはプリアンプ出力の時定数を $200\mu\text{s}$ としたことで十分に時間のずれを無くすことができているためにピークホールド回路を入れても変化は無いことが分かった。

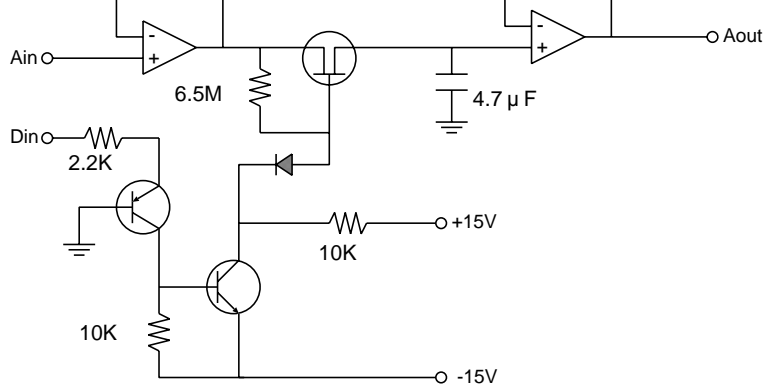


図 3.6: PH 回路の回路図

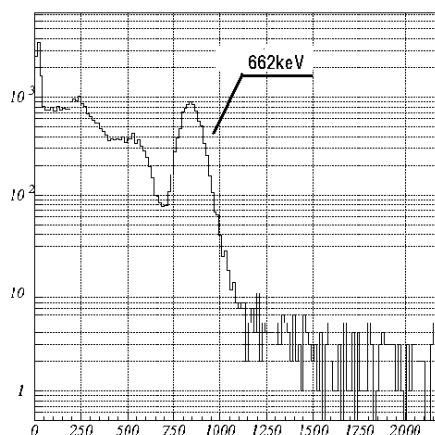


図 3.7: PH 回路を使用した時の GSO(10mm×10mm×10m) エネルギースペクトル

### 3.5 LED 光スポット照射

§3.2 の結果から、64chPMT に局所的に分解能・ゲインが揺らいでいる可能性があることが分かった。それを調べるために光電面を図 3.9 のように 25 分割し、各々に LED 光を当てて測定して見ることで 64chPMT に局所的な揺らぎがあるかどうかを調べた。本実験のセットアップは、図 3.8 のように行い、LED は PMT に感度がある緑の LED を選択した。LED 光はコリメータで 2mm×2mm に絞り分割した光電面それぞれに照射を行った。

得られた結果は、図 3.10、3.11 である。この 2 つの図を見ると、分解能とゲインの 2 つとも位置によるバラつきが見られた。分解能のバラつきについては、PMT 内部で 1 つめのダイノードの電子集収率に揺らぎがあるために分解能が揺らいでしまうのではないかと考えられる。また、ゲインのバラつきについては、PMT 内部でのダイノードの増幅率に揺らぎがあるために起こると考えられる。(図 2.1 参照)

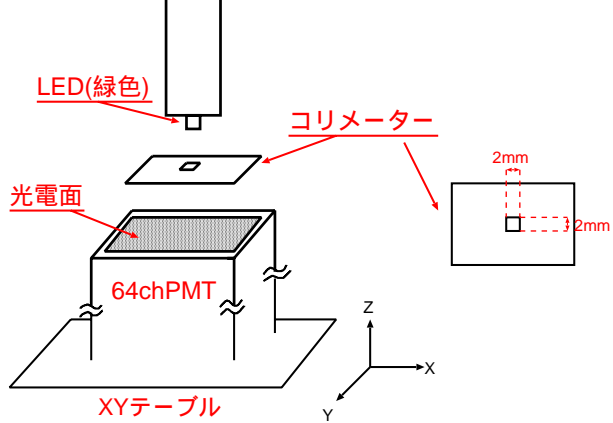


図 3.8: LED 照射実験のセットアップ

5	10	15	20	25
4	9	14	19	24
3	8	13	18	23
2	7	12	17	22
1	6	11	16	21

図 3.9: 64chPMT の光電面の分割位置の対応

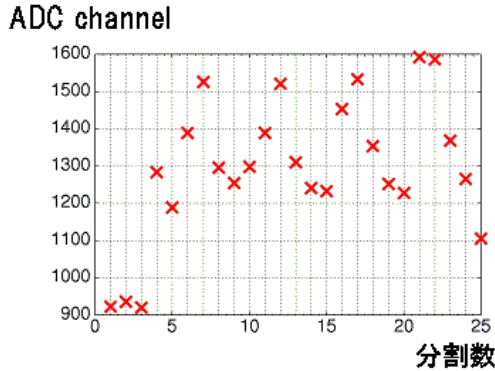


図 3.10: 分割数と ADC チャンネルの関係

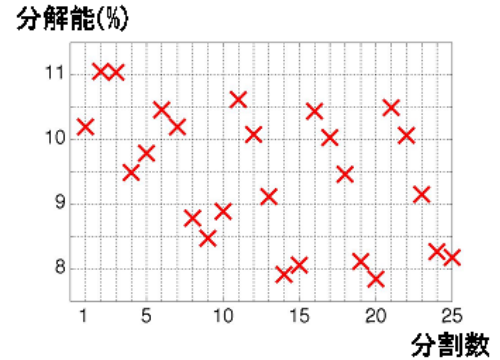


図 3.11: 分割数と分解能の関係

### 3.6 まとめ

GSO シンチレータと 64chPMT を用いたシンチレーション検出器を構成した。検出器のエネルギー分解能の検証を行うため幾つかの実験を行った。1 つ目の実験では、GSO のサイズを変えることでエネルギー分解能は向上した。しかし、一般的な PMT に GSO を用いた検出器の時の分解能である約 7 % というエネルギー分解能には到達させることができなかった。このため、分解能を悪化させている原因は他にもあると考えた。まず、熱ノイズを抑えるために、低温 (-20°C) 環境での分解能を調べた。この結果、熱ノイズは 662keV の分解能には影響しないことが分かった。また、ピークホールド回路を用いた実験も行ったが、顕著な結果を得ることはできなかった。そこで、64chPMT 自体に分解能の揺らぎがあると考え 64chPMT に LED 光の照射を行った。その結果、64chPMT に位置による分解能の揺らぎがあることが分かった。

以上の事から、64chPMT のエネルギー分解能の向上には 64chPMT 内部の電極の構造などを製造元である浜松ホトニクス社と相談し改良していかなければならない。



# 第4章 1次元アナログ VLSI(K02-32SA)の設計

## 4.1 VLSI開発の意義

近年の天文衛星に搭載される検出器は多チャンネル化が進んでおり、次期に計画されている NeXT 衛星に搭載される予定の硬 X 線撮像検出器では 1 万を超えるチャンネルを持つ検出器が要求されている。この検出器からの信号を処理するためには今までのディスクリートなアナログ処理回路では規模が大きすぎるため衛星搭載は不可能となる。そこで、アナログ処理回路を高密度に集積したアナログ VLSI の開発が必要になった。アナログ VLSI を用いることで読み出し部の多チャンネル化、低消費電力化、小型化が可能となる。また、それと同時にエネルギー分解能も高いものが要求されるため、低雑音化の実現もまた必要となる。

現在、放射線計測用のアナログ VLSI の技術は、ノルウェーの IDEAS 社や、LBL のグループなど限られた所にしかない。そこで我々は、JAXA/ISAS の高橋研と KEK の池田先生の協力を得て、アナログ VLSI の設計・製作に取り組むことにした。これにより、アナログ VLSI の基本的な知識や技術を身につけることができ、独自に高性能なアナログ VLSI の開発が可能になる。

## 4.2 アナログ VLSI

### 4.2.1 CMOS プロセス

CMOS とは、Complementary Metal Oxide Semiconductor の略で PMOS と NMOS の 2 種類の MOSFET と呼ばれるトランジスタをペアで使用する半導体回路である。MOS とは、金属と酸化物、半導体という 3 種類の物質を重ね合わせた構造をもつ素子で電圧動作型のデバイスである。また、半導体に P 型半導体を使用したものを PMOS、N 型半導体を使用したものを NMOS と呼ぶ。図 4.1 に PMOS のデバイス構造を示す。こうした 2 種類の相対的に働く MOSFET を組み合わせて目的とする回路を実現する。

CMOS プロセスで製造されたトランジスタは、定常状態では回路に電流がほとんど流れないため消費電力を抑えられる。ただしスイッチング時には電流が多く流れるため、高速に動作させるとバイポーラとそれほど変わらない消費電力となる。

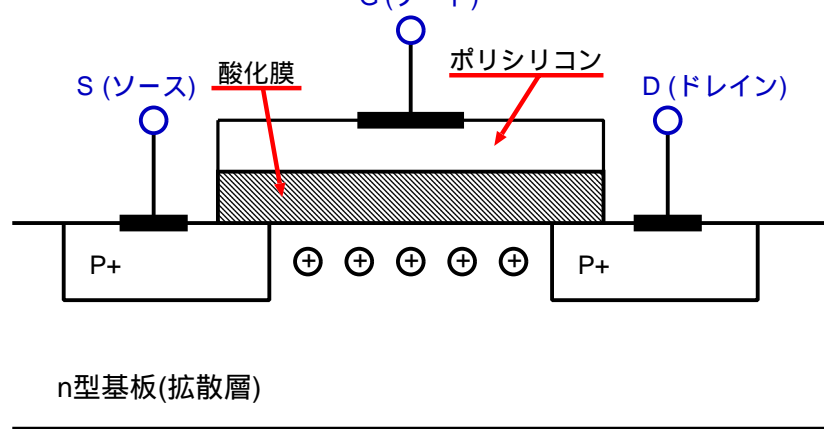


図 4.1: PMOS デバイス構造

#### 4.2.2 VLSI 製作の流れ

VLSI 製作に至る流れは、大きく分けて5つに分けられる (図 4.2 参照)。それは、要求される仕様の取りまとめ、回路ブロックの設計、回路シミュレーション、レイアウトデザインの設計、LSI の製作である。この流れを半年以上掛けて慎重に行い、チップの開発を行う。

まず、要求される仕様の取りまとめであるが、これはそのチップを製作する上でチップに要求する機能や性能をまとめる。具体的には、信号処理回路の仕様、ノイズレベル、消費電力、電源電圧、チャンネル数、チップのサイズ等を VLSI を使用したい用途に併せて条件をすり合わせチップの仕様を決定する。そして仕様が決まると、最後に使用する半導体プロセスを決定する。これは、開発対象と半導体プロセスの間には適合性があり問題になることがある。そのため、適切なプロセスを選択する必要がある。

そして、チップの仕様と使用するプロセスが決まると、次は IP ライブラリを用いて回路ブロックを設計する。IP とは、知的財産のことで、検証済みの再利用可能な回路ブロックの事である。IP ライブラリはメーカーと守秘契約を締結することでメーカーから提供を受けることができる。また、我々のグループで新たに開発したもの、改良を加えたものも用いている。IP ライブラリの中から適切な IP を組み合わせることで目的とする回路を構成する。

ブロック回路が完成したら、次はシミュレーションを行う事でその回路の検証を行う。シミュレーションソフトは、Tanner 社の T-SPICE Pro(ver.8.11) を用いており、メーカーから SPICE パラメーターの提供を受けることで、より精度の高いシミュレーションを行っている。シミュレーションを行い、回路の不具合などを発見し、それを回路設計にフィードバックすることを繰り返す事で、目的の回路が出来上がっていく。また、これにより改良を加えることで IP ライブラリもよりレベルの高い物が出来上がるので、今後の開発にも繋げることができる。シミュレーションでは、ロジックの検証をし、目的とする波形が得られることを確認するだけでなく、温度特性、ノイズ評価、電源電圧の揺らぎ、製造プロセスの製造条件からのずれを考慮することも必要である。

設計及びフィードバックが完了したら、次は実際に製作するチップのレイアウトを作成する。レイアウトとは、半導体製造プロセスにおいて使用する露光マスクの原図のことである。露光マスクは、メーカー毎に独自の製造工程にて製造しているため、メーカーから得

以外にも多くの技法が隠されているため、できることならメーカーの協力を仰ぐ方がよい。レイアウトソフトは、Tanner社のL-Editを用いた。レイアウトが出来上がると最終作業として、DRC及びLVSと言われる検証作業を行う必要がある。DRCとは、デザイン・ルール・チェックと言われるものであり、作図上の要求を満足しているかどうかの確認及び修正を行うものである。具体的には、配線の幅、配線間の距離、素子等が対象となる。LVSは、レイアウト・バーサス・スキマティックと言われるものであり、回路製作によって発生したSPICEネットリストとレイアウトから抽出したSPICEネットリストとを突き合わせて、一致、不一致を発見、修正することである。今回のチップ製作では、このレイアウト作業はデザイン会社に依頼した。その中で我々が行ったのは、ノイズを意識した各ユニットの配置の指示、最小線幅の指示であり、DRCとLVSを行い確認作業を行った。

こうして、露光マスクの原図が完成すると、メーカーに原図を渡し製造を依頼する。我々の場合は、Taiwan Semiconductor Manufacturing Company(TSMC)に依頼しチップの製作を行った。その他には、東京大学VDECやローム社等がある。

LSIチップ製作には、仕様検討・回路ブロック設計・シミュレーションに約2ヶ月、レイアウトのデザインに約2ヶ月、メーカーでの製作に約3ヶ月と合計で半年以上の期間が掛かることを考慮したスケジュールで、チップの開発を行う必要がある。

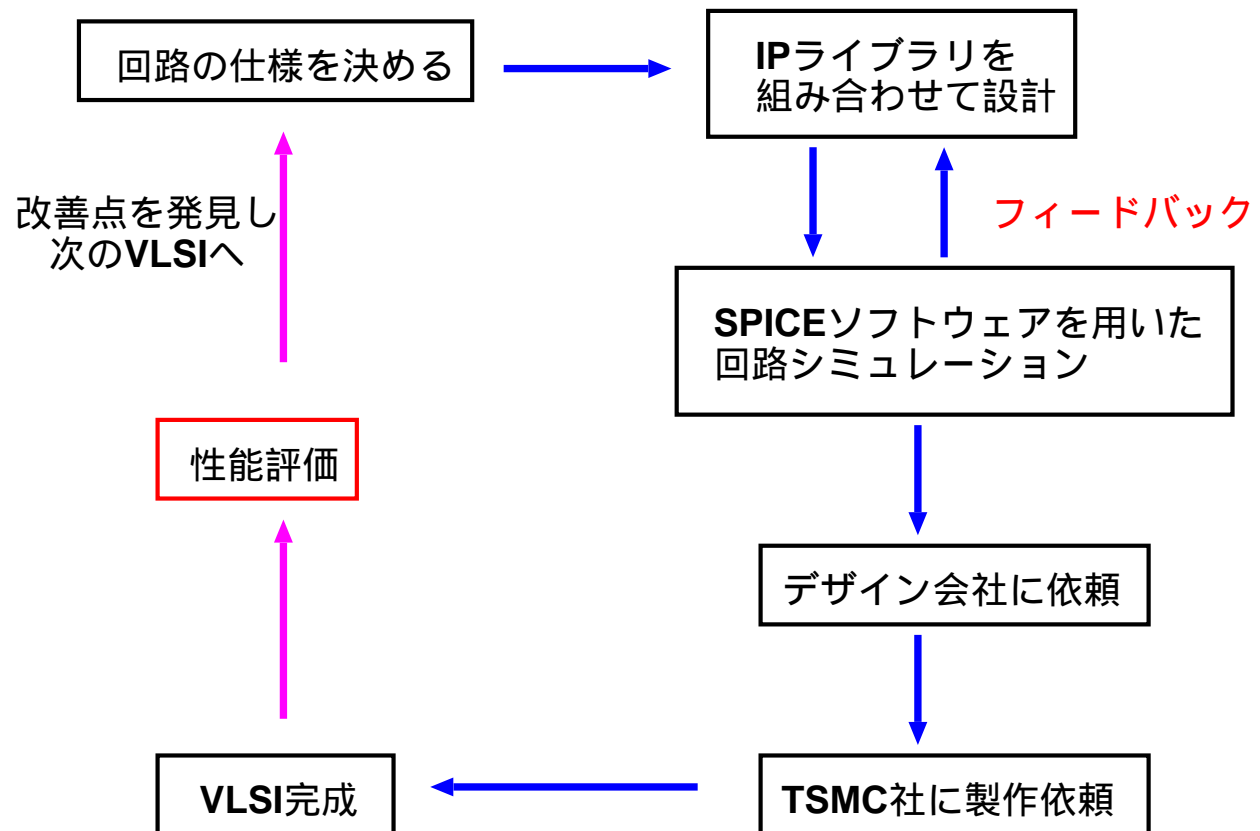


図 4.2: VLSI 設計・製作の流れ

## 4.3 1次元アナログ VLSI(K01)

K01 チップとは、Y.Kobayashi(ISAS/JAXA), et al が 2002 年に開発した 1 次元の低ノイズ 16 チャンネルアナログ VLSI である。NeXT 衛星搭載 HXI 検出器用に用いる 2 次元 VLSI の開発を独自に行うために必要な高度な IP を開発する必要がある。そして、その最初の段階として、低ノイズ 1 次元チップである K01 の開発を行われた。また、K01 チップの評価を通して明らかになった問題点を改良し、次に製作するチップにフィードバックする。なお、このチップに付いては簡単な説明のみとする。詳しくは、小林修論 (2003 東京大学) を参照。

### 4.3.1 チップの概要

K01 チップは、CdTe(テルル化カドミウム) ストリップ検出器やピクセル検出器の読み出しを目的としている。ピクセル検出器に対応する為、16 チャンネル入出力 VLSI とした。CdTe ダイオードをピクセル化するにあたり、現時点では陽極にピクセル電極を形成することが困難であるため、陰極をピクセル化したものが実現している。その為、入力信号極性を正信号としてある。

K01 チップには、途中モニター機能を随所に追加し、チップの詳細な動作を調べることができるという特徴を持っている。

また、プリアンプ部は外付けのプリアンプを使用できるようにチップ内部に選択回路を付け、それを外から選択できるようになっている。

#### 回路の仕様

- 16 チャンネル 1 次元アナログ VLSI
- 正信号入力
- 各チャンネル毎に、プリアンプ、PZC 付き微分回路、3 段積分回路、ピークホールド回路、コンパレータ回路を内蔵
- プリアンプを内蔵、外付け回路の選択が可能
- 1 チャンネルにはモニター端子付き

表 4.1: K01 チップパラメータ

プロセス	ローム社 CMOS 0.35 $\mu$ m (東京大学 VDEC 経由)
チップサイズ	4.93mm 角
PolySi	2 層
メタル配線	3 層
電源電圧	3.3V(VDD=2.0V,VSS=-1.3V,GND=0V)
トランジスタ数	6904
ロジックレベル	LVDS(Low:0mV,High:350mV)

1 チャンネル当りの回路構成は図 4.3 のようになる。

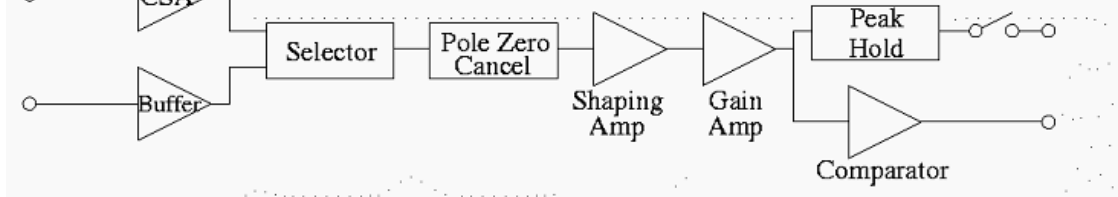


図 4.3: K01 チップの 1 チャンネル当りの回路図

### 4.3.2 性能評価

K01 チップはすでに性能評価が行われており、アナログ部、デジタル部ともに正しく動作することが確認されている。また、CdTe 半導体検出器を用いて X 線のスペクトルを取得することにも成功している。一方で、明らかな問題点が 2 つ見つかった。詳しくは、井上修論 (2004 東京大学) を参照。

1. 高抵抗回路を用いたことで、出力信号のオフセットにバラツキが見られた。
2. ノイズレベルの悪化である。CdTe 半導体の等価雑音電荷 (ENC) に変換して約 1000electron と、開発時に目標としていた 100electron に比べて約 10 倍となった。

問題点 1 は、製造プロセス段階において、CMOS の精度のずれ込みにより生じるものである。より具体的に言うと、高抵抗回路における CMOS の作動対のずれが原因であると考えられる。また、問題点 2 は、シミュレーションによる詳細な解析の結果、ポールゼロ補償回路が主なノイズ源であることが判明した。

## 4.4 K02 チップ

今回製作する ASIC(K02 チップ) は、K01 チップの改良版である。K01 チップで生じた問題点をふまえて回路の改良を行い、多チャンネル読み出しチップを開発した。改良点は下記の 2 点である。

### 1. オフセット対策

カップリングコンデンサを積分回路の後に付けるように設計を行った。これにより、DC 成分を除去してオフセットのバラツキを抑えられる。

### 2. ノイズ対策

ポールゼロ補償回路が、主なノイズ源であることが明らかになったので、微分回路の前に積分回路を入れることでゲインを稼ぎ、S/N 比を向上させた。順序を入れ換えたことによって応答には影響しない。

K02-32SA チップの開発においてのタイムテーブルを図 4.4 に示す。今回は、非常に厳しいスケジュールで開発を行ったため、1 度チップの製作を失敗してしまった。この原因は、TSMC に VLSI 製作を依頼する際に、マスクとレイアウトの指示書を提出するが、その時に間違ったマスク指示書を出してしまい、その為ゲートと拡散層の間の絶縁層である Oxide がいない状態で ASIC が出来上がってしまい、MOS 自体が動作しなくなった為である。そのため、もう一度作り直しになってしまい製作に倍の時間が掛かってしまった。

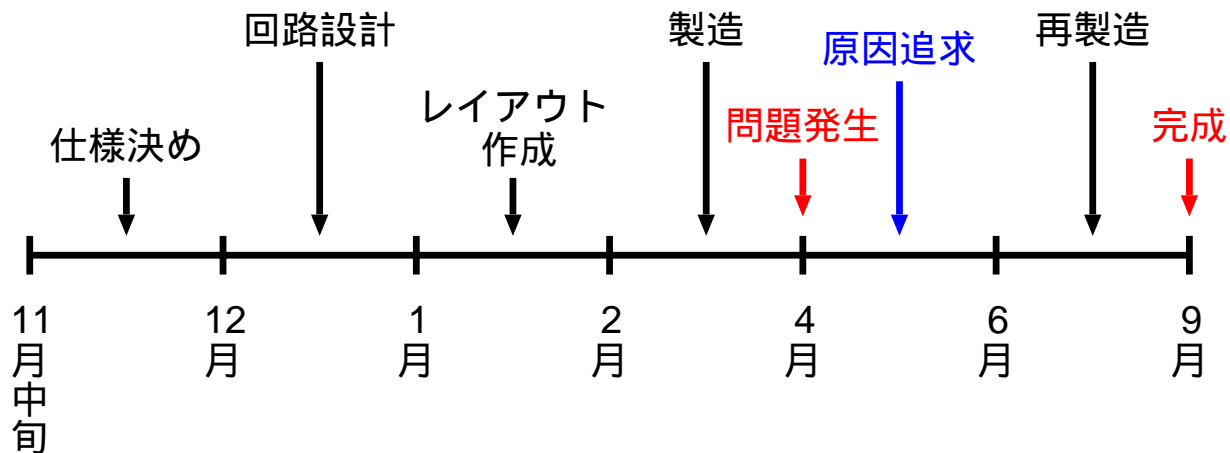


図 4.4: K02-32SA 開発のタイムテーブル

#### 4.4.1 使用した VLSI チップ

本チップは、Taiwan Semiconductor Manufacturing Company(TSMC)社のデザインルール  $0.35\mu\text{m}$  のプロセスを用いて製作を行った。図 4.5 に示すように、15mm 角の親チップの中に 6 種類のサブチップを製作した。そのうちの 5 種類が K02 チップ、残りの 1 種類がカウンティング用のチップ (T02) となっている。

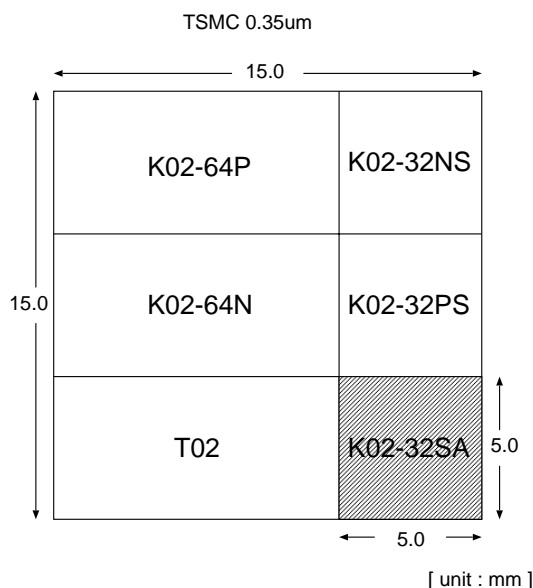


図 4.5: チップの構成図

表 4.2 に K02 シリーズのチップの概略をまとめる。

本研究で開発を行ったものは、この中の K02-32SA である。他の K02 シリーズについては田村修論 (2005 東京大学) を参照。K02-32SA と他の K02 シリーズの大きな違いはプリアンプを内蔵しているか、していないかである。パラメータの違いはあるが回路の構成自体は他の K02 シリーズと変わらない。K02-32SA チップは、マルチアノード PMT や APD

表 4.2: K02 シリーズ一覧表

チップ名	入力信号極性	CSA 帰還容量 [pF]	主な用途
K02-64P	正	0.1 or 0.05	CdTe や Si の半導体検出器用。 Cathode 読み出し。
K02-64N	負	0.1 or 0.05	K02-64P と同様。 Anode 読み出し。
K02-32PS	正	5 or 15	大信号 (粒子線など) の読み出し用。
K02-32NS	負	5 or 15	K02-32PS と同じ。入力信号の極性が異なる。
K02-32SA	正	CSA 内蔵せず	マルチアノード PMT、APD などの読みだし用。 CSA は外づけにして使用する。

アレイの読み出しを考えているが、プリアンプの設計が最も難しいことが分かっており、本研究ではプリアンプの後段の回路をきちんと VLSI で動作させることを目標としてプリアンプは内蔵しなかった。そして、VLSI の前段には別に用意するプリアンプを用いることとする。

#### 4.4.2 K02-32SA チップの概要

K02-32SA は、マルチアノード PMT や APD アレイの読み出しを目的としており、32 チャンネル入出力 VLSI とした。

また、検出器の出力信号の極性がどちらであっても対応できるように、チップの入力極性を正・負と切替える事ができるという特徴をもっている。1 チャンネル当りには、初段積分回路、PZC 回路、2 段目積分回路、利得増幅回路、ピークホールド回路、コンパレータ回路が組み込まれており、これが 32 チャンネル分チップの中に搭載されている。なお、PZC 時定数は  $50\mu\text{s}$ 、整形時定数は  $1\mu\text{s} \sim 10\mu\text{s}$  の範囲で調整可能であり、ディスクリレベルは  $-1\text{V} \sim +1\text{V}$  までの範囲で調節可能である。この回路はパラレル入力パラレル出力にて動作を行う。入力は極性を選択することができるが、出力は負極性にて出力される。また、K01 チップと同様にチップ中のアナログ回路の途中にモニター機能を随所に設け、詳細なチップの動作を調べることができるという特徴を持っている。なお、モニター機能は [ENB] スイッチで ON、OFF の選択をすることができる。

目標とする消費電力は、 $100\mu\text{W}/\text{pixel}$  である。これは、衛星搭載を考える上で低消費電力は必須であるためである。ダイナミックレンジは、入力で  $1\text{mV} \sim 100\text{mV}$  である。これは、PMT 検出器と BGO+APD 検出器で使用することを考え決めた。また、ゲインは 1~16 倍で調整することができる。よって、この範囲・ゲインであれば PMT 検出器で  $100\text{keV} \sim 1\text{MeV}$  相当、BGO+APD 検出器の場合、 $30\text{keV} \sim 300\text{keV}$  相当のエネルギー範囲をカバーすることができる。このエネルギー範囲は検出器のバイアス電圧で調整することが可能である。また、ノイズレベルは、入力信号換算で  $0.5\text{mV}$  を考えており、このレベルであれば入力信号であるプリアンプ出力信号に対して十分低ノイズであると言える。また、後で詳しく述べるが出力オフセットもおおよそ  $\pm 50\text{mV}$  の範囲で調節可能である。

- 32チャンネル1次元アナログVLSI
- 各チャンネル毎に、初段積分回路、PZC回路、2段目積分回路、利得増幅回路、ピークホールド回路、コンパレータ回路を内蔵
- 入力信号の極性選択が可能
- 32チャンネルをパラレル出力(極性:負、 $\sim -0.6\text{V}$ )
- 1チャンネルにはモニター端子付き
- 消費電力： $100\mu\text{W}/\text{pixel}$
- 入力ダイナミックレンジ： $1\text{mV} \sim 100\text{mV}$
- ゲイン調整：1倍 $\sim$ 16倍
- ノイズレベル： $0.5\text{mV}$ (入力信号換算)
- 出力オフセット調整： $\pm 50\text{mV}$
- PZC時定数： $50\mu\text{s}$
- 整形時定数： $1\mu\text{s} \sim 10\mu\text{s}$
- ディスクリレベル： $-1\text{V} \sim +1\text{V}$



表 4.3: K02-32SA チップパラメータ

会社名	Taiwan Semiconductor Manufacturing Company (TSMC)
デザインルール	0.35 $\mu$ m
ピン数	144
チップサイズ	5mm $\times$ 5mm (15mm 角チップを分割して使用)
電源電圧	3.3V(VDD=2.0V,VSS=-1.3V,GND=0V)
ロジックレベル	LVDS(Low:0mV,High:350mV)
搭載チャンネル数	32 チャンネル

### 4.4.3 K02-32SA の回路ブロック構成

図 4.6 に 1 チャンネル当たりの回路構成を示す。K01 と大きく異なる点としては、荷電増幅器 (CSA) が入っておらず外付けで CSA を付ける様になっている。その他の部分は K01 チップと同様であり、整形増幅器、ピークホールド回路、コンパレータ回路から成り立っているが、細かい部分でいくつか修正が加えられている。以下に、各ブロックの回路構成を K01 からの改良点を中心に述べる。

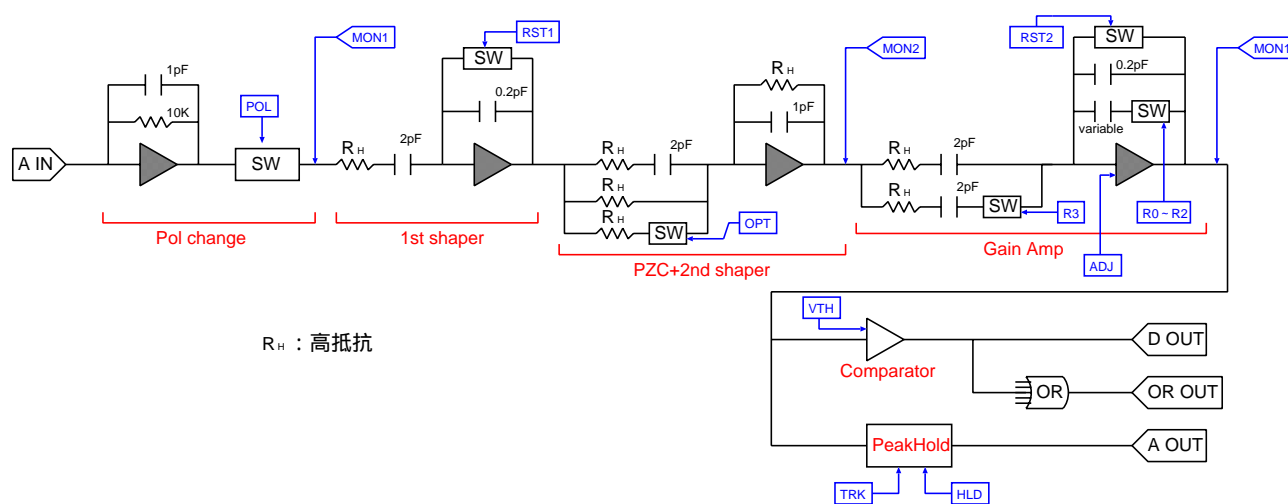


図 4.6: K02-32SA チップの回路ブロック図

極性切替え回路は、図 4.7 のように構成されている。この回路では、入力信号の極性が正・負の場合で処理回路を切替える事が可能となっている。切替える為の信号は、外部から操作が可能になっており、「POL」から H レベルのデジタル信号を入力した場合は、正極性側の処理回路が動作し、L レベルのデジタル信号を入力した場合は、負極性側の処理回路が動作するようになっている。なお、この回路でのゲインは約 1 倍となっている。図 4.7 にある SHPR2 回路は差動増幅器で、入力信号を増幅するとともに信号帯域を制限してノイズを低減させることができる回路である (図 4.8)。

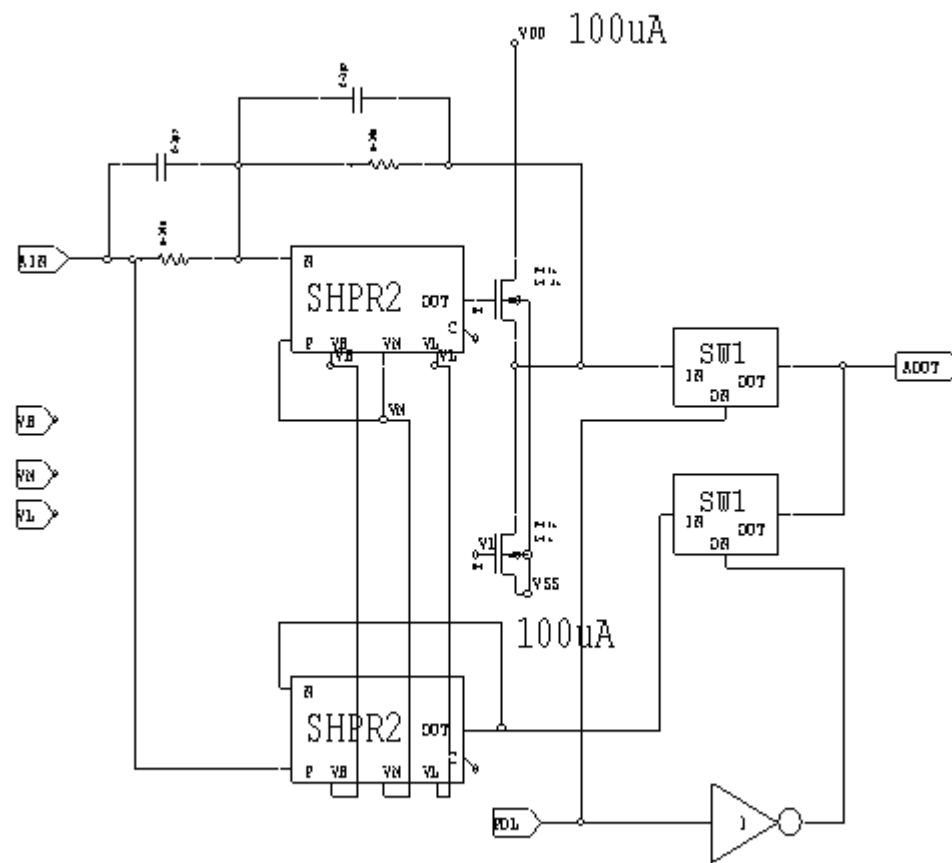


図 4.7: 極性切替え回路

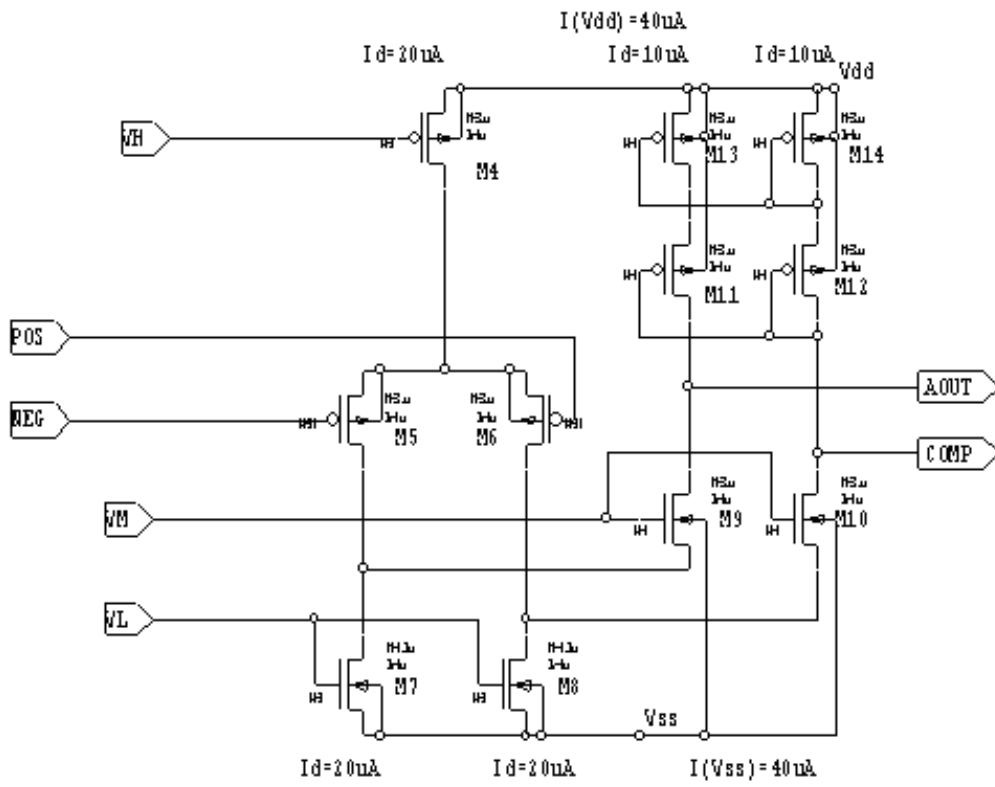
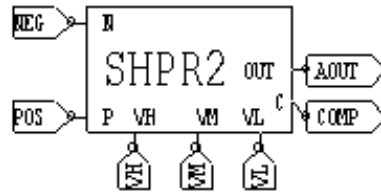


図 4.8: 差動増幅部

初段積分回路は、図 4.9 の前半部分にあたる。入力されたアナログ信号は、そのままでは AD 変換時にノイズの影響を受けやすいため、ノイズに強いガウス波形に変換する必要がある。そして、高周波ノイズを除去するために、積分波形処理を行う。

K01 チップでは、プリアンプの直後にポールゼロキャンセル回路が存在していた。しかし、性能評価の結果、ポールゼロキャンセル回路を含む積分回路の雑音レベルがプリアンプの雑音レベルに比べて無視できないレベルであることが明らかになった。そこで、ポールゼロキャンセル回路で発生する雑音の寄与を相対的に軽減させるため、K02 チップでは、積分回路をポールゼロキャンセル回路の前に導入することとした。なお、追加された積分回路は、入力部に RC の直列回路を帰還部に C とスイッチ (RST1) を備えた構成となっている。初段積分回路は反転回路であり、ゲインは 3 倍程度となっている。

次に、微分回路付きポールゼロキャンセル (PZC) 回路であるが、図 4.9 の中央部分になる。高いレートで測定を行った場合、プリアンプの時定数にもよるがパイルアップ現象が起こってしまうことがある。その為、微分回路において時定数を短くして低周波成分を除去する必要がある。そして、信号がゼロ点を越えてアンダーシュートしてしまうと、ベースラインが揺らいでしまうため正しく波形処理が行えなくなってしまう。その 2 つの問題を解決するために微分回路付き PZC 回路を付けた。微分時定数は  $2\mu\text{s}$  であり、PZC 回路の時定数は  $50\mu\text{s}$  である。PZC 回路の時定数は高抵抗回路の電流 (POLZ) を調整することで調整が可能である。

そして、2 段目積分回路は図 4.9 の後半部分になる。2 段目の積分回路も、1 段目と同様に反転増幅器となる。ゲインは、前段に積分回路を追加したため K01 チップでは 5 倍程度稼いでいた利得をほぼ 1 倍程度に変更した。この回路の積分時定数は高抵抗回路の電流値 (IRL) を調整することで  $1\mu\text{s} \sim 10\mu\text{s}$  まで調整可能である。

図 4.9 中にある RF ブロックは高抵抗回路であり、その回路図は図 4.10 のように表せる。

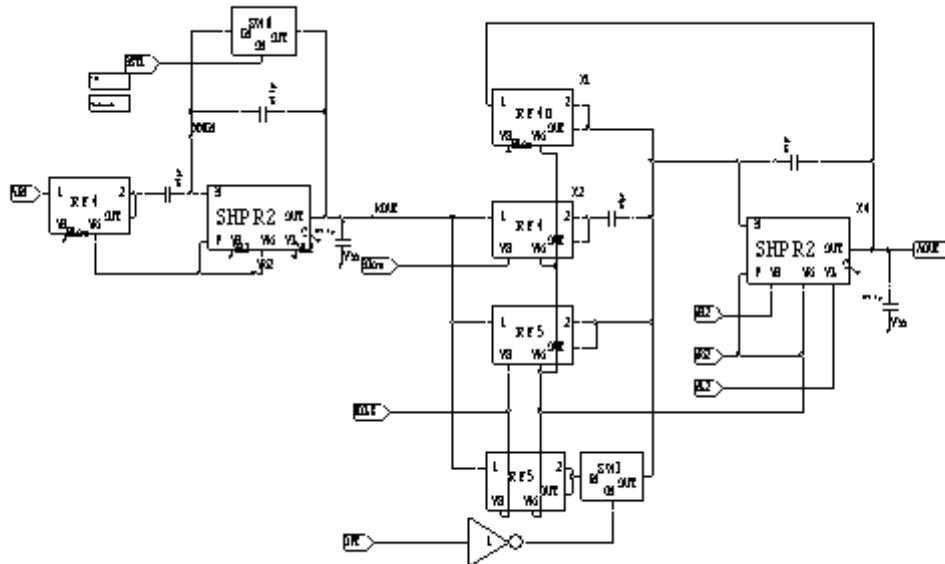


図 4.9: 初段積分回路 + PZC 回路 + 2 段目積分回路

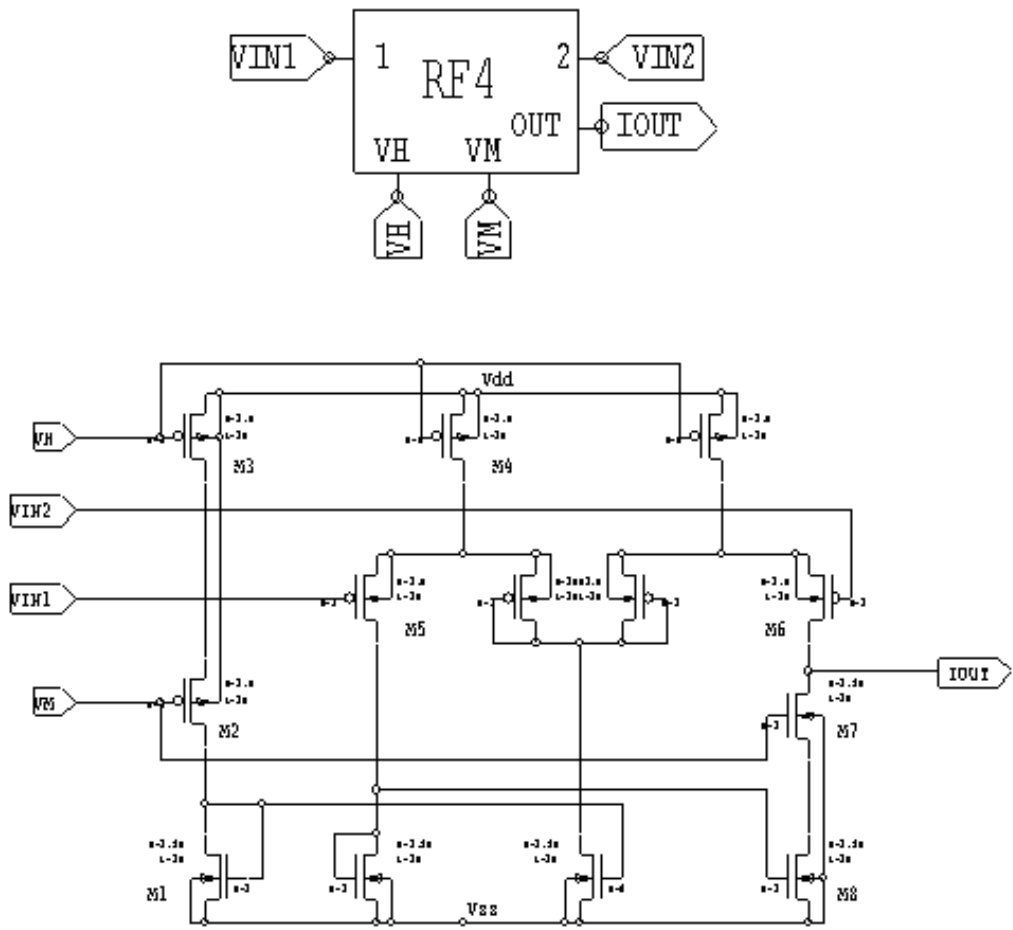


图 4.10: 高阻抗回路

可変利得増幅器は、図 4.11 の様に反転増幅器となっている。  
 ゲインの調節は、4bit の DAC 信号 (R0 ~ R3) により 16 段階の調節が可能となっている。  
 K01 チップでも、可変利得増幅部において 4bit の DAC で抵抗値を変更することにより利得を調整していた。しかし、この方式では直流成分もそのまま増幅し、オフセットを大きくばらつかせる要因となっていた。そこで、K02 チップでは、増幅回路を AC 結合の増幅器とすると同時に積分機能を持たせることとし、オフセットを除去する構成をとることとした。さらに、5bit の DAC(D0 ~ D4) で制御できるオフセット調整端子 (ADJ) を導入し、オフセットの微調整ができるように改良を行なった。また、時定数は前段の 2 段階目積分回路と同様に高抵抗回路の電流値 (IRL) を調整することができ、2 段階目積分回路の時定数と合うになっている。

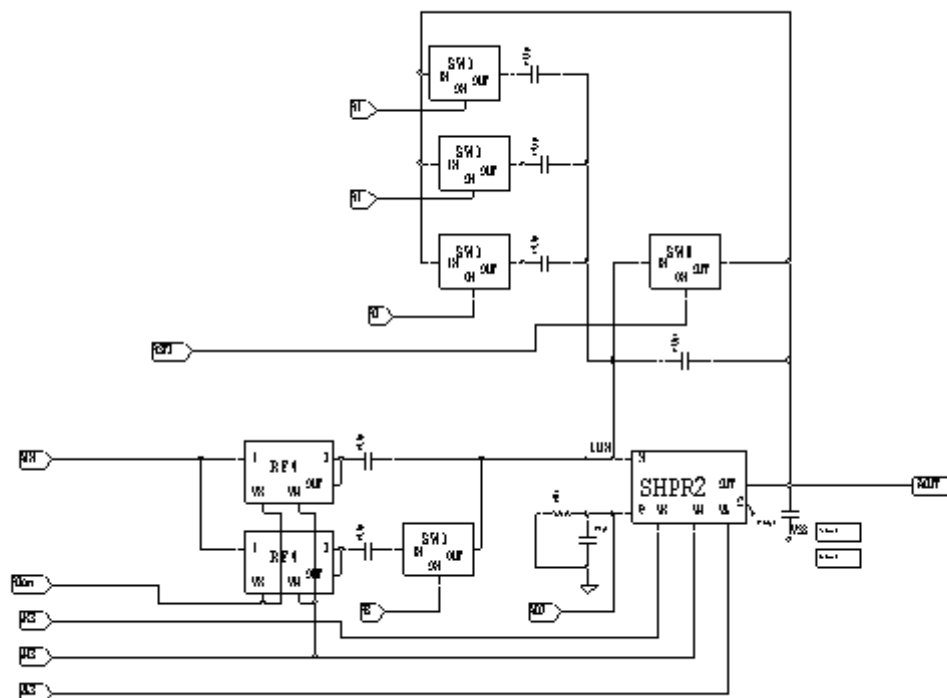


図 4.11: 可変利得増幅部

ピークホールド回路は、AD変換を行う間、波高電圧を保持する事を目的とする。回路図は、図4.12のようになっている。

この回路では、HLD信号がHレベルで入力されている間はピークホールドされる。そして、TRK信号がHレベルの時に回路がリセットされる。また、HLD信号がLレベルで入力されている間はピークホールドされず、入力された信号をそのまま出力するようになっている。

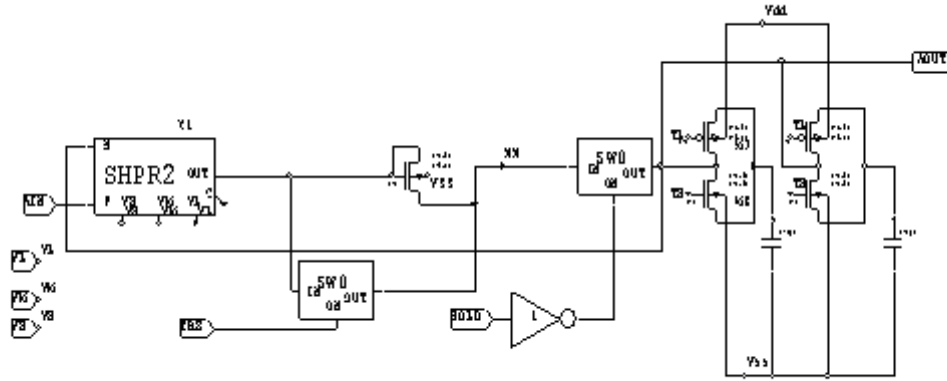


図 4.12: ピークホールド回路

## コンパレータ回路

コンパレータ回路は、図4.13のように表される。

K02-32SAチップでは、HIT信号のタイミングでデジタル信号のタイミングを取っている。その為、高速でトリガー信号を生成する回路が必要であり、それがコンパレータ回路である。この回路は「VTH」端子を調節することで閾値の調整をすることができる。しかし、閾値を雑音限界に置いた場合、信号以外に雑音を頻繁に拾うことでコンパレータが動作してしまうという問題が生じる。この問題は、ヒステリシス回路をコンパレータ内に入れることで回避できる。

ヒステリシス回路とは、コンパレータの出力が「L」の時は閾値を高くし、コンパレータの出力が「H」の時に閾値を低くする回路である。これにより雑音によりコンパレータが動作することを回避することができる。ヒステリシス回路の回路図は図4.14に示される。

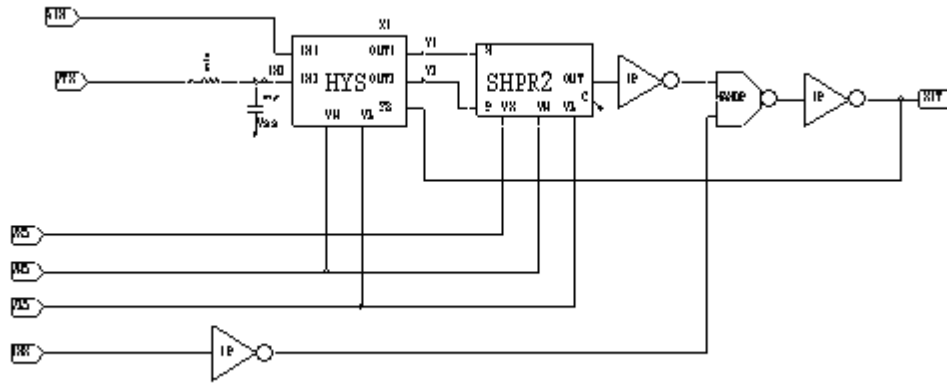


図 4.13: コンパレータ回路

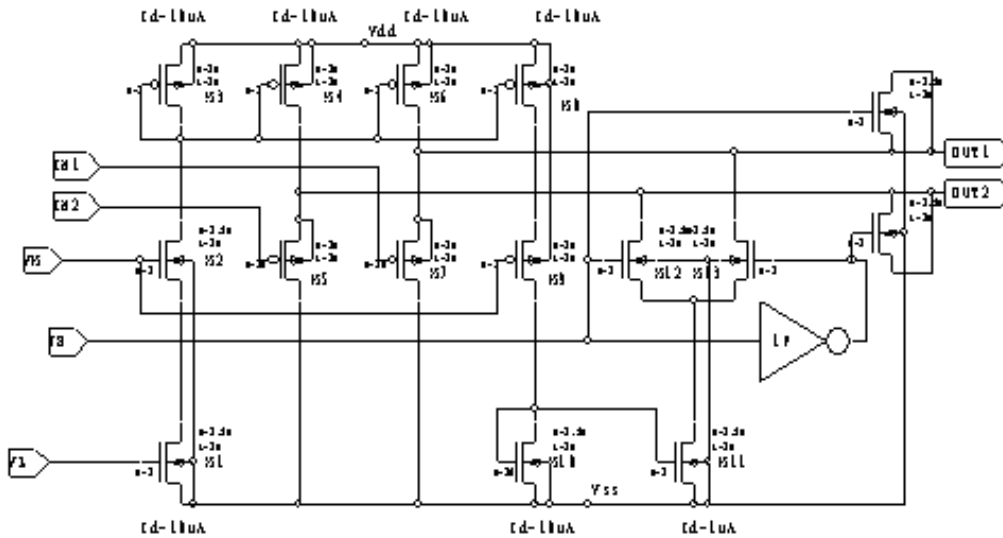
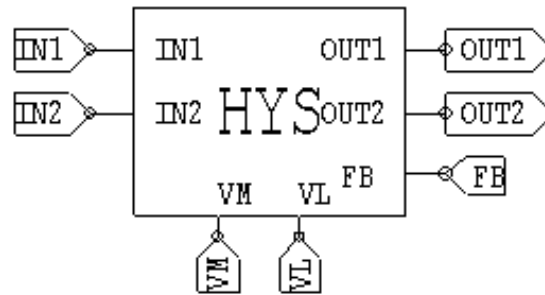


図 4.14: ヒステリシス回路



アナログ信号がチップの中に入ると、コンパレータ回路により HIT 信号が作られ、HIT 信号から TRG 信号が生成される。次に TRG 信号がチップから出て来るとその信号から外部で HLD 信号、TRK 信号を作りチップの中に入力する。そして HLD 信号が入力されることでチップ内で入力信号がピークホールドされ出力される。その後で、TRK 信号が入力され回路がリセットされ次の信号の処理が始まる。

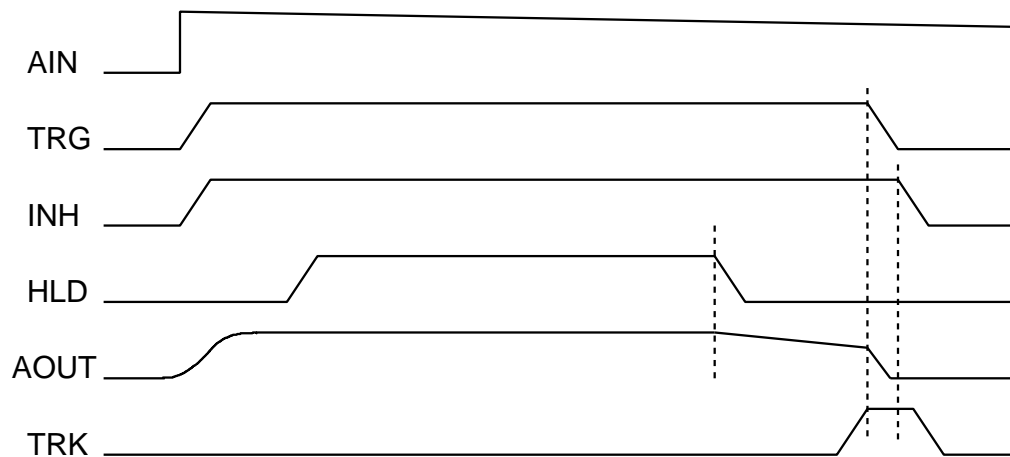


図 4.15: タイミングチャート

VLSIは製作に時間などが多く掛かるため、1度製作された後に回路を変更し作りなおすことは非常に困難である。したがって、実際にチップを製作する前の設計段階に置いて回路シミュレーターを用いて性能評価を正しく行うことは重要である。回路シミュレータは、等価回路図をもとに、作成された回路記述データを用いて、入力信号に対する出力信号や回路各点における、ふるまいをプローブを当ててシンクロスコープで見るがごとく、シミュレーションすることができるものである。また、シミュレーション上では、その回路の特性を検証することができ、間違えて異常電圧を与えても、回路素子を破壊させ実害を被ることもないので、回路設計の道具として、不可欠のものとなっている。今回のVLSI設計に用いたシミュレーションソフトは一般的なSPICEソフトウェアを用いた。

#### 4.5.1 SPICEソフトウェア

SPICEとは、Simulation Program with Integrated Circuit Emphasisの略であり、集積回路に重きを置いた電子回路シミュレーターのことである。今回私が使用したSPICEソフトウェアは、Tanner社の回路設計ツール[Tanner ToolsPro]である。このソフトは、回路エディタS-Edit、回路シミュレーターT-SPICE、及びレイアウト設計ツールL-Editで構成されている。回路シミュレーションは、すべてT-SPICEで行った。また、SPICEパラメータには、同じくTanner社の[TSMC Design Kit]のTSMC 0.35 $\mu\text{m}$ プロセス用のパラメータを用いた。したがって、トランジスタ等の特性が正しく反映されたシミュレーションとなっている。

#### 4.5.2 ゲイン調整

可変利得増幅器では、4bitのDAC信号により16段階のゲインの調整が可能になっている。図4.16はゲインが最大の時と、最小の時の入力信号-10mVに対する可変利得増幅器の出力波形である。また、各DACで調整することのできる利得を調べた。入力信号は-10mVで可変利得増幅器の入力(MON2)と出力(MON3)の波高値から増幅率を求めた(図4.6参照)。その結果を表4.4に示す。

このように、可変利得増幅部でおおよそ1倍から16倍までゲインを得ることができる。これにより、PMTとAPD(アバランシェPD)の両方の検出器に用いてデータ取得を行うことが可能である。

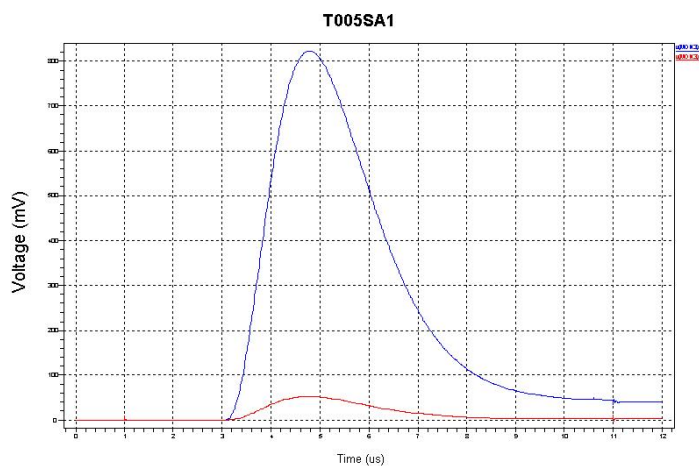


図 4.16: ゲイン最大波形 (青) と最小波形 (赤)

表 4.4: ゲイン調整範囲

DAC(R0,R1,R2,R3)	MON2[mV]	MON3[mV]	増幅率
H,H,H,L	51.35	52.69	1.0
L,H,H,L	51.35	60.24	1.2
H,L,H,L	51.35	70.13	1.4
L,L,H,L	51.55	84.36	1.6
H,H,L,L	51.66	105.08	2.0
H,H,H,H	51.66	105.20	2.0
L,H,H,H	51.45	120.38	2.3
H,L,H,H	51.66	139.74	2.7
L,H,L,L	51.66	139.96	2.7
L,L,H,H	51.55	168.11	3.3
H,H,L,H	51.55	209.39	4.1
H,L,L,L	51.45	210.39	4.1
L,H,L,H	51.55	278.20	5.4
H,L,L,H	51.35	417.76	8.1
L,L,L,L	51.66	422.26	8.2
L,L,L,H	51.55	824.83	16.0

SPICE ソフトウェアでは温度を変化させてシミュレーションを行うことができる。本 VLSI 開発は衛星搭載を目標としており、衛星搭載においては温度変化をする環境での VLSI の正常な動作と言うものは必要不可欠である。その為、SPICE ソフトウェアを用いて温度を変えた状態での動作をシミュレーションすることは重要である。そこで、温度を 20°C、0°C、-20°C の 3 種類変化させ、回路の動作を確認した。なお、本シミュレーションは、ゲイン (R0 ~ R3=L)、入力信号-10mV として行った。

その結果を表 4.5 に示す。この結果から、温度を変化させた場合でも、回路は正常に動作し、出力電圧のバラツキも 10%以内と、十分許容範囲であると言える。

表 4.5: 温度の評価

温度	入力信号 [mV]	MON1[mV]	MON2[mV]	MON3[mV]
20°C	-10	-7.15	-16.7	199.77
0°C	-10	-6.94	-18.73	217.62
-20°C	-10	-7.31	-18.23	207.75

#### 4.5.4 ノイズレベルの評価

K01 チップでは、回路系のノイズは主として初段の CSA の性能によって支配されていた。しかし、K02-32SA ではノイズ源であった CSA は内蔵していないので低ノイズが期待できる。そこで、ノイズレベルを調べるためのシミュレーションを行った。まず、図 4.17 のように出力信号のノイズを NSD(mV) とする。K01 では、ノイズ評価は式 4.1 でを行い、electron 数換算で評価を行っていた。(小林修論参照。)

$$Electron \text{ 数} = NSD[mV] \times \frac{\text{入力}[mV]}{\text{出力}[mV]} \times \text{入力容量}[F] \times \frac{1}{1.6 \times 10^{-19}[C]} \quad (4.1)$$

しかし、K02-32SA は入力が electron ではないため、この式が使えない。そこで、今回のシミュレーションでは式 4.2 のようにして入力信号に相当したノイズ電圧に換算してノイズ評価を行った。

$$NoiseLevel[mV] = NSD[mV] \times \frac{\text{入力}[mV]}{\text{出力}[mV]} \quad (4.2)$$

本シミュレーションでは、-10mV の信号を入力し、ゲインが最大 (R0 ~ R2=L、R3=H)、最小 (R0 ~ R2=H、R3=L) の 2 つの状態を調べた。また、温度変化があった場合のノイズも調べた。この場合のゲインは (R0 ~ R3=L) と設定した。その結果を、表 4.6 に示す。

この結果から、ノイズは全て入力に換算して 0.5mV 程度となりプリアンプ信号 100mV 以下に対して十分許容できる範囲であると言える。

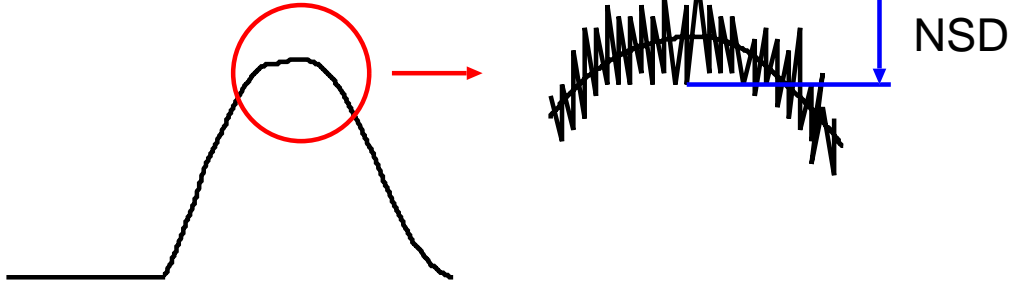


図 4.17: ノイズ

表 4.6: ノイズレベルの評価

	NSD[mV]	入力 [mV]	出力 [mV]	ノイズ [mV]
ゲイン最大	1.42	-10	24.9	0.57
ゲイン最小	21.5	-10	405.4	0.53
20°C	10.53	-10	199.77	0.53
0°C	9.31	-10	217.62	0.43
-20°C	10.12	-10	207.75	0.49

#### 4.5.5 リニアリティ

目的とする入力信号帯域は、1mV ~ 100mV で PMT 検出器で 100keV ~ 1MeV 相当である。また、BGO+APD の場合、30 ~ 300keV 程度まで測定可能である。しかし、これは検出器の HV の値を変えることで測定範囲を広げることができると考えられる。

目的の信号帯域でのリニアリティを調べるためにシミュレーションを行った。今回はゲイン最大、最小の場合と入力極性が正、負の 4 通りでシミュレーションを行いリニアリティを調べた。入力する信号は、ゲイン最小の場合で、±10mV ~ ±200mV、最大の場合で、±1mV ~ ±20mV の信号を入力し行った。以下にその結果を示す。この結果から、入力信号 ±1mV ~ ±100mV までのリニアリティは確保できていることが分かった。

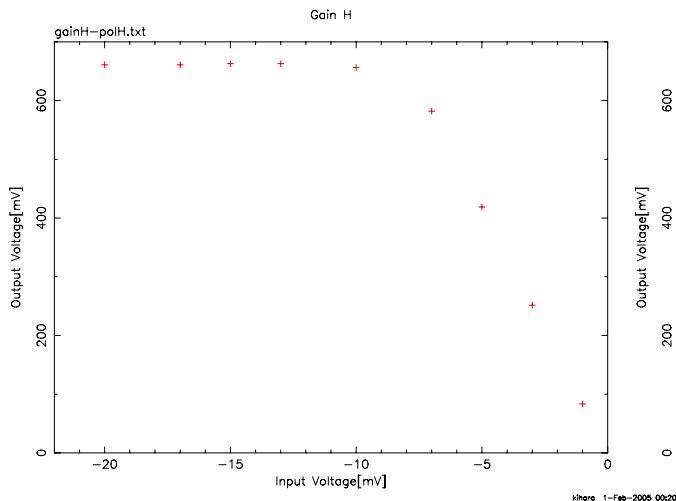


図 4.18: 入力極性:負、ゲイン:最大のリニアリティ

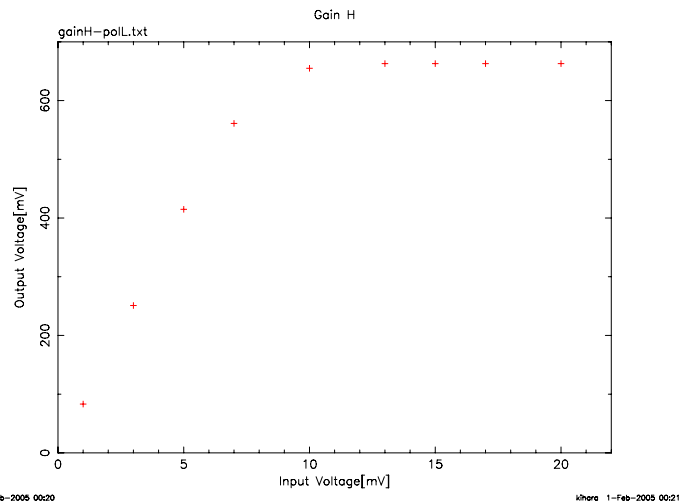


図 4.19: 入力極性:正、ゲイン:最大のリニアリティ

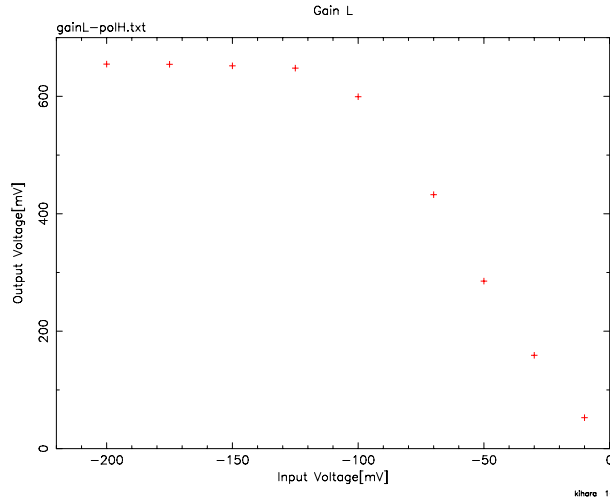


図 4.20: 入力極性:負、ゲイン:最小のリニアリティ

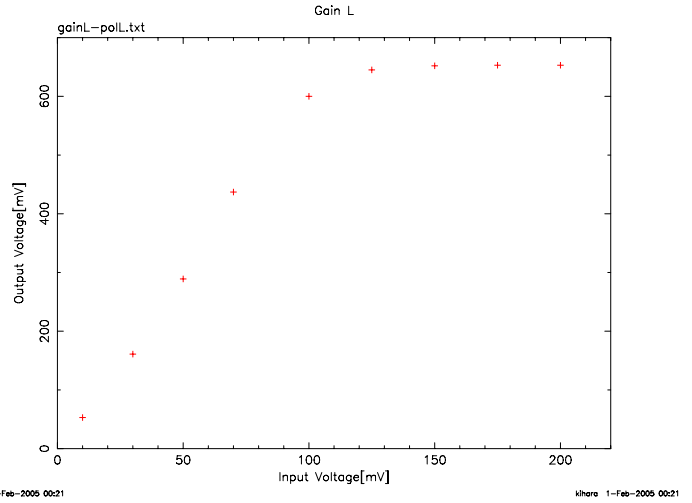


図 4.21: 入力極性:正、ゲイン:最小のリニアリティ

シミュレーションをして各々の回路ブロックが完成したらアナログ回路全体での動作シミュレーションを行う。これにより、個々の回路ブロックのみでは起こらない現象やトラブルが起こらないかどうかの確認して、改良し、より設計精度を高める。ここでは、シミュレーション時にアナログ回路の動作を示した波形図を図 4.22、4.23 に示す。このシミュレーションは、ゲイン最小 ( $R0 \sim R2=H, R3=L$ )、入力信号 30mV、POL=H として行った。各モニター端子の波形を示す。橙色：入力信号、桃色：MON1、緑：MON2、青：MON3、赤：P/H 出力

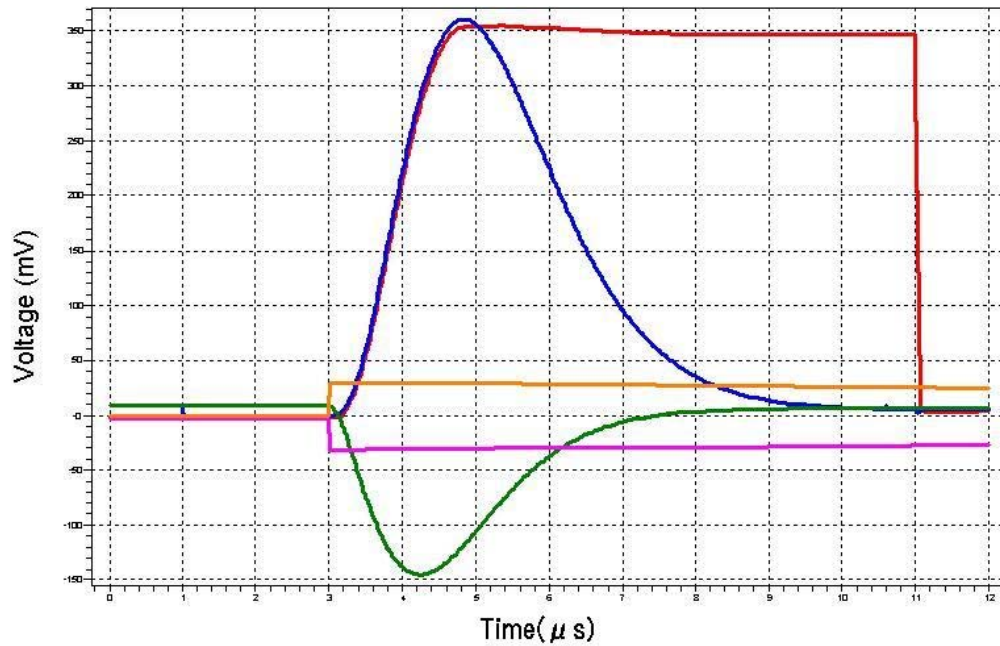


図 4.22: アナログ回路の動作波形 1(橙色：入力信号、桃色：MON1、緑：MON2、青：MON3、赤：P/H 出力)

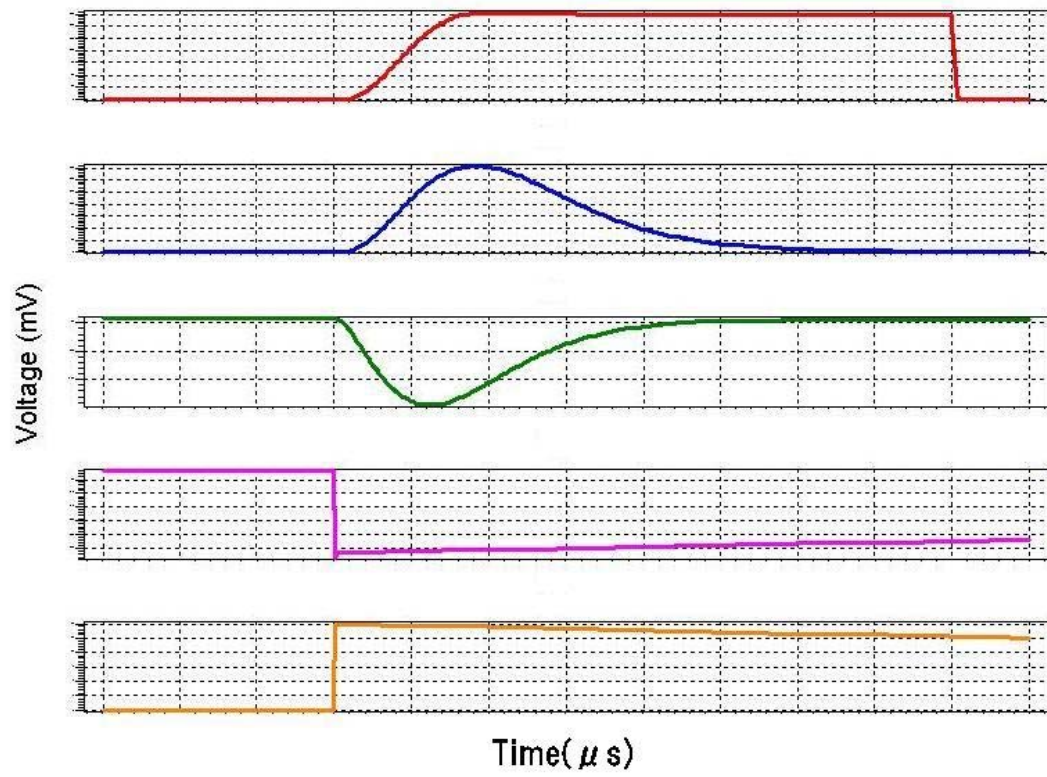


図 4.23: アナログ回路の動作波形 2(下から、橙色：入力信号、桃色：MON1、緑：MON2、青：MON3、赤：P/H 出力)



# 第5章 1次元アナログVLSIの開発及び評価

## 5.1 K02-32SA チップの開発

前章で設計を行ったアナログVLSI(K02-32SA)の製作を実際に行った。設計が完了すると、デザイン会社にレイアウト製作を依頼し、マスクレイアウトを製作してもらう。そして、LVS等のチェックを行い、LSI製造メーカーであるTSMCにマスクを提出し(サブミッション)、製作を依頼した。チップは、1月末に製作を依頼し、3月上旬に出来上がってきた。しかし、前章でも述べたがここで問題が発生した。チップ内のCMOSのゲートと拡散層の間にあるべき酸化膜(図4.1参照)が無い状態でチップが出来上がってしまった。その為、CMOS自体が動作せず動作をしないチップになってしまった。これは、LSI製作先であるTSMCにサブミッションした時に提出したマスクとレイアウトの指示書が間違っていた為に起こった。やはり、今回のLSI製作は非常にタイトなスケジュールで行って為にこのようなミスが起こったものだと考えられるので、LSI製作には十分な時間を見て取り掛からなければならない。

上記の問題から、チップを再製造した。そのため、チップが出来上がって来たのは8月上旬となった。チップはベアの状態で納入された(図5.1)。これを評価ボードにワイヤーボンディングし評価を行っていく。

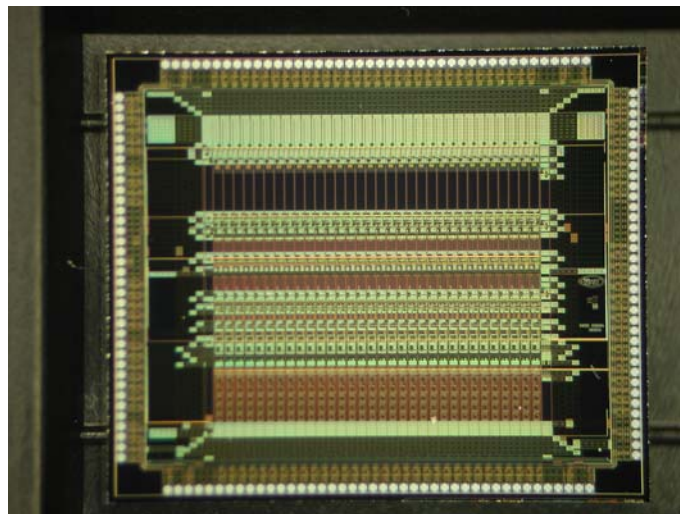


図 5.1: K02-32SA ベアチップの写真 (大きさ:5mm×5mm)

K02-32SA の動作評価に用いる評価ボードは、K02-64P/N の評価ボードと同じものを用いる。写真 5.2 は実際の評価ボードであり、中央に K02-32SA チップがワイヤーボンディングされている。VLSI に必要なリファレンス電流も基板上で作られる。K02-32SA チップの特徴の1つであるモニター機能を利用するため、モニターピンを立てた。これによりプローブ等でアナログ処理回路中の波形を見ることができる。また、入力・出力ともにピンを立てており、そこから信号を入出力できる。出力信号は、NI 社の DAQ デバイスを用いて PC に取り込まれ処理される。



図 5.2: K02-32SA 評価基板の写真

## 5.3 読み出し系のセットアップ

### 5.3.1 PCI-6024E

PCI-6024E は、NI 社製の DAQ デバイスである。PCI-6024E は Analog input が 16ch、Analog output(DAC out) が 2ch、Digital I/O が 8ch、この他に Trigger や GND など合計 68 個の I/O コネクタピンを持っている。また、PCI-6071E と同様に Multiplexer を搭載しており、16ch の Analog input に入力されるアナログ信号を内部マルチプレクサで切替えて 1 つの ADC で 16ch の AD 変換を行う。その為、低コストであるという特徴を持っている。しかし、各チャンネルのサンプル間での時間のずれが生じるという欠点も持っているが、今回のようにピークホールドされた信号を取り込む場合は問題にならない。実際に、PCI-6024E に信号を入出力させる場合には、I/O ボードの CB-68LP とリボンケーブル・R6868 を用いる。PCI-6024E のブロックダイアグラムとコネクタピンリストを以下に示す。

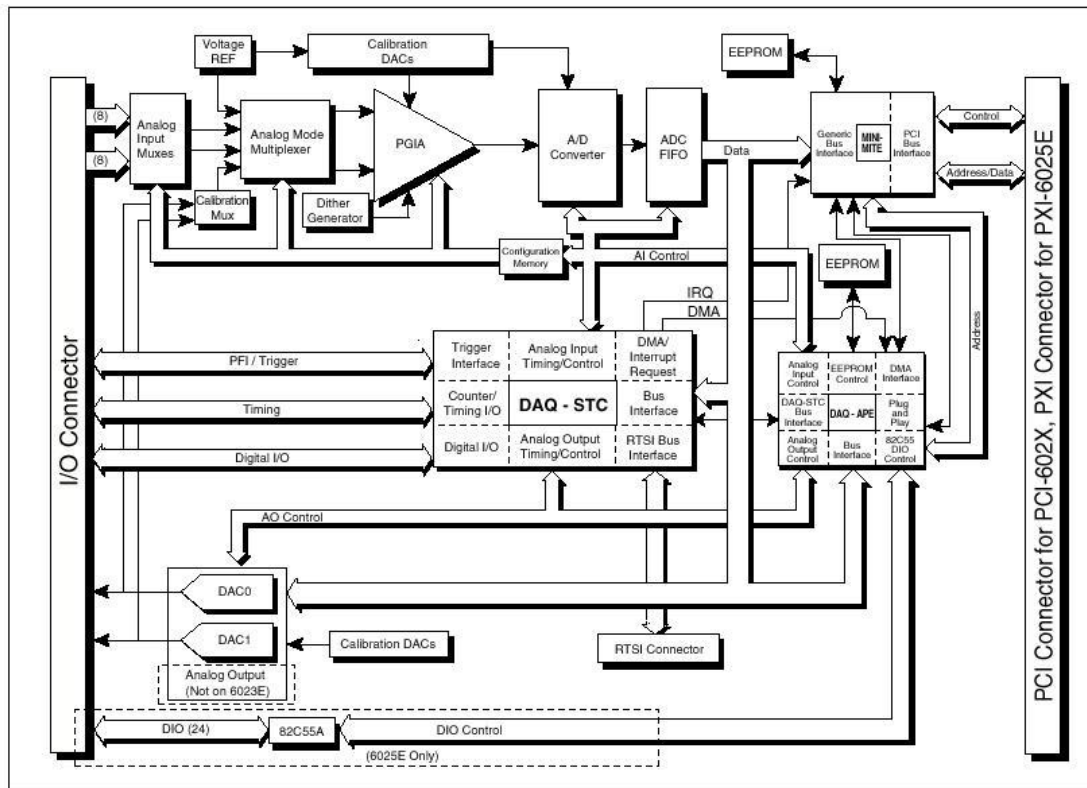


図 5.3: PCI-6024E ブロックダイアグラム (マニュアルより抜粋)

ACH8	34	68	ACH0
ACH1	33	67	AIGND
AIGND	32	66	ACH9
ACH10	31	65	ACH2
ACH3	30	64	AIGND
AIGND	29	63	ACH11
ACH4	28	62	AISENSE
AIGND	27	61	ACH12
ACH13	26	60	ACH5
ACH6	25	59	AIGND
AIGND	24	58	ACH14
ACH15	23	57	ACH7
DAC0OUT1	22	56	AIGND
DAC1OUT1	21	55	AOGND
RESERVED	20	54	AOGND
DIO4	19	53	DGND
DGND	18	52	DIO0
DIO1	17	51	DIO5
DIO6	16	50	DGND
DGND	15	49	DIO2
+5 V	14	48	DIO7
DGND	13	47	DIO3
DGND	12	46	SCANCLK
PFI0/TRIG1	11	45	EXTSTROBE*
PFI1/TRIG2	10	44	DGND
DGND	9	43	PFI2/CONVERT*
+5 V	8	42	PFI3/GPCTR1_SOURCE
DGND	7	41	PFI4/GPCTR1_GATE
PFI5/UPDATE*	6	40	GPCTR1_OUT
PFI6/WFTRIG	5	39	DGND
DGND	4	38	PFI7/STARTSCAN
PFI9/GPCTR0_GATE	3	37	PFI8/GPCTR0_SOURCE
GPCTR0_OUT	2	36	DGND
FREQ_OUT	1	35	DGND

図 5.4: PCI-6024E コネクタピンリスト (マニュアルより抜粋)

K02-32SA チップにアナログ信号を入力し、スペクトルを取得する為のセットアップを以下に示す(図 5.5)。入力信号ピンよりアナログ信号を入力し、K02-32SA チップを通して得られる出力アナログ信号を CB-68LP を用いて PC に取り込み LabVIEW を用いて AD 変換しスペクトルを取得する。一方で、K02-32SA チップにデジタル信号を入力し、LabVIEW を用いて K02-32SA のデジタル信号処理を制御しなければならない。その為、デジタル信号も LabVIEW に入出力できるようにする必要がある。チップのデジタル信号は LVDS 規格のレベルで入出力される。LVDS とは、Low Voltage Differential Signaling の略で信号を +350mV と -350mV(100Ω で終端した場合) の差動入出力にすることで信号の劣化を防ぎ高速通信を可能にした規格である。今回は、デジタル信号を入出力させるため LVDS を TTL に変換する基板を作り使用した。LVDS to TTL 変換の為に用いた IC は、National Semiconductor 社製の LVDS ドライバ(DS90C031TM) と LVDS レシーバ(DS90C032TM) を用いた。なお、チップに入出力しているデジタル信号の名称・機能は巻末の表を参照。

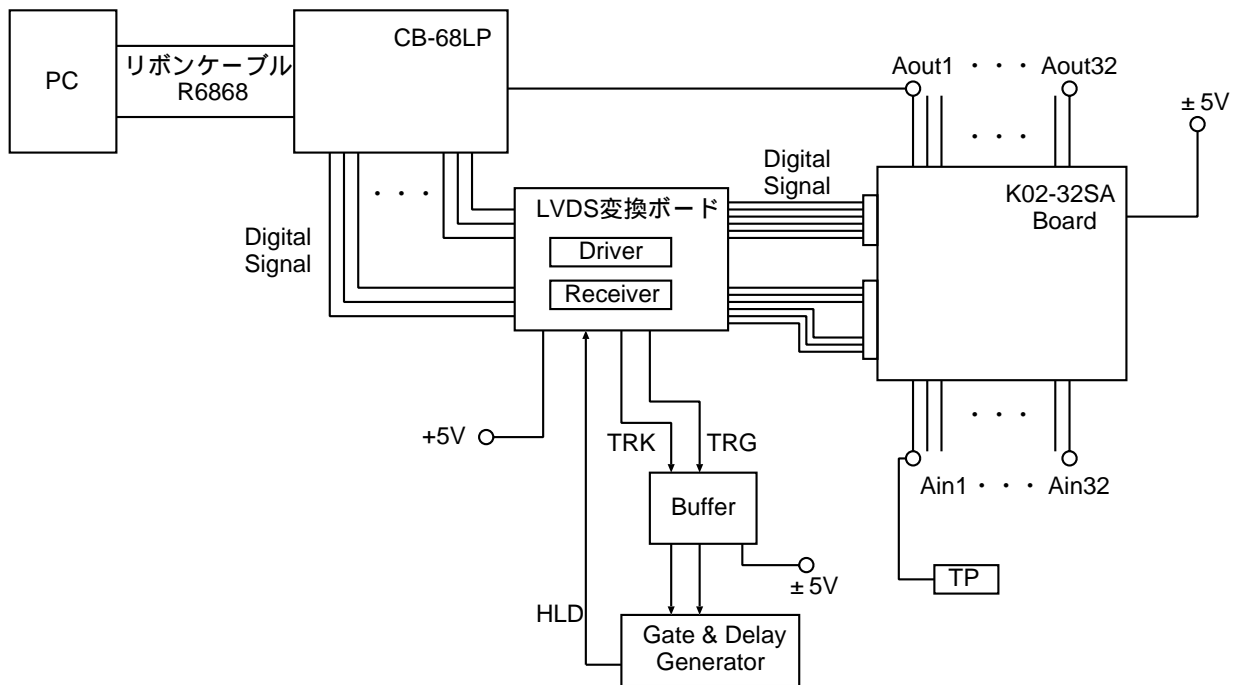


図 5.5: K02-32SA セットアップ

K02-32SA チップには、1チャンネルあたり 8bit のシフトレジスタが内蔵されている (図 5.6)。その為、LabVIEW でデジタル信号を生成し、チップに入力する必要がある。8bit のシフトレジスタはそれぞれ、可変利得増幅部のオフセット調節を行うためのデジタル信号 (D0 ~ D4)、CSA 内蔵チップ用テストパルス enable 信号 (TPENB)、トリガー信号 enable 信号 (TRGENB)、次のチャンネルへ移行するための信号 (SKIP) である。チップ全体では、8bit×32チャンネルの計 256bit の信号がシフトレジスタによってチップに書き込まれる。シフトレジスタ書き込みのタイミングチャートは図 5.7 の通りである。なお、「INIT」はデジタル信号の初期化信号入力、「MS」は書き込み enable 信号、「CK」はチップを動作させている基本クロック (10MHz 程度)、「DIN」はシフトレジスタ用デジタル信号入力、「DOUT」は入力されたデジタル信号を確認するためのデジタル信号出力である。

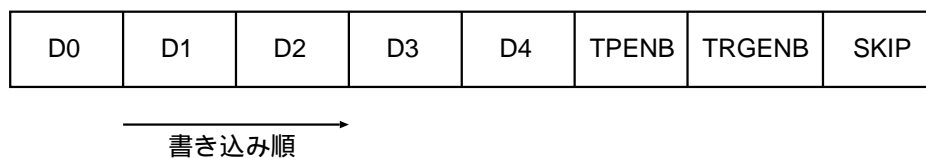


図 5.6: シフトレジスタの書き込み信号 (1チャンネルあたり)

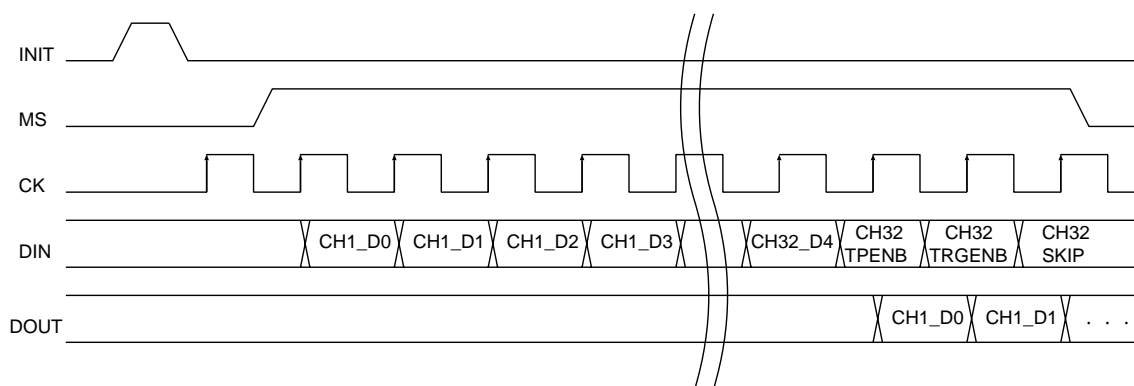


図 5.7: シフトレジスタの書き込みのタイミングチャート

評価ボードを用いて K02-32SA の動作評価を行った。具体的には、基板上的のスイッチを切替えることでチップのモニター出力機能を有効にし、モニター機能によってアナログ回路中の波形の様子を確認することで動作評価を行った。モニター機能は、極性切替え回路、波形整形回路、利得増幅回路の出力波形を見ることができるようになっている (図 4.6 参照)。入力信号はパルサーからのテストパルスを用い、信号の大きさは GSO+PMT 検出器を用いた場合のエネルギー 600keV 相当のテストパルス (80mV)、時定数はプリアンプ出力を想定し  $50\mu\text{s}$  とした信号を入力した。信号を入力するチャンネルはモニター機能の使用できる CH1 に入力した。また、ゲインは最小 ( $R0 \sim R2=H$ ,  $R3=L$ ) にて行った。

#### 5.4.1 極性切替え回路のモニター出力 (MON1)

テストパルスにて信号を入力し、極性切替え回路後のモニター端子 (MON1) を用い、極性切替え回路の出力波形をオシロスコープにて測定した。入力信号は  $\pm 80\text{mV}$  で極性切替え信号である POL 信号を入力し、どちらの極性の場合も正常に動作するかどうかを確認した。下の図 5.8、5.9 は、右が極性「正」、左が極性「負」のオシロにて見た出力波形である。正極性の場合 POL 信号を L とすると、信号はそのまま出力される。また、負極性の場合には POL 信号を H とすると、信号は反転して出力される。取得した波形を見ると正常に動作していることが確認できた。ゲインは出力波形を見ると約 1 倍となっており設計通りの結果が得られた。

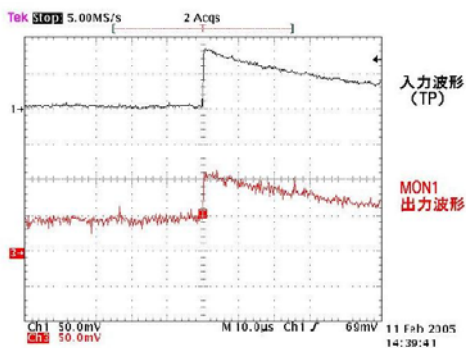


図 5.8: 正極性入力時の極性切替え回路後の波形

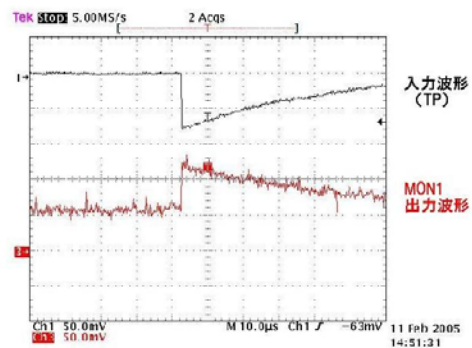


図 5.9: 負極性入力時の極性切替え回路後の波形

#### 5.4.2 波形整形回路のモニター出力 (MON2)

テストパルスを入力した時の波形整形回路後の出力波形を MON2 を用いて測定した。得られた波形は図 5.10 のようになった。まず、波形であるが、1 段目の積分回路で反転し、2 段目の積分回路で反転するため出力波形の極性は入力波形である MON1 の極性と同等となる。そして、ゲインであるが波形を見るとおよそ 3 倍、時定数が約  $8\mu\text{s}$  となり、これも設計通りの動作をしていることが分かる。また、波形を見るとアンダーシュートが見られない、これにより PZC 回路が正常に動作していることが確認できた。また、高抵抗回路の電流を調整することで波形整形回路の時定数を  $2\mu\text{s}$  に調整することができ (図 5.11)、時定数調整機能も正常に動作をしていることが確認できた。

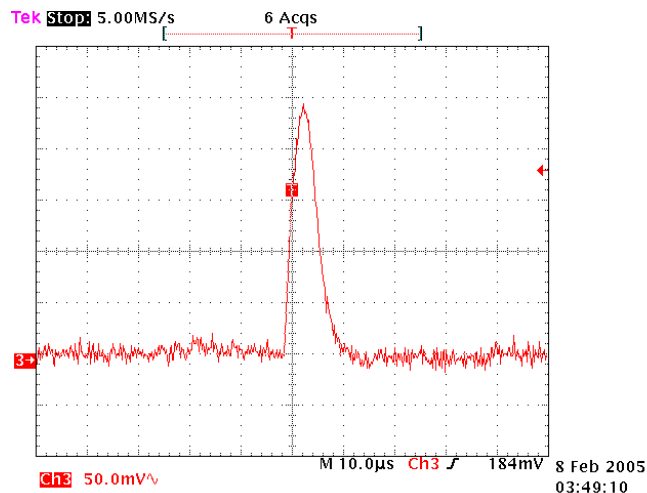


図 5.10: 波形整形回路の出力波形

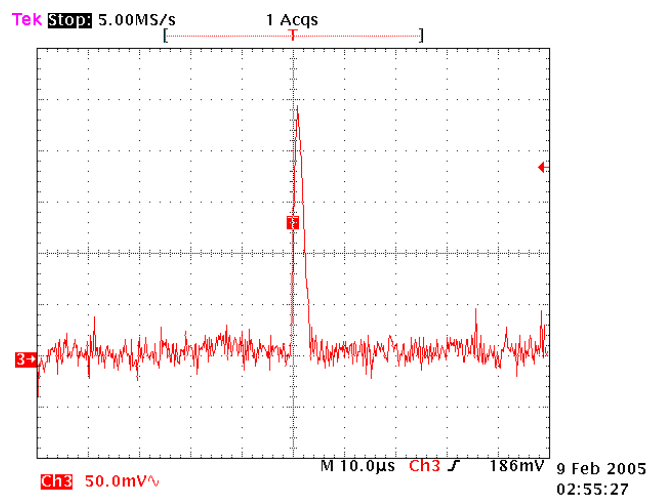


図 5.11: 高抵抗回路の電流にて時定数を調整した時の波形整形回路後の出力波形

### 5.4.3 可変利得増幅回路のモニター出力 (MON3)

テストパルスを入力した時の可変利得増幅回路後の出力波形を MON3 を用いて測定した。測定した波形は図 5.12 となっている。可変利得増幅回路は反転増幅器であり、波形整形回路後の信号を反転した波形をしている。波高値は波形整形増幅回路の値とほぼ同じとなっておりゲインは設定の通り 1 倍となっていることが確認できた。また、ゲインを 2 倍に設定した時の波形も取得した (図 5.13)。この波形もゲインが 2 倍になっており、ゲイン調節機能も正常に動作していることが確認できた。時定数も前段の波形整形回路の出力波形と同じ時定数となることが確認できた。

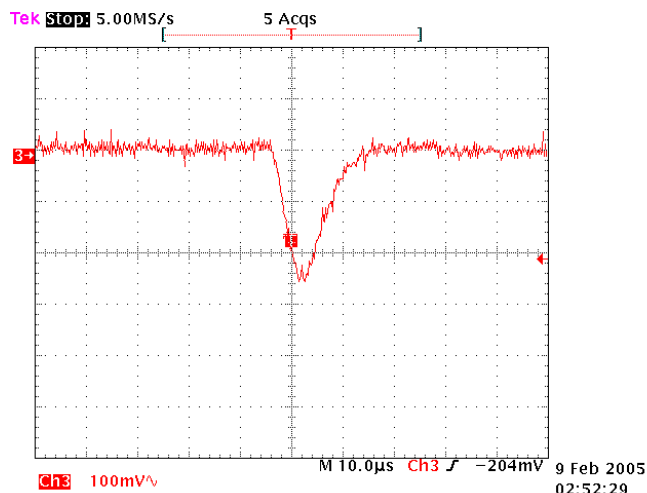


図 5.12: 可変利得増幅回路の出力波形

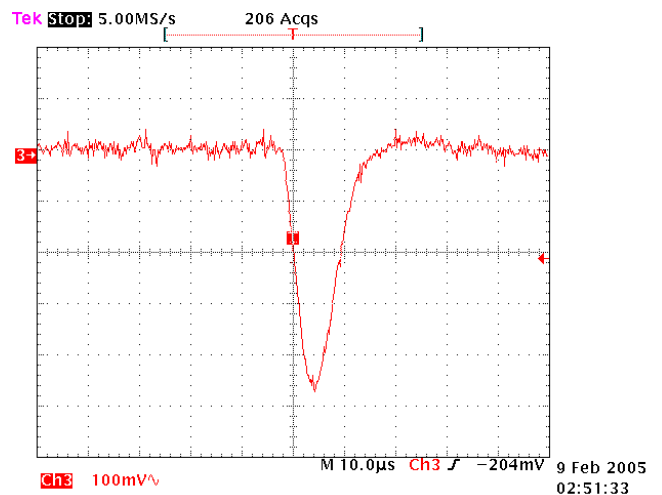


図 5.13: ゲインを 2 倍にした時の可変利得増幅回路後の出力波形



アナログ処理回路がきちんと動作しているかどうかを確認するため、可変利得増幅部後の波形をモニター機能を用いてリニアリティを測定した。テストパルスの値はPMT 検出器を用いた場合のエネルギー範囲 (100keV ~ 1MeV) に相当する範囲の動作を確認するため 10mV ~ 200mV を入力して測定を行った。

得られた結果は図 5.14 の通りである。この結果から、10mV ~ 120mV までのリニアリティが十分確保されていることが確認できた。よって、PMT を用いた際のエネルギーは 1MeV までの入力信号に対して十分なリニアリティが確保されている。

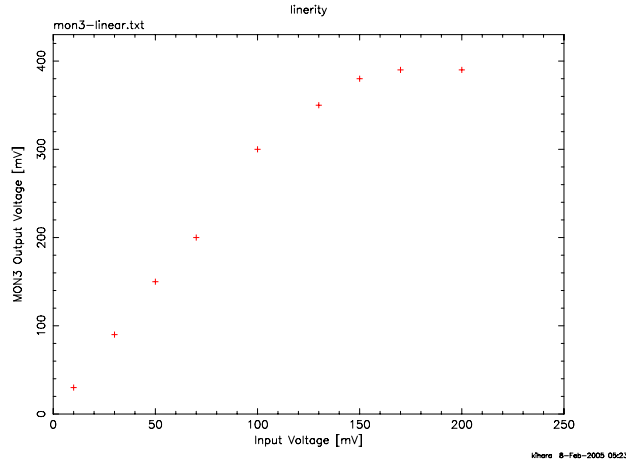


図 5.14: 可変利得増幅部までのリニアリティ

#### 5.4.5 K02-32SA チップからの出力波形 (AOUT)

K02-32SA チップにアナログ信号を入力すると、図 5.15 のような MON3 の波形をピークホールドした波形の信号が出力される (AOUT)。なお、この出力信号が LabVIEW を通して DAQ デバイスで AD 変換されスペクトルとして取得される。この波形を見ると K01 チップで問題になった出力オフセットは乗っていない。以上より、出力オフセットに関して K01 チップからの改良は成功していることが分かった。

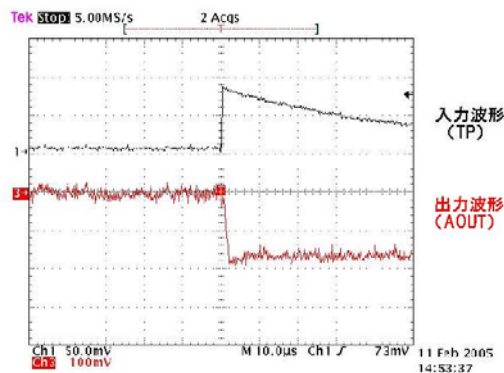


図 5.15: K02-32SA チップからの出力

K02-32SA チップにアナログ信号を入力すると、上記のような信号処理が行われその出力信号 (AOUT) を LabVIEW を用いて DAQ デバイスで AD 変換を行う。そしてその処理を繰り返すことで入力信号のスペクトル図が得られる。図 5.16 はパルサーを用いて 50mV、80mV、100mV のテストパルス (TP) を入力した場合に得られるスペクトルである。この図をみると、TP=80mV のピークは 700ch 付近にあることが分かる。また、60ch 辺りにピークが立っているがこれはノイズによって得られたピークである。ノイズの 60ch は出力電圧で約 10mV となる。ノイズレベルは設計よりも悪くなってしまった。これは、外来ノイズ落としを行っていないことが原因であると考えられる。また、評価基板によってもノイズが乗ってしまう事も考えられる。しかしながら、ノイズ落としを行っていない状態でも K01 チップよりは 1/5 程ノイズレベルは向上していることが分かった。今回は動作確認を最優先に行ったが、今後はこのあたりの追求も行っていく必要がある。

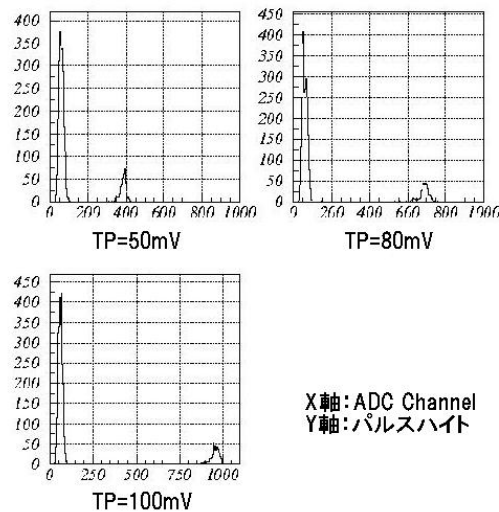


図 5.16: LabVIEW を用いて得られたスペクトル (TP=50mV,80mV,100mV)

## 5.5 32チャンネルの動作確認

ここまでは、モニター機能を用いることができる CH1 についての動作確認を行い、正常な動作を確認した。次に、残りの 31 チャンネル分の動作評価を行った。そのために、1 チャンネルずつ正入力・負入力の場合のリニアリティ測定を行った。CH2~CH32 まではモニター端子は回路に組み込まれていないため LabVIEW によって AD 変換後のスペクトルからリニアリティを測定した。この測定では、ゲインは最小 (R0~R2=H、R3=L)、入力するテストパルスは 1 チャンネルの場合と同様に PMT を用いた場合を想定した範囲 (10mV~200mV) で行った。

結果についてはここでは一部のみ記載する (その他のチャンネルについては、巻末に記載するのでそちらを参照)。得られた図は、入力が正極性の場合で図 B.2、B.9、負極性の場合で B.34、B.41 となった。この図を見ると、入力極性による違いは見られない。しかし、チャンネル間においてはゲインの違いからダイナミックレンジの上限に多少の違いが見られる (図 5.23)。これは、高抵抗回路において素子の値がばらついているためゲインに違い

か見られるわけではないがとらえられた。また、図 5.17、5.18、5.19、5.20、設計通りのダイナミックレンジではないチャンネルも見つかった(図 B.23、B.25)。これは、製造プロセスにおいて CMOS の精度のずれによって生じたものであると考えられる。

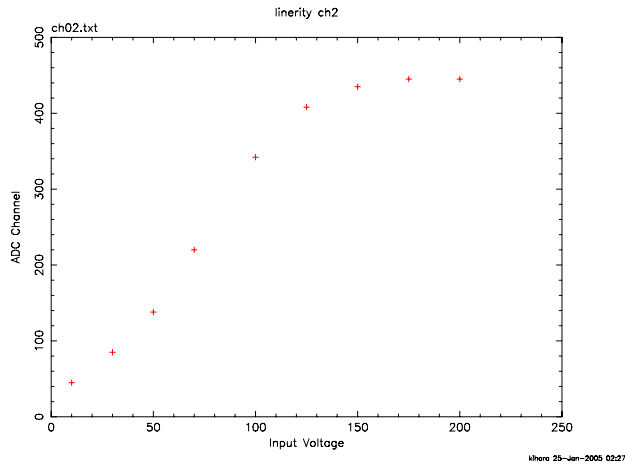


図 5.17: CH2 のリニアリティ(入力極性:正)

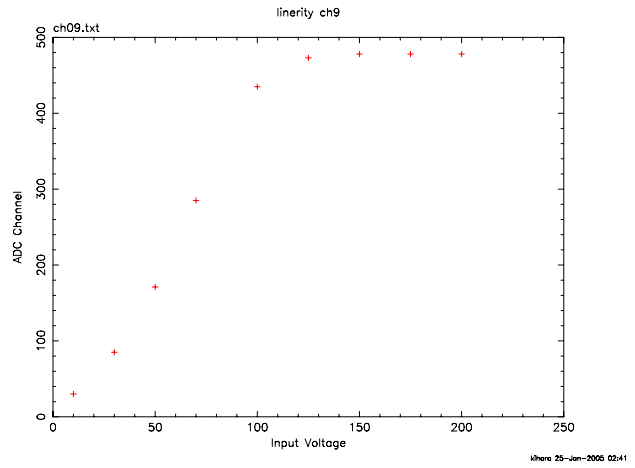


図 5.18: CH9 のリニアリティ(入力極性:正)

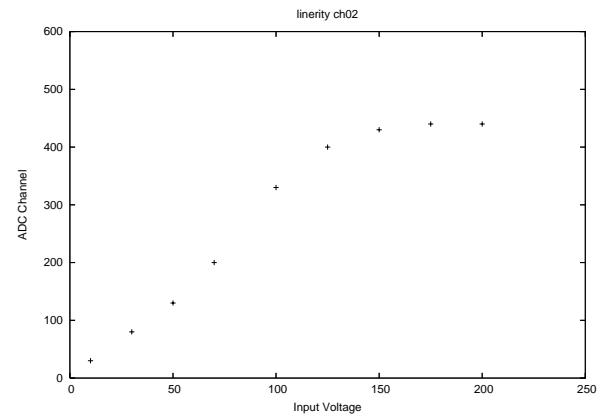


図 5.19: CH2 のリニアリティ(入力極性:負)

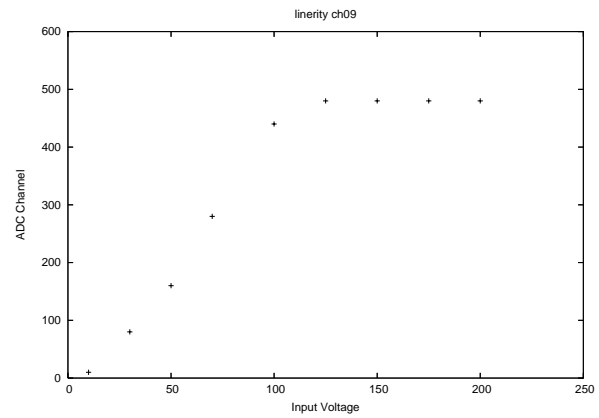


図 5.20: CH9 のリニアリティ(入力極性:負)

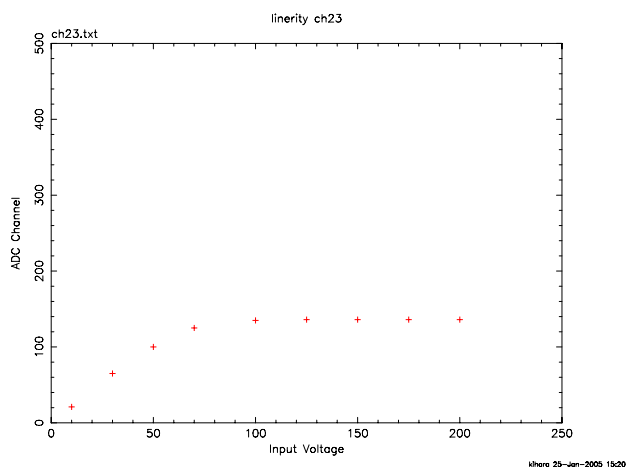


図 5.21: CH23 のリニアリティ(入力極性:正)

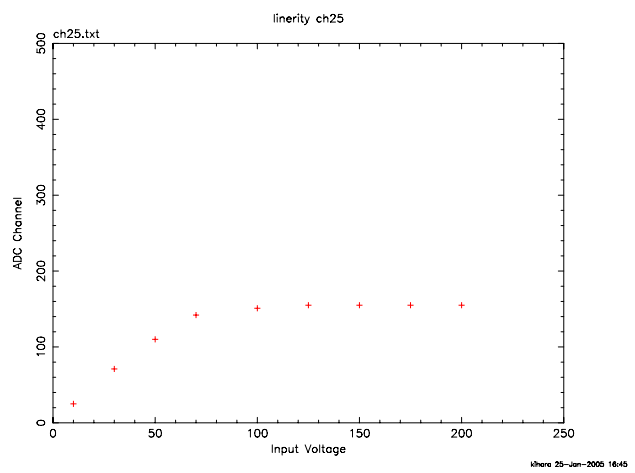


図 5.22: CH25 のリニアリティ(入力極性:正)

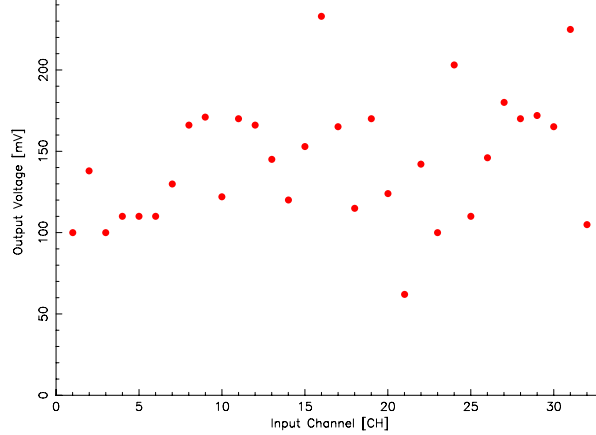


図 5.23: 入力電圧 50mV に対する各 CH の出力電圧のばらつき

## 5.6 まとめ

前章で設計した VLSI を実際に製作し、その VLSI(K02-32SA) の動作評価を行った。製作の段階では、製造プロセスの問題で 1 度失敗をしてしまった。しかしその後、間違いを訂正したプロセスにより無事 K02-32SA チップが出来上がった。

出来上がったチップはベアの状態であるので、動作評価を行うために評価基板にワイヤーボンディングし評価を行った。

動作評価では、まずモニター機能が使用できる CH1 について評価を行った。基板上的のスイッチでモニター機能を有効にし、アナログ処理回路が正常に動作しているかどうかを順にプローブを用いオシロで測定した。そして、出力信号にもオフセットは乗っておらず、ノイズレベルも外乱ノイズ落としが不完全であるにも関わらず K01 チップよりも良いことが分かった。その結果、製造プロセスによる誤差はあるものの設計時のシミュレーションとほぼ同程度の結果を得ることができ、K01 チップからの改善点を含め、ほぼ設計通りに製作できていることが確認できた。

そして、CH1 の評価が済んだので、次に全 32 チャンネルの動作評価を行った。その結果、高邸高回路において素子の値ばらついているためにゲインがばらつき、各チャンネル毎の出力の波高値に  $\pm 20\%$  のばらつき見られたが、ほぼ設計通り動作していることが確認できた。しかし、その中には出力の波高値が 120mV 程度しか出ておらず、設計通りの動作をしていないチャンネルも見つかった。これは、製造プロセスにおいて CMOS の精度のずれによって生じたものであると考えられる。

以上のことから、本研究にて製作した VLSI である K02-32SA はほぼ設計通りの性能を持っていることが確認できた。今後は、外来ノイズ落としなどを行いより深い性能評価を行っていきたい。

## 第6章 8chPMT+アナログVLSI

ここでは、K02-32SA で実際に多チャンネルの検出器の読み出しを行うため、8chPMT を用いて実験を行った。今回は、GSO+8chPMT のシンチレーション検出器を構成し、検出器の位置分解能の測定とエネルギー分解能の測定を行った。なお、シンチレータはGSO(24mm×24mm×5mm) を用いた。図 6.1 に構成したシンチレーション検出器の写真を載せる。

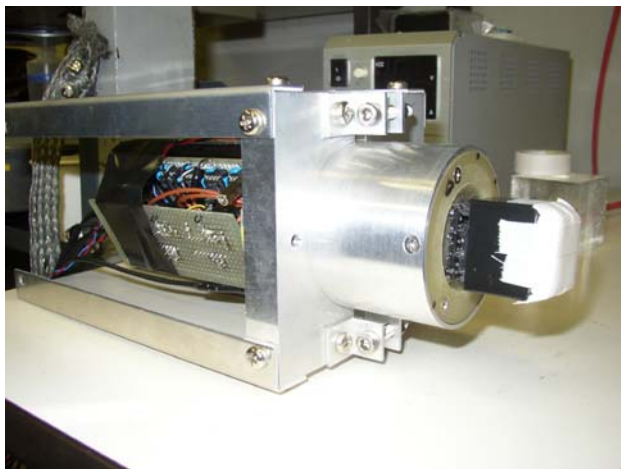


図 6.1: 構成したシンチレーション検出器の写真

### 6.1 8chPMT

本実験では、川本の修論 (2003 広島大 理) の実験で用いられた 8chPMT を使用した。用いられた 8chPMT は、浜松ホトニクス社製の位置検出型 PMT-5900-00-C8 である。これは、64chPMT 同様メタルチャンネルダイノード型の PMT であるが、アノード部分が各軸 4ch で計 8ch のクロスプレートアノード構造をしている。8chPMT の構造とクロスアノードプレート構造を図 6.2 に示す。また、8chPMT に用いたプリアンプも図 6.3 に示す。なお、詳細は川本修論を参照。

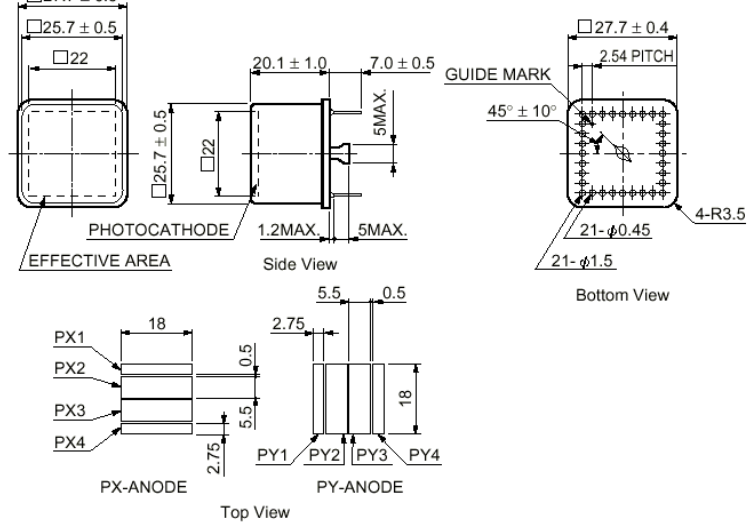


図 6.2: 8chPMT の構造及びクロスプレートアノード構造 (単位 : mm)

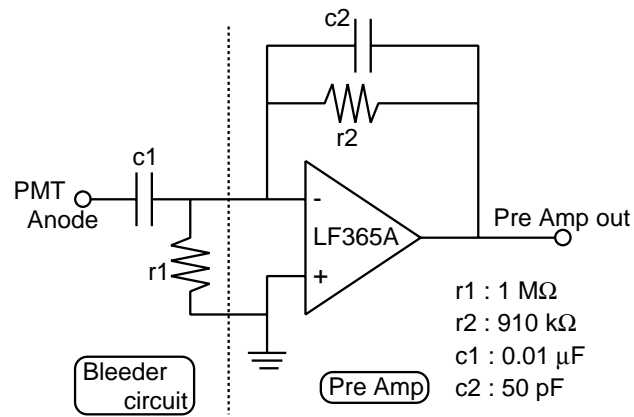


図 6.3: 8chPMT に用いたプリアンプ (アノード)

## 6.2 セットアップ

まず、8chPMTからの9つの出力(アノード出力8つ、ダイノード出力1つ)をK02-32SAチップに入力する。ここで、入力するチャンネルは前章のリニアリティ測定を参考にし、ダイナミックレンジが広く確保されているものを9つ選んだ。具体的には、アノードはCH1・CH2・CH7・CH9・CH10・CH14・CH20・CH30、ダイノードはCH28を選択した。構成したシンチレーション検出器の読み出しセットアップを図6.4に示す。HVは630Vとした。これにより、LSI入力部で50mVが400keVに相当することになる。

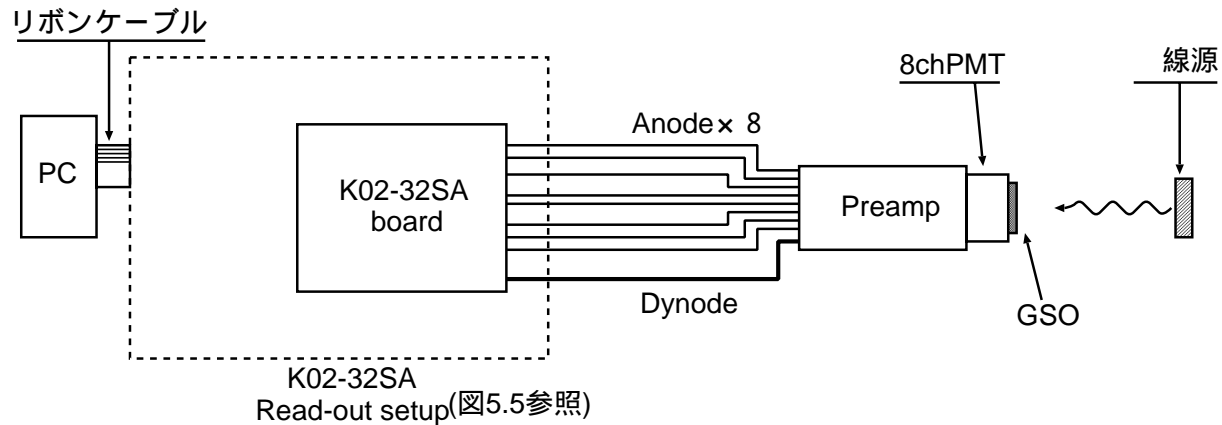


図 6.4: GSO+8chPMT シンチレーション検出器の読み出しセットアップ

## 6.3 $\alpha$ 線を用いた位置分解能の測定

ガンマ線は透化力が高いため遮蔽やコリメートするのが難しい、その点 $\alpha$ 線は紙でも遮蔽することができるため簡単にコリメートすることができるという利点がある。今回の実験では位置分解能を求めるため、以上のことから $\alpha$ 線を用いて測定を行った。GSOシンチレータの周りには反射材のゴアテックスが巻いてある。 $\alpha$ 線はこのゴアテックスも透化しないため、 $\alpha$ 線のコリメートは図6.5のようにゴアテックスに1mm $\times$ 1mmの穴を開けることで行った。今回は図6.5のような3つの場合について測定を行った。

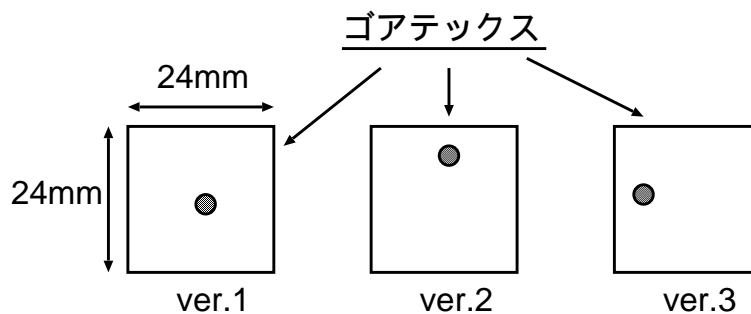


図 6.5:  $\alpha$  線のコリメート

測定の結果得られるスペクトルの1例(左端に照射した場合)は、アノードが図6.6、ダイノードが6.7となる。そして、実際に検出された位置をXY座標にて表したグラフは図



また、図 6.9 は中央に照射した場合の X 方向・Y 方向の各々の方向から見た検出位置の分布である。この図から検出面の中央に  $\alpha$  線を入射させたときの FWHM は約 1.5mm である。コリメータの穴の直径が 1.0mm であることから、 $\alpha$  線 (1.5MeV) における中心での位置分解能は 1mm 程度であることがわかる。

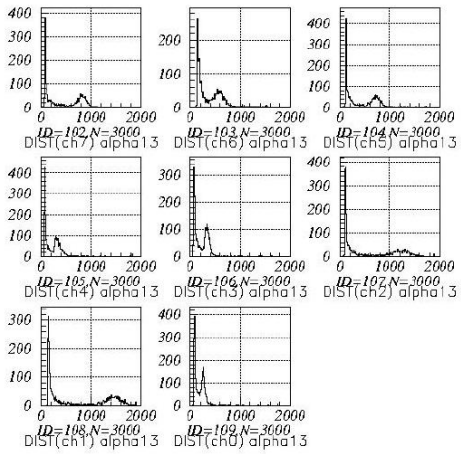


図 6.6: Anode(8ch) の出力波形

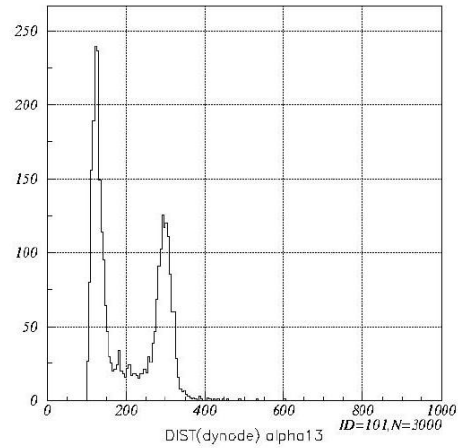


図 6.7: Dynode の出力波形

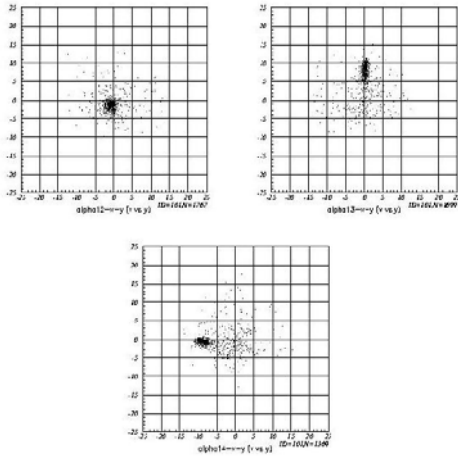


図 6.8: 検出位置の 2 次元分布

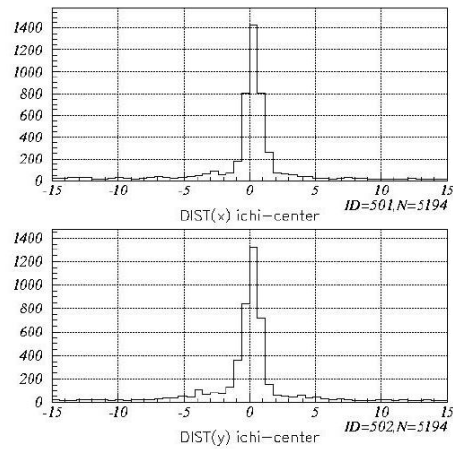


図 6.9: 中央で位置検出した場合の 1 次元分布 (上 : X 方向、下 : Y 方向)

ここでは、ガンマ線源である  $^{137}\text{Cs}$ (662keV) を用いたエネルギー分解能について測定を行った。

8chPMT のエネルギー分解能は信号増幅率についてかなりの位置依存性を持つことが分かっている。これにより、入射位置による信号増幅率の違いからエネルギー分解能が低下していると考えられる。そこで、PMT の検出面領域を分割し、そこに前節で分かった位置検出能力を用いて入射場所での増幅率をきちんと補正することでエネルギー分解能が向上することが分かっている。(詳しくは川本修論参照)

取得したスペクトルは図 6.10 である。この時のエネルギー分解能は 15% となっている。そして、このスペクトルを位置補正したスペクトルは図 6.11 となる。位置補正後のエネルギー分解能は 12% とエネルギー分解能は向上した。

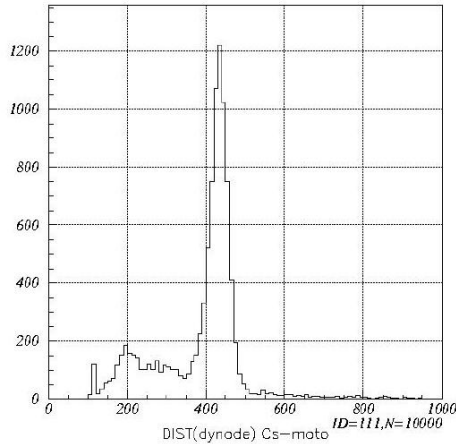


図 6.10: 位置補正する前の  $^{137}\text{Cs}$  のスペクトル(ダイノード)

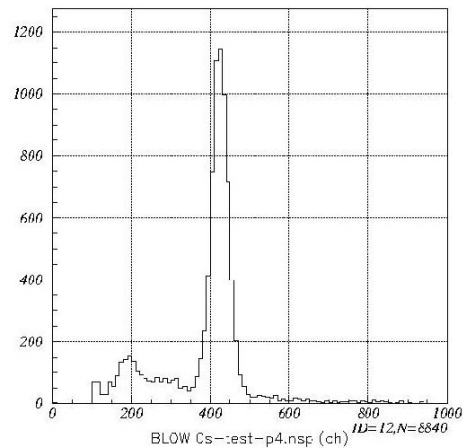


図 6.11: 位置補正後の  $^{137}\text{Cs}$  のスペクトル(ダイノード)

## 6.5 まとめ

K02-32SA で実際に多チャンネルの検出器の読み出しを行うため、8chPMT を用いて測定を行った。測定は、 $24\text{mm} \times 24\text{mm} \times 5\text{mm}$  の GSO と 8chPMT を用いて構成したシンチレーション検出器を用いて行った。その結果、コリメートした  $\alpha$  線を照射した時に位置検出が行われており、その位置分解能は 1.0mm 程度であった。そして、ガンマ線を照射した時にのエネルギー分解能は 12% という結果が得られた。また、先に行われた川本修論実験では、位置分解能は 0.7mm で、エネルギー分解能は 13% となっている。このことから、本実験は川本修論の実験とほぼ同じ結果を得ることができた。

以上より、K02-32SA はディスクリットな Shaper を用いた場合とほぼ同程度の性能を持っていることが確認できた。

## 第7章 まとめ

将来、衛星搭載を目的としたコンプトンカメラの性能を向上させるために、マルチアノードPMTを用いたコンプトンカメラの吸収体であるシンチレーション検出器のエネルギー分解能の検証を行った。また、多チャンネル読み出しが高速で可能なシステムとしてアナログVLSIの設計・開発も行った。

- GSO+64chPMTで構成されたシンチレーション検出器のエネルギー分解能の検証を行った。その結果、GSOの大きさが64chPMTの光電面サイズである18mm×18mm×5mmの場合、 $^{137}\text{Cs}$ (662keV)でエネルギー分解能13%を達成した。しかし、一般的なPMTにGSOを用いた検出器で測定した場合に得られる分解能である7%には到達できなかった。これは、64chPMT自体に分解能の揺らぎがあるためであることも今回の検証で分かった。以上の事から、64chPMTのエネルギー分解能のさらなる向上には64chPMTの内部の電極構造を製造元である浜松ホトニクス社と相談し改良しなければならない。
- 宇宙研・KEKの協力を得て、32チャンネル1次元アナログVLSIの設計を行った。設計したアナログVLSIはマルチアノードPMTやAPDの読み出しを目的としてパラメータを決定した。
- 製造したK02-32SAチップに対して動作評価を行った。モニター機能を用い、アナログ処理回路が動作していること確認した。また、全32チャンネルの評価も行った。設計通りに動いていないチャンネルが4つ見つかったが、それ以外のチャンネルはほぼ設計通りの動作をしていることが確認できた。また、K01チップからの改善点であるノイズ、オフセット問題もきちんと改善されていることが確認された。以上の事から、K01チップからの改善点も含め、高速読み出しのアーキテクチャーが設計通り動作していることが確認できた。
- K02-32SAで実際に多チャンネルの検出器の読み出しを行うため、8chPMTを用いて測定を行った。シンチレータは24mm×24mm×5mmのGSOを用い、コリメートした $\alpha$ 線を照射した場合、位置分解能は1.0mmという結果が得られた。また、 $^{137}\text{Cs}$ を用いてガンマ線を照射した場合、エネルギー分解能は12%という結果が得られた。この結果は、以前8chPMTの測定を行った川本の結果とほぼ同値である。以上の事からK02-32SAチップは、ディスクリートなShaperとほぼ同じ性能を持っているということが確認できた。

本研究はK02-32SAチップの動作評価を最優先に行った。今後は、温度試験や低ノイズ環境での測定などを行いチップのさらなる性能評価行っていく。また、それと同時に改良点を見つけ、衛星搭載に向けさらなるアーキテクチャーの改良とPMT・APD用のプリアンプを組み込んだVLSIの開発を行っていく。

# 付録A K02-32SAチップの入出力信号の名称と機能

## A.1 電源・グランド端子

記号	名称
VDDE	パッド用アナログ電源 (+2.0V)
VSSE	パッド用アナログ電源 (-1.3V)
VDD0	パッド用デジタル電源 (+2.0V)
VSS0	パッド用デジタル電源 (-1.3V)
VDD	コア回路用アナログ電源 (+2.0V)
VSS	コア回路用アナログ電源 (-1.3V)
VDD1	コア回路用デジタル電源 (+2.0V)
VSS1	コア回路用デジタル電源 (-1.3V)
GND	アナロググランド (0V)
DGND	デジタルグランド (0V)

## A.2 アナログ関係信号端子

記号	名称	機能
AIN	アナログ入力	アナログ信号をチップに入力する。
AOUT	アナログ出力	ピークホールドの値を電圧信号として出力する。
VTH	コンパレータ閾値電圧	コンパレータの閾値電圧を調整する。
IPOLZ	ポール・ゼロ補償	PZC回路の時定数を調整する。
IRL	高抵抗回路電流調整	高抵抗回路の電流を調整することで抵抗値を調整する。
IB	バイアス電流調整	バイアス電流を調整する。
MON1	モニター端子1	極性切替え回路の出力をモニターできる。
MON2	モニター端子2	波形整形回路の出力をモニターできる。
MON3	モニター端子3	可変利得増幅回路の出力をモニターできる。

## A.3 デジタル関係信号端子

記号	名称	機能
HLD0	LVDS・ホールド信号入力 (+)	HLD 信号が H になるとピークホールドを行う。
HLD1	LVDS・ホールド信号入力 (-)	
TRK0	LVDS・トラック信号入力 (+)	HLD をリセットする信号。
TRK1	LVDS・トラック信号入力 (-)	
CK0	LVDS・クロック信号入力 (+)	チップを動作させている基本動作。 10MHz 程度が目安
CK1	LVDS・クロック信号入力 (-)	
INIT0	LVDS・初期化信号入力 (+)	シフトレジスタの設定を初期状態に戻す
INIT1	LVDS・初期化信号入力 (-)	
MS0	LVDS・書き込み enable 信号入力 (+)	シフトレジスタの書き込みを 可能にする信号。
MS1	LVDS・書き込み enable 信号入力 (-)	
DIN0	LVDS・デジタル信号入力 (+)	シフトレジスタの値を設定する信号。
DIN1	LVDS・デジタル信号入力 (-)	
OE0	LVDS・出力 enable 信号入力 (+)	この信号が H の時に AOUT から 信号が出力される。
OE1	LVDS・出力 enable 信号入力 (-)	
DOU0	LVDS・デジタル信号出力 (+)	LSI に入力したシフトレジスタの値が そのまま出力される。
DOU1	LVDS・デジタル信号出力 (-)	
HIT0	LVDS・コンパレータ (LLD) 出力モニター端子	イベントの信号レベルが LLD を 越えた場合信号が H となる
HIT1	LVDS・コンパレータ (ULD) 出力モニター端子	イベントの信号レベルが ULD を 越えた場合信号が H となる。
TRG0	LVDS・トリガー信号入力 (+)	アナログ信号がコンパレータに 入ると出力される信号。
TRG1	LVDS・トリガー信号入力 (-)	
R0 ~ R3	ゲイン設定	H/L の設定を変更することでゲインを 調節できる。
OPT	ポール・ゼロ補償	PZC 回路のオフセットを調節できる。
POL	極性切替え	H/L の設定を変更することで 入力信号極性を変更できる。

# 付録B K02-32SA全チャンネルのリニアリティ

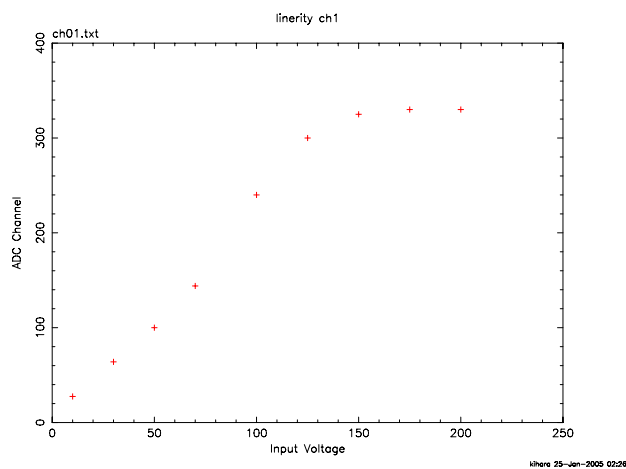


図 B.1: CH1 のリニアリティ(入力極性:正)

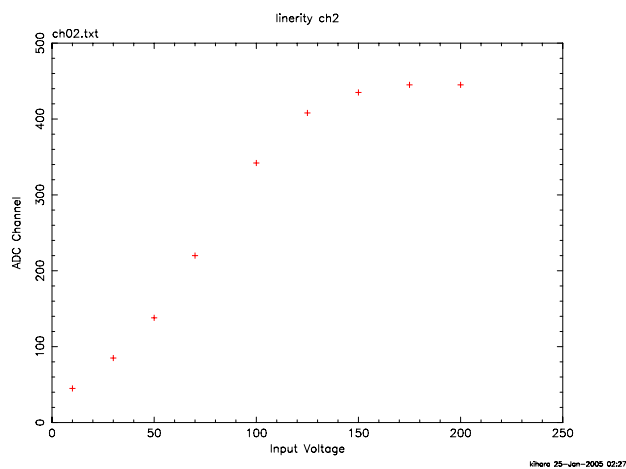


図 B.2: CH2 のリニアリティ(入力極性:正)

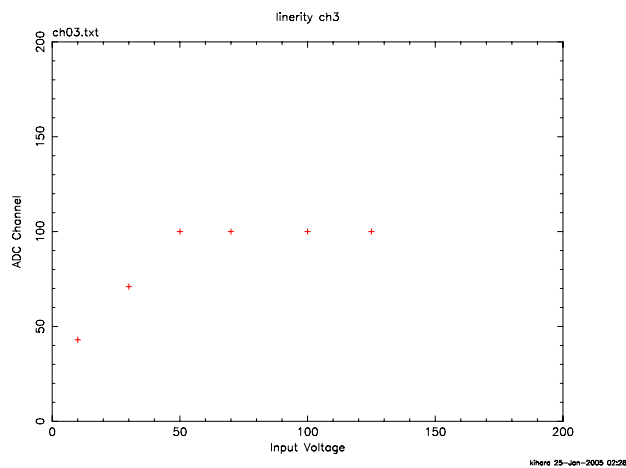


図 B.3: CH3 のリニアリティ(入力極性:正)

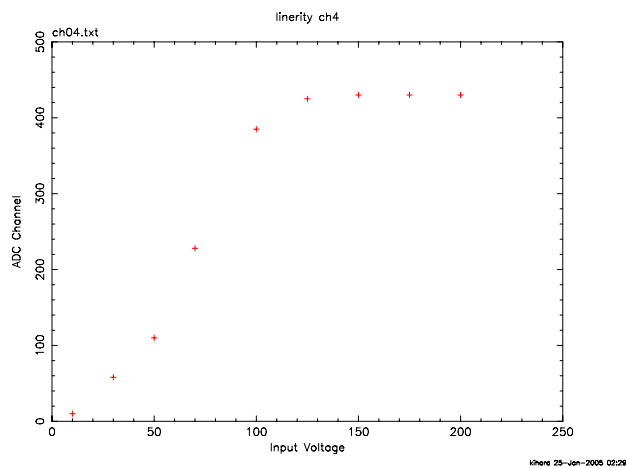


図 B.4: CH4 のリニアリティ(入力極性:正)

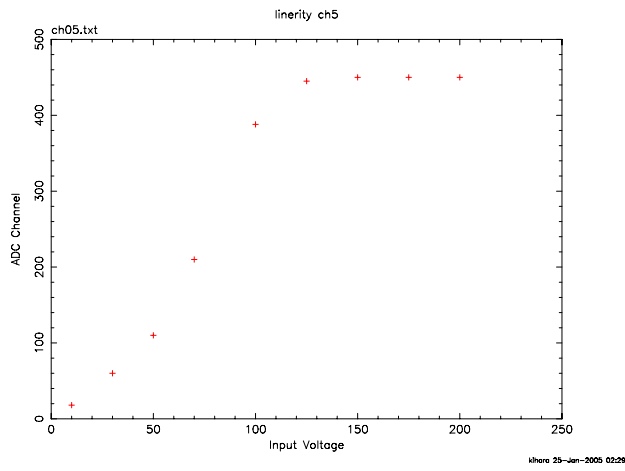


図 B.5: CH5 のリニアリティ(入力極性:正)

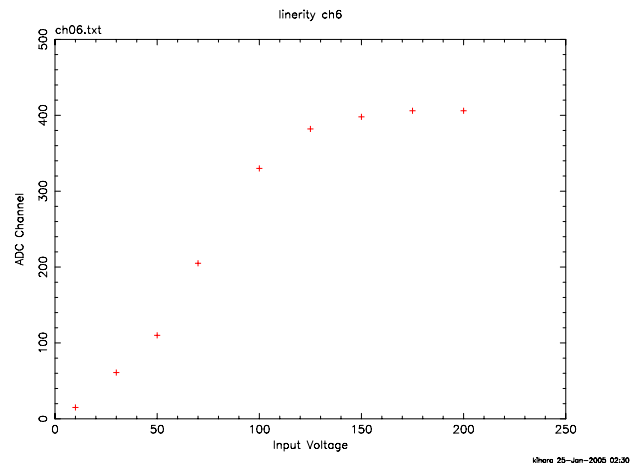


図 B.6: CH6 のリニアリティ(入力極性:正)

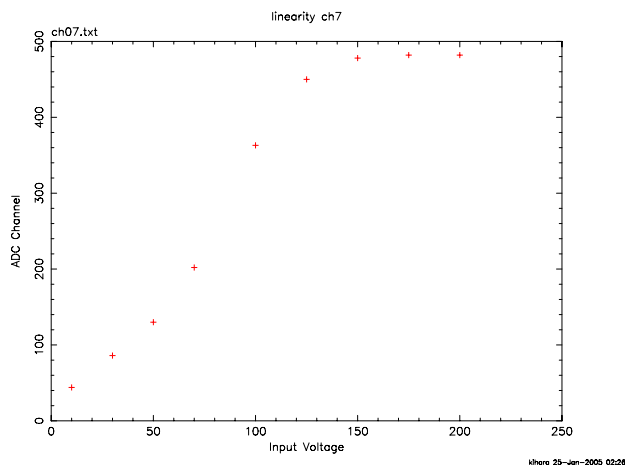


図 B.7: CH7 のリニアリティ(入力極性:正)

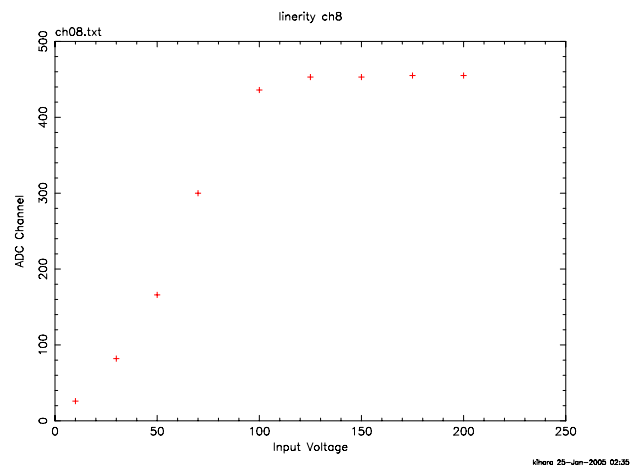


図 B.8: CH8 のリニアリティ(入力極性:正)

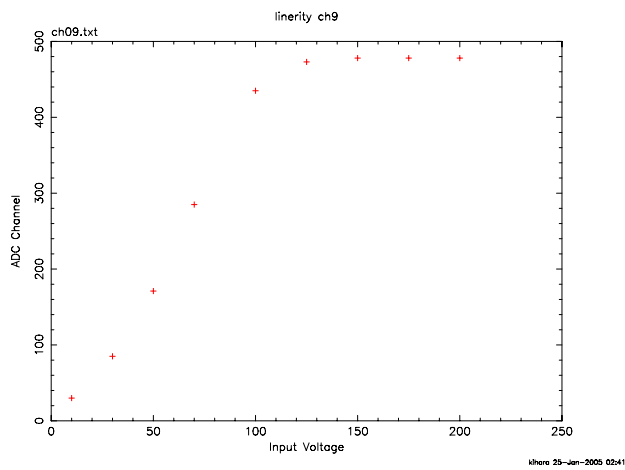


図 B.9: CH9 のリニアリティ(入力極性:正)

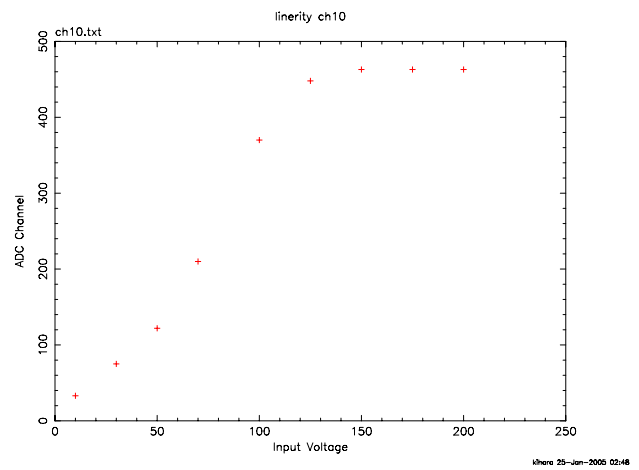


図 B.10: CH10 のリニアリティ(入力極性:正)

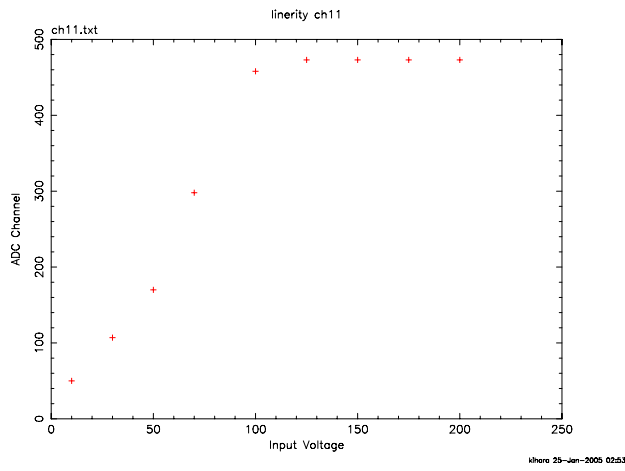


図 B.11: CH11 のリニアリティ(入力極性:正)

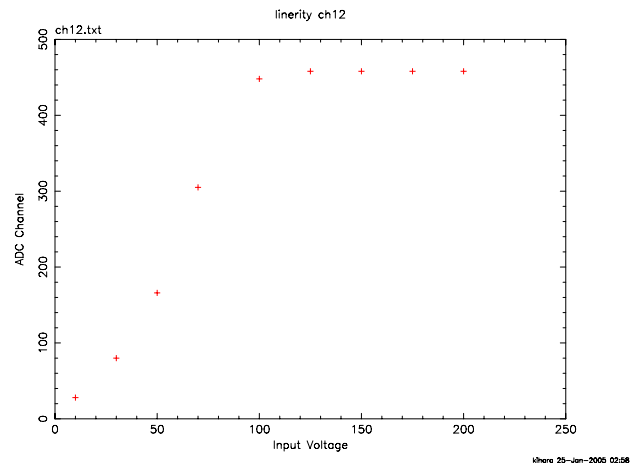


図 B.12: CH12 のリニアリティ(入力極性:正)

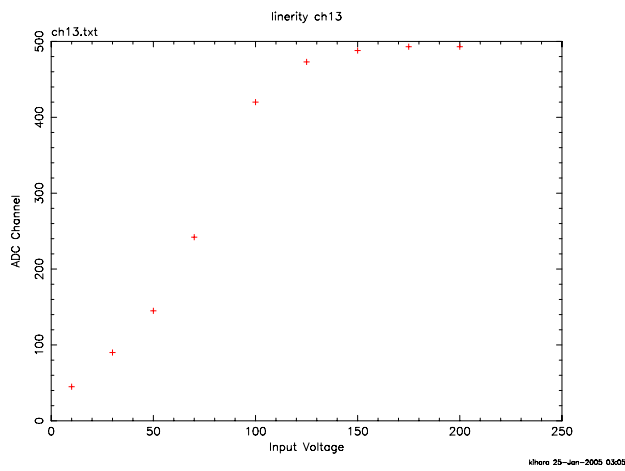


図 B.13: CH13 のリニアリティ(入力極性:正)

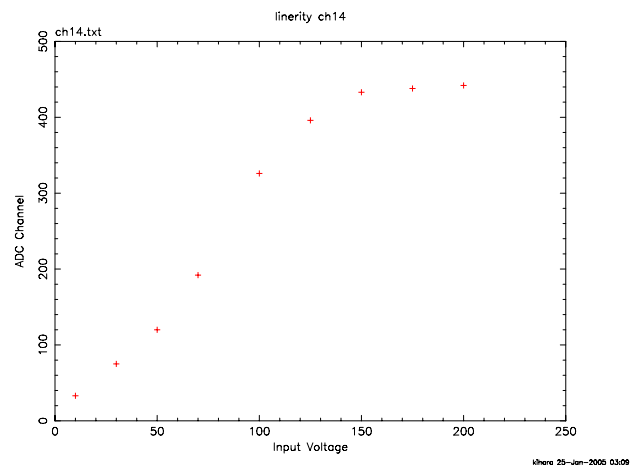


図 B.14: CH14 のリニアリティ(入力極性:正)

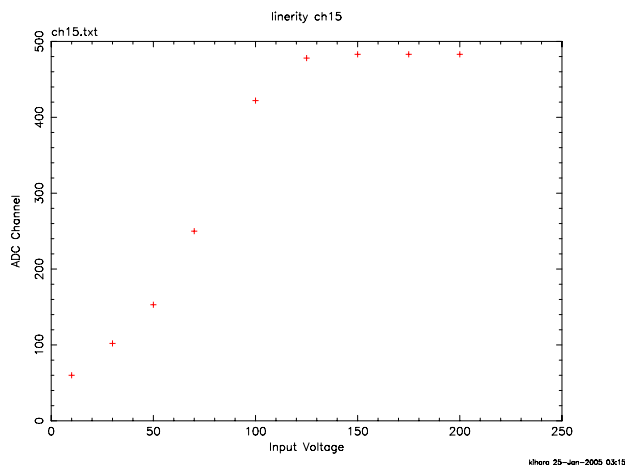


図 B.15: CH15 のリニアリティ(入力極性:正)

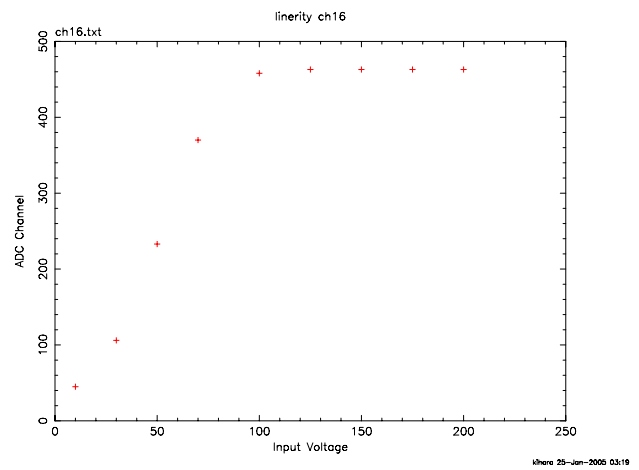


図 B.16: CH16 のリニアリティ(入力極性:正)



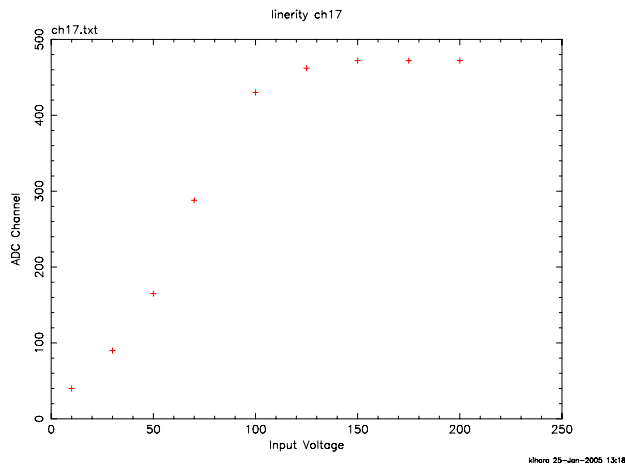


図 B.17: CH17 のリニアリティ(入力極性:正)

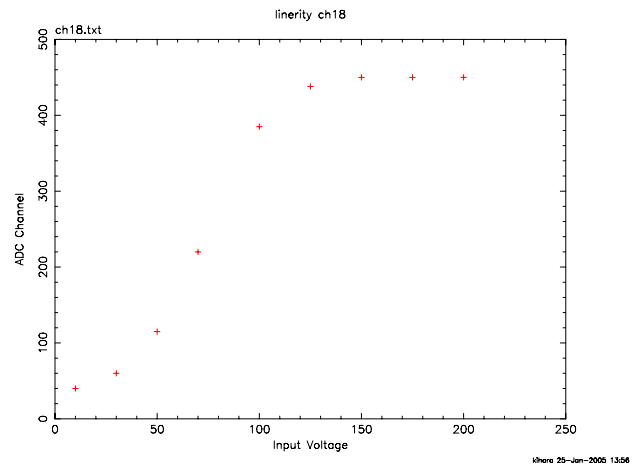


図 B.18: CH18 のリニアリティ(入力極性:正)

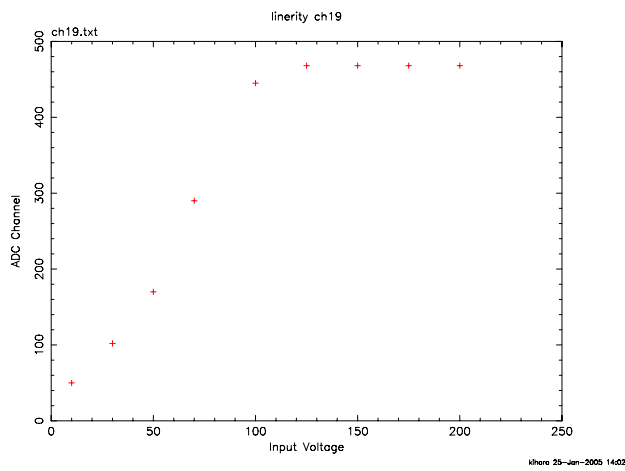


図 B.19: CH19 のリニアリティ(入力極性:正)

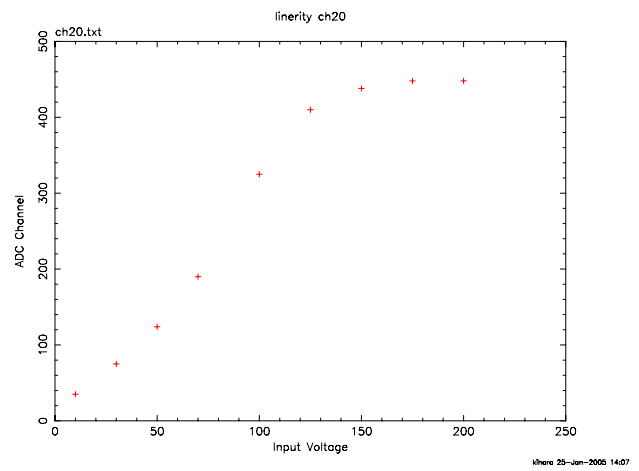


図 B.20: CH20 のリニアリティ(入力極性:正)

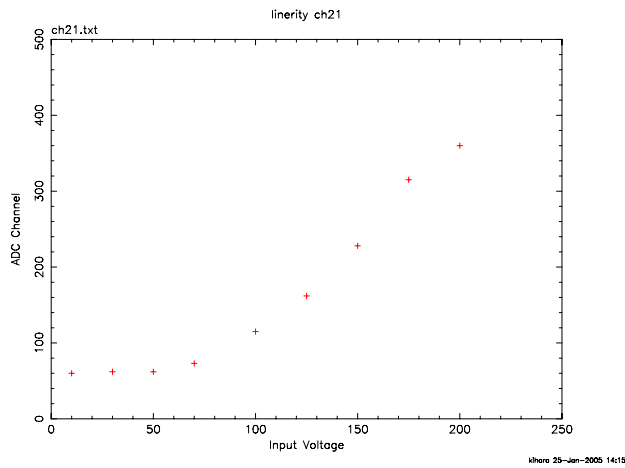


図 B.21: CH21 のリニアリティ(入力極性:正)

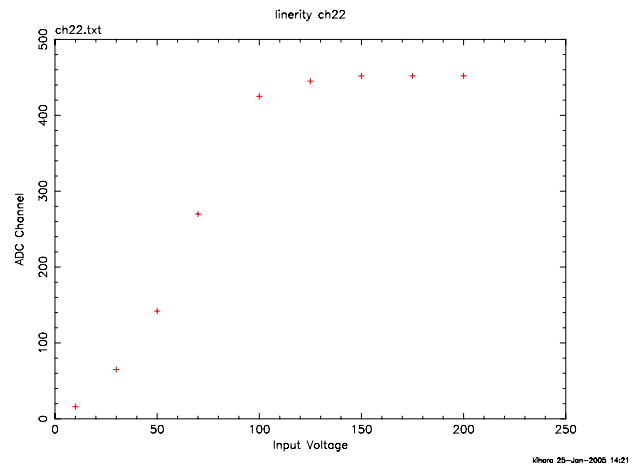


図 B.22: CH22 のリニアリティ(入力極性:正)

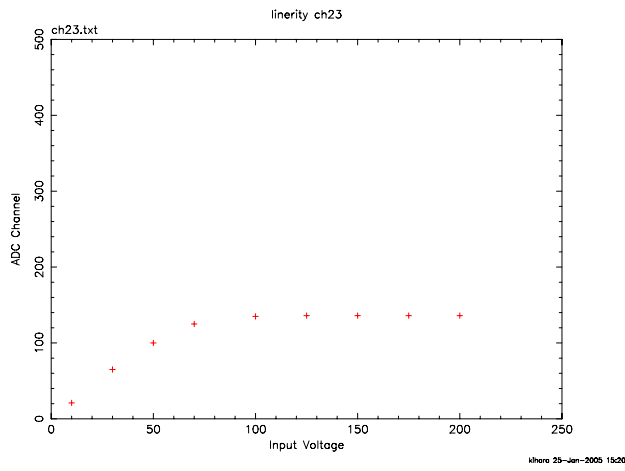


図 B.23: CH23 のリニアリティ(入力極性:正)

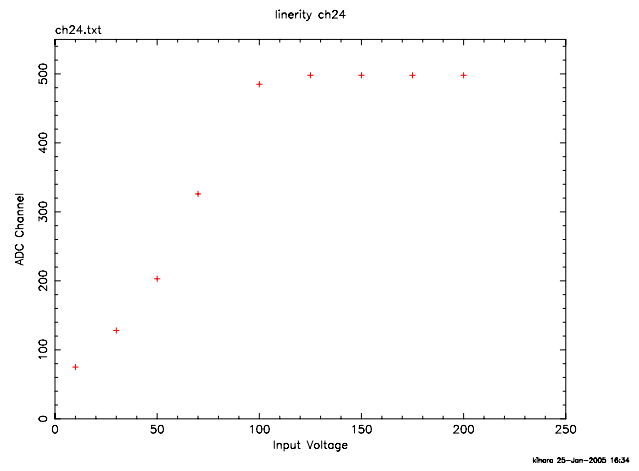


図 B.24: CH24 のリニアリティ(入力極性:正)

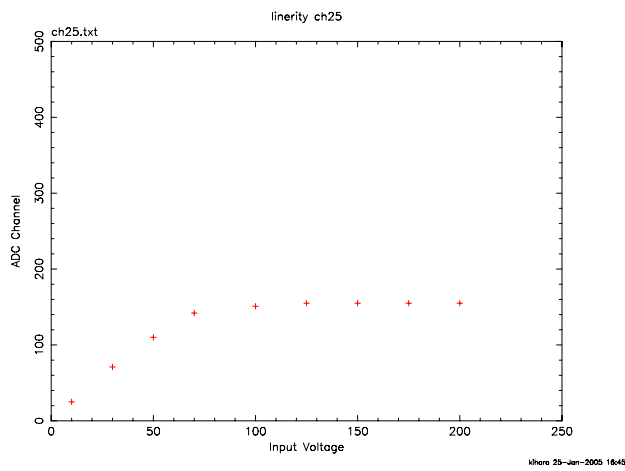


図 B.25: CH25 のリニアリティ(入力極性:正)

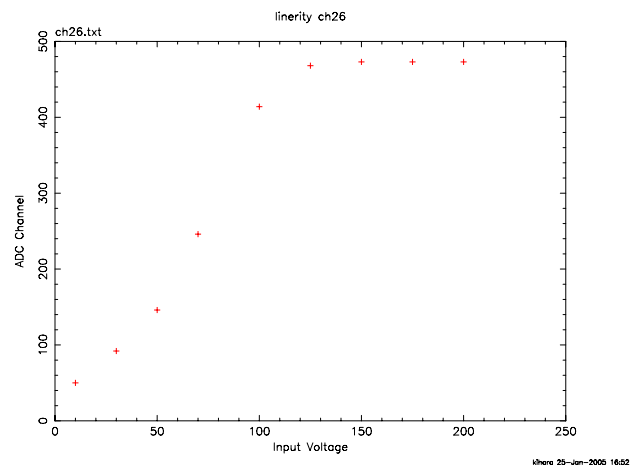


図 B.26: CH26 のリニアリティ(入力極性:正)

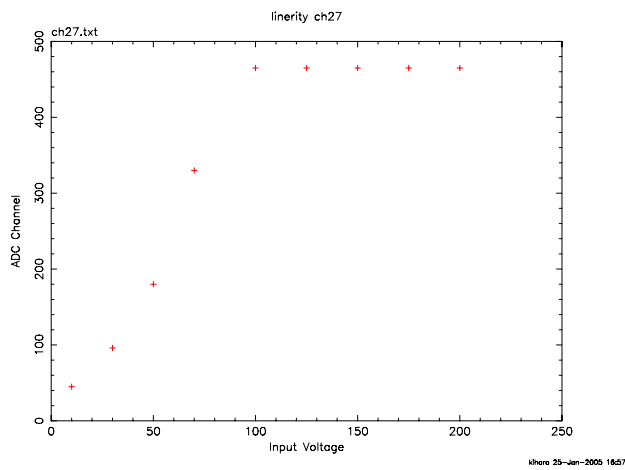


図 B.27: CH27 のリニアリティ(入力極性:正)

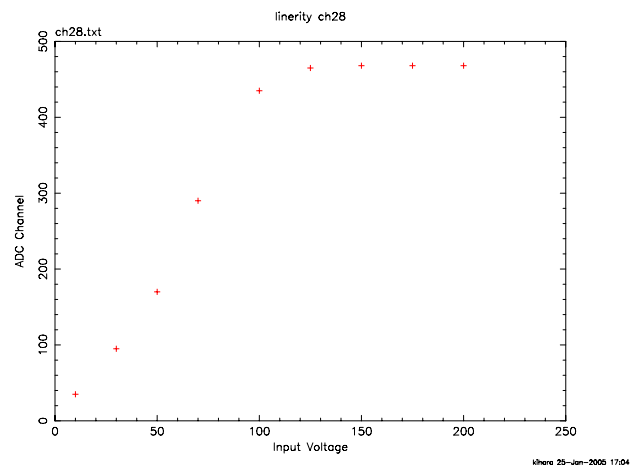


図 B.28: CH28 のリニアリティ(入力極性:正)

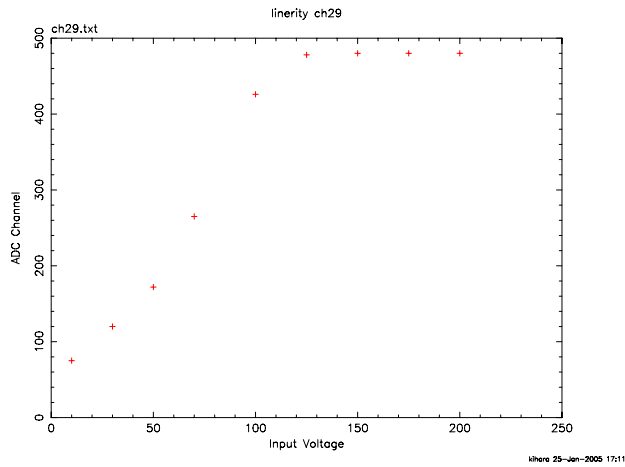


図 B.29: CH29 のリニアリティ(入力極性:正)

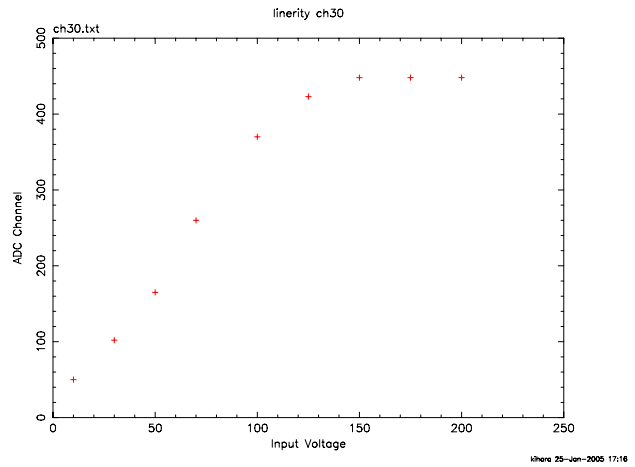


図 B.30: CH30 のリニアリティ(入力極性:正)

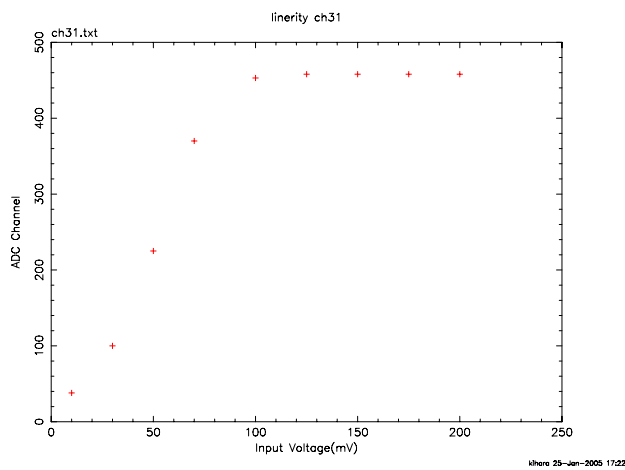


図 B.31: CH31 のリニアリティ(入力極性:正)

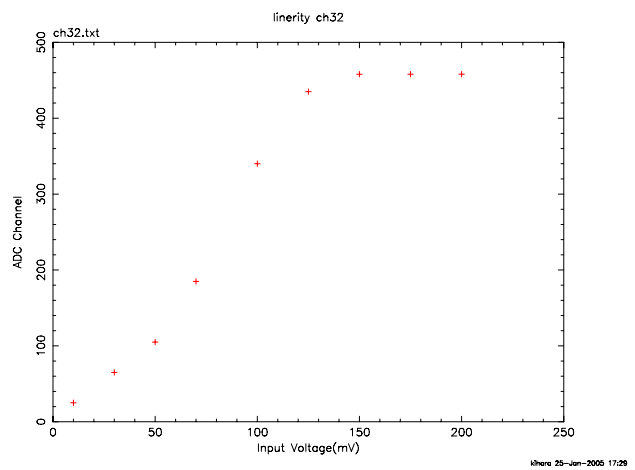


図 B.32: CH32 のリニアリティ(入力極性:正)

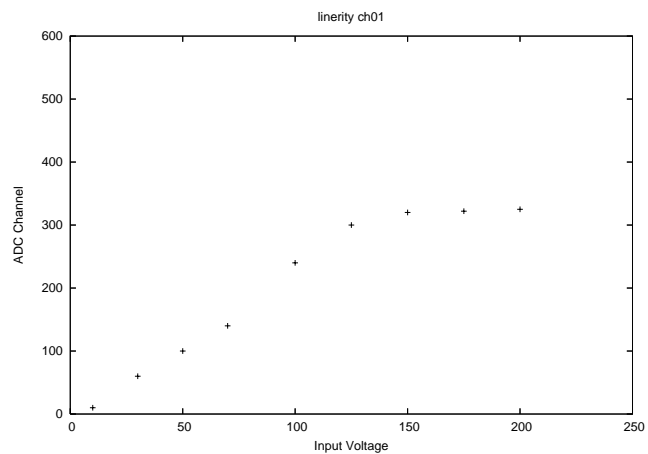


図 B.33: CH1 のリニアリティ(入力極性:負)

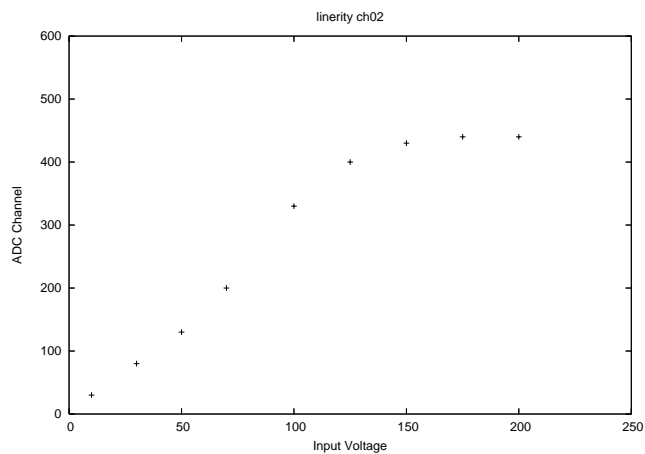


図 B.34: CH2 のリニアリティ(入力極性:負)

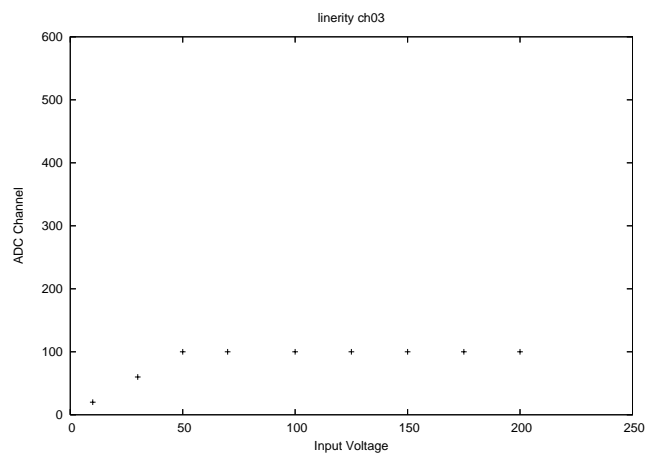


図 B.35: CH3 のリニアリティ(入力極性:負)

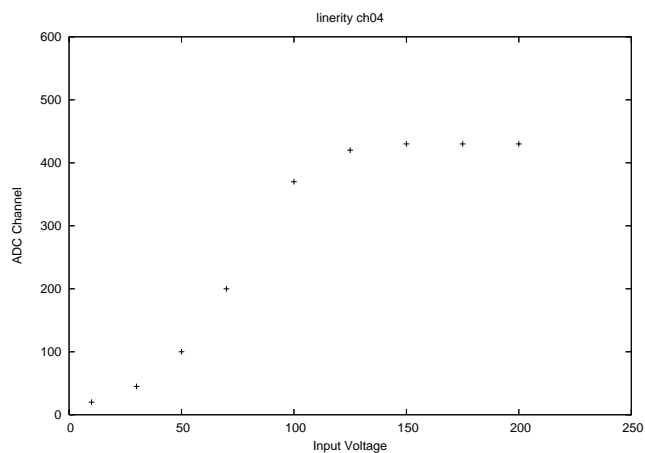


図 B.36: CH4 のリニアリティ(入力極性:負)

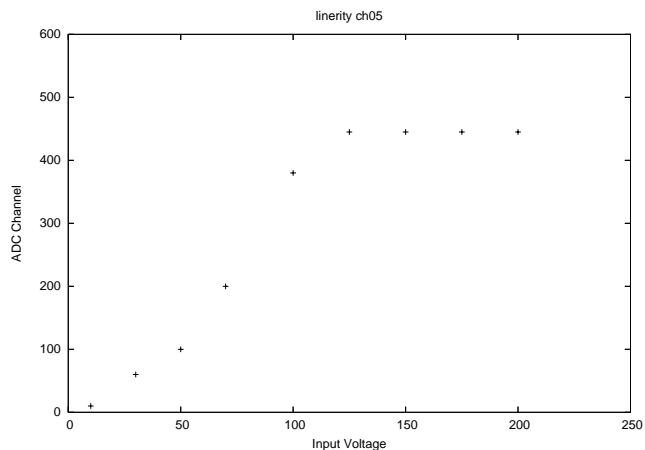


図 B.37: CH5 のリニアリティ(入力極性:負)

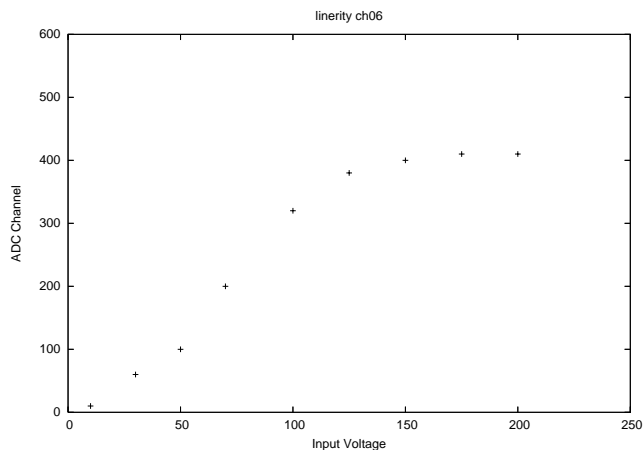


図 B.38: CH6 のリニアリティ(入力極性:負)

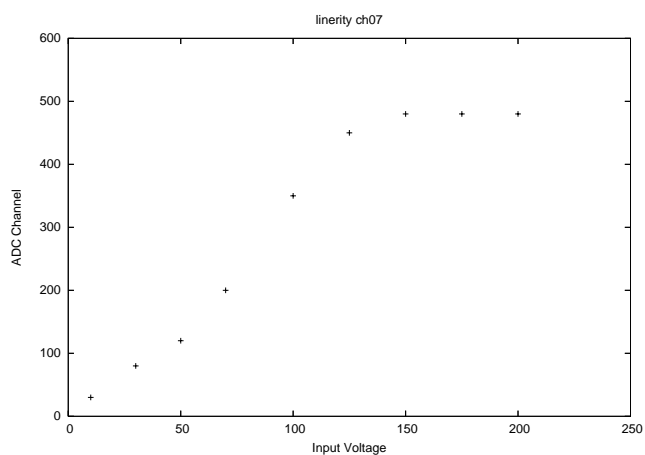


図 B.39: CH7 のリニアリティ(入力極性:負)

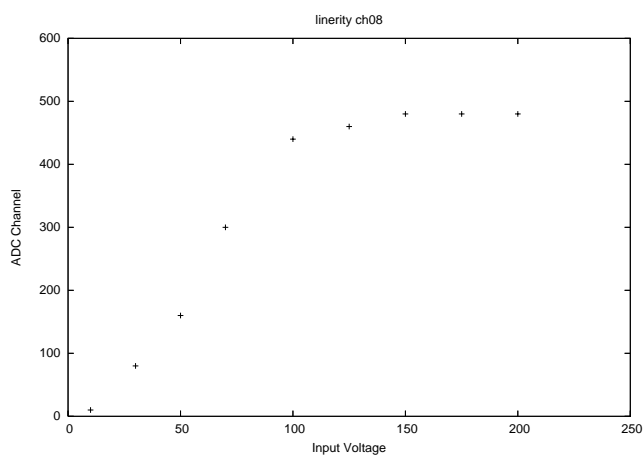


図 B.40: CH8 のリニアリティ(入力極性:負)

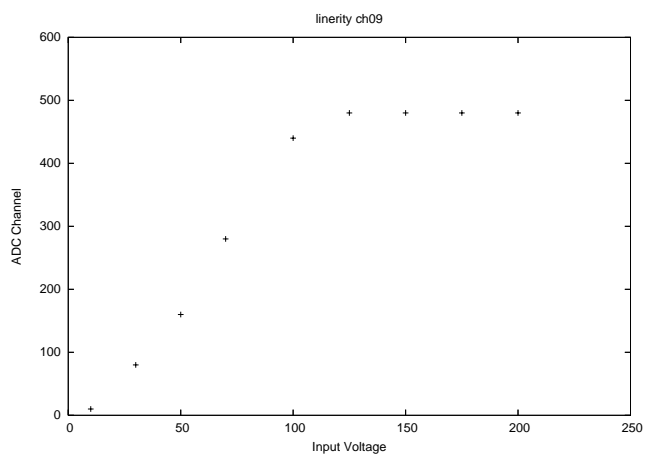


図 B.41: CH9 のリニアリティ(入力極性:負)

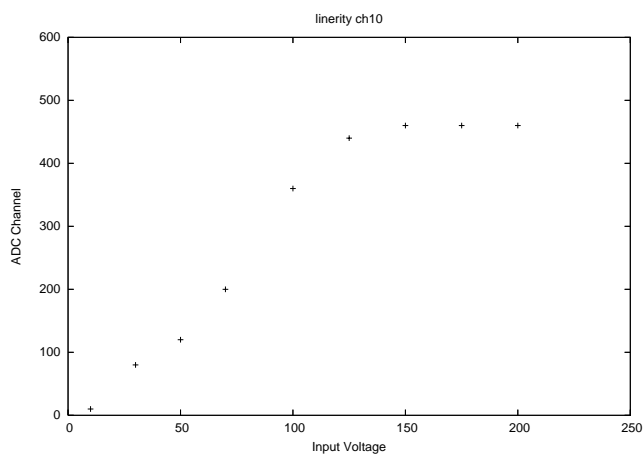


図 B.42: CH10 のリニアリティ(入力極性:負)

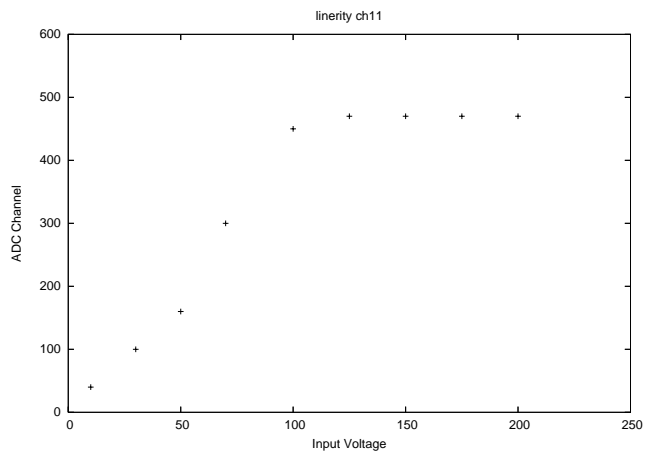


図 B.43: CH11 のリニアリティ(入力極性:負)

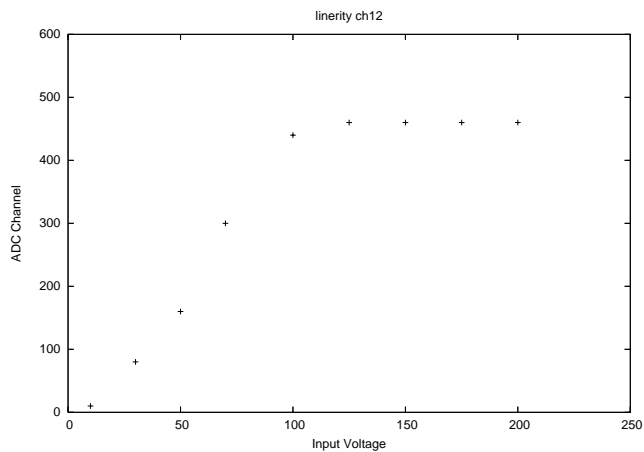


図 B.44: CH12 のリニアリティ(入力極性:負)

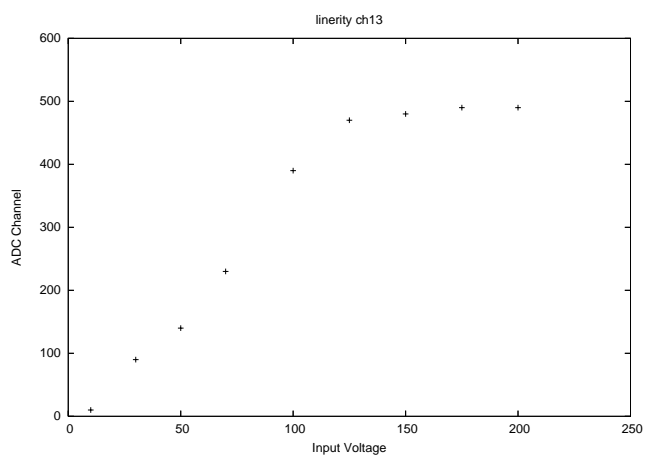


図 B.45: CH13 のリニアリティ(入力極性:負)

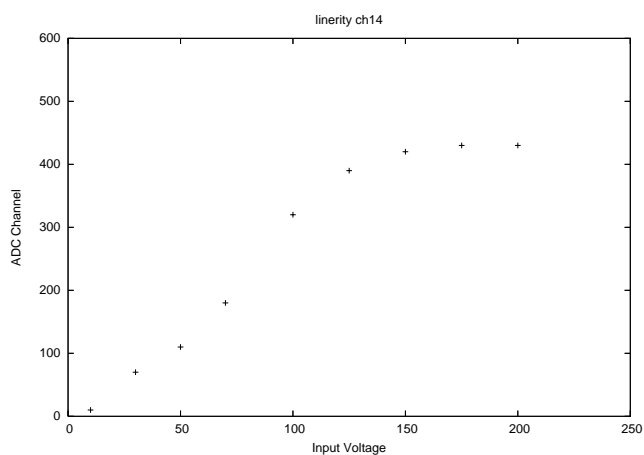


図 B.46: CH14 のリニアリティ(入力極性:負)

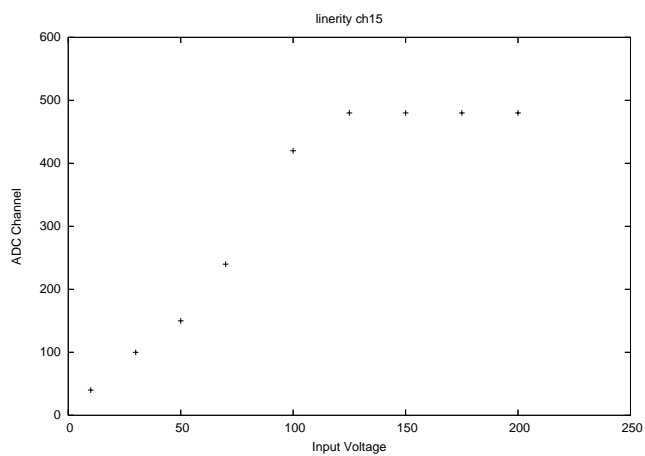


図 B.47: CH15 のリニアリティ(入力極性:負)

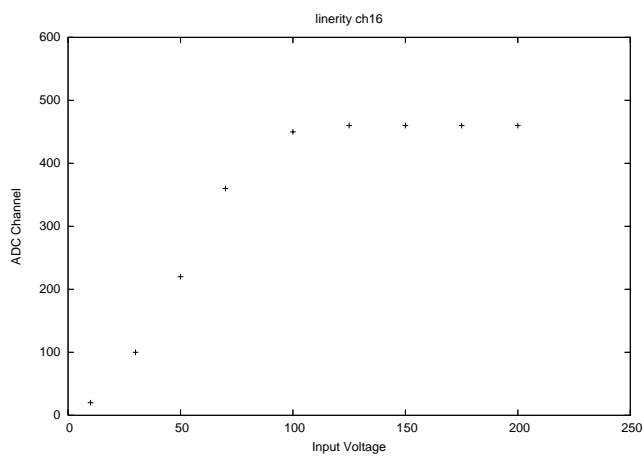


図 B.48: CH16 のリニアリティ(入力極性:負)

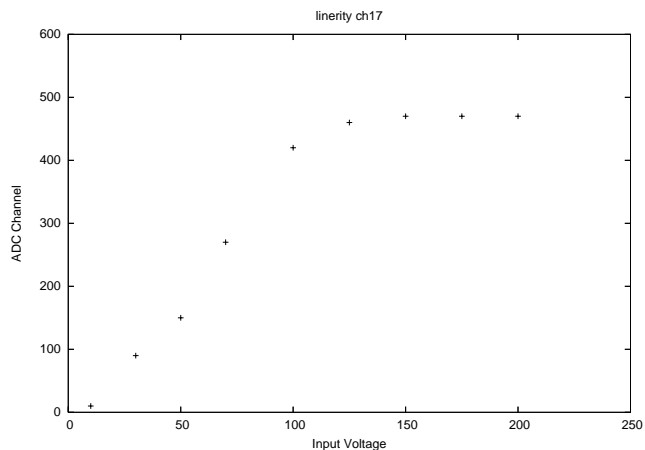


図 B.49: CH17 のリニアリティ(入力極性:負)

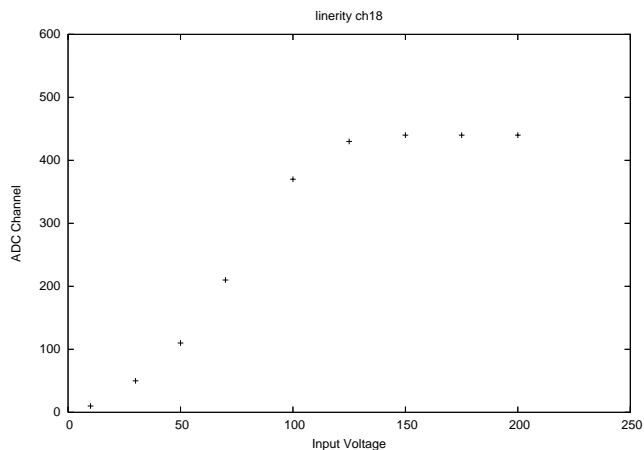


図 B.50: CH18 のリニアリティ(入力極性:負)

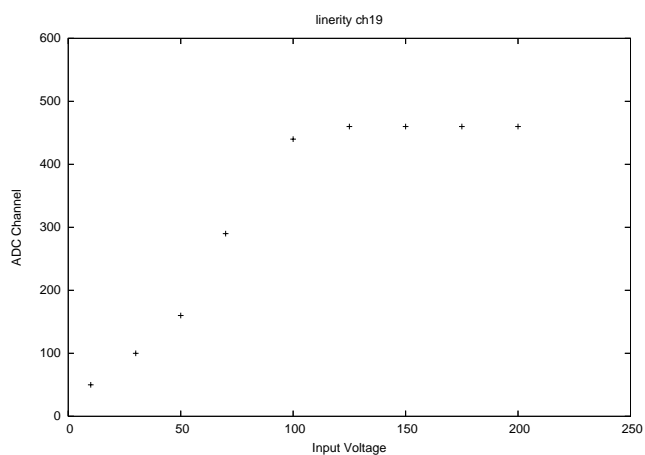


図 B.51: CH19 のリニアリティ(入力極性:負)

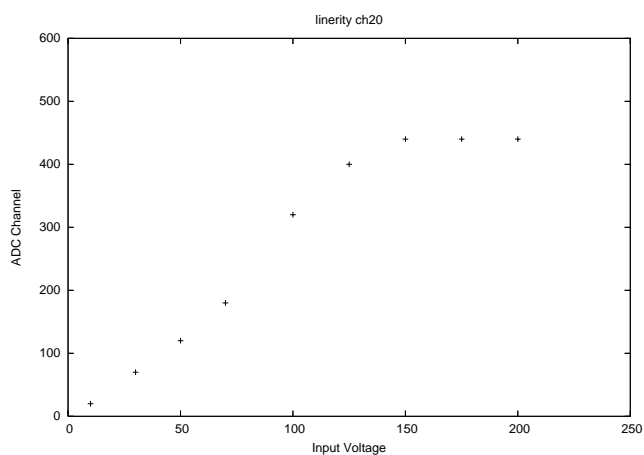


図 B.52: CH20 のリニアリティ(入力極性:負)

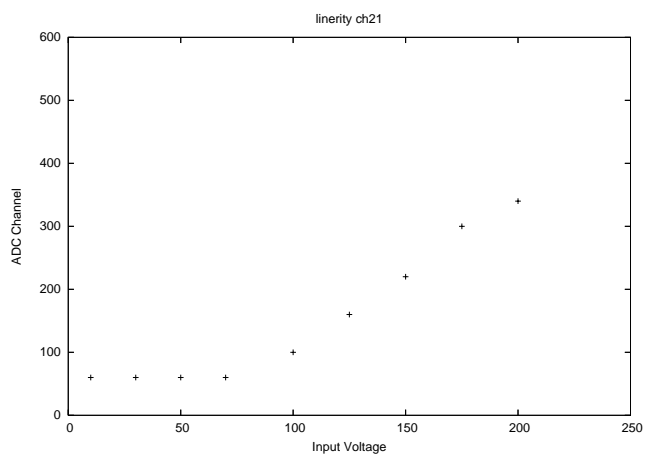


図 B.53: CH21 のリニアリティ(入力極性:負)

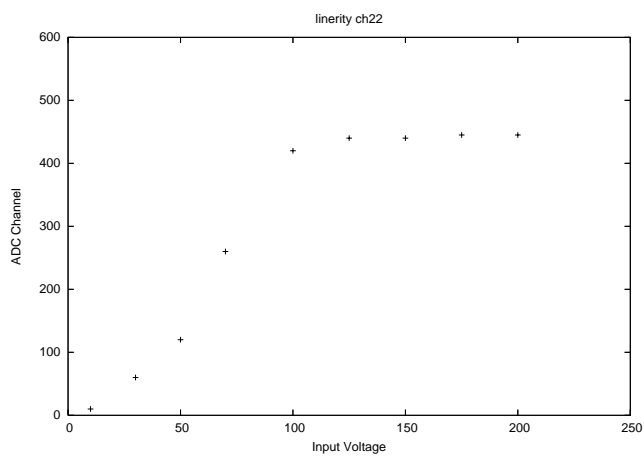


図 B.54: CH22 のリニアリティ(入力極性:負)

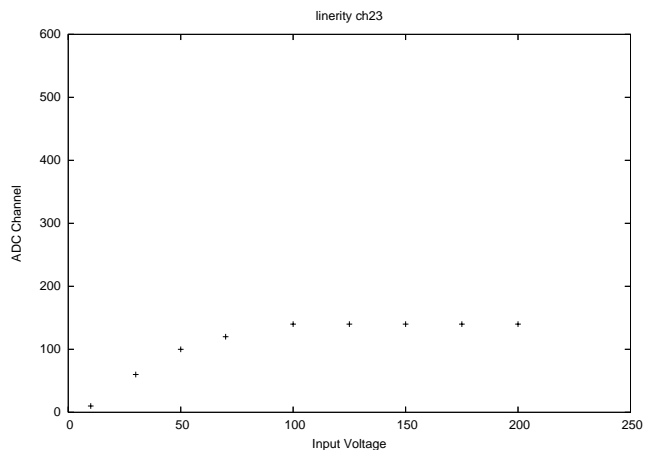


図 B.55: CH23 のリニアリティ(入力極性:負)

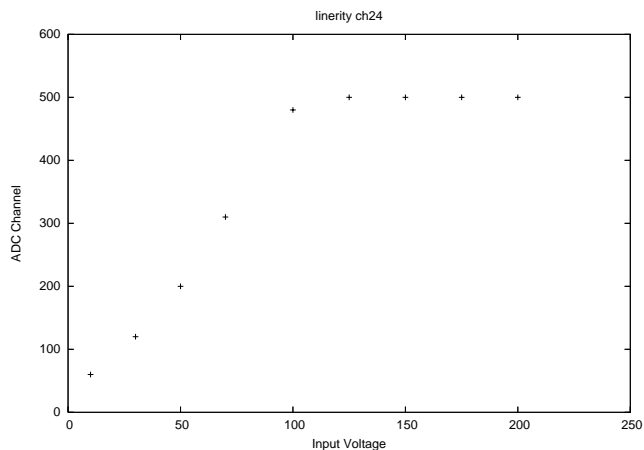


図 B.56: CH24 のリニアリティ(入力極性:負)

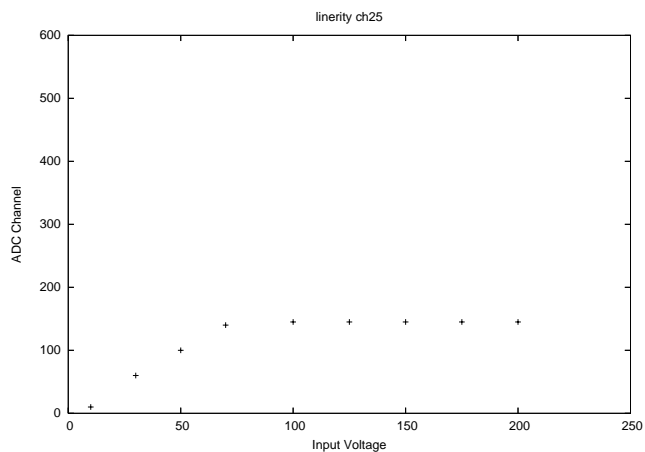


図 B.57: CH25 のリニアリティ(入力極性:負)

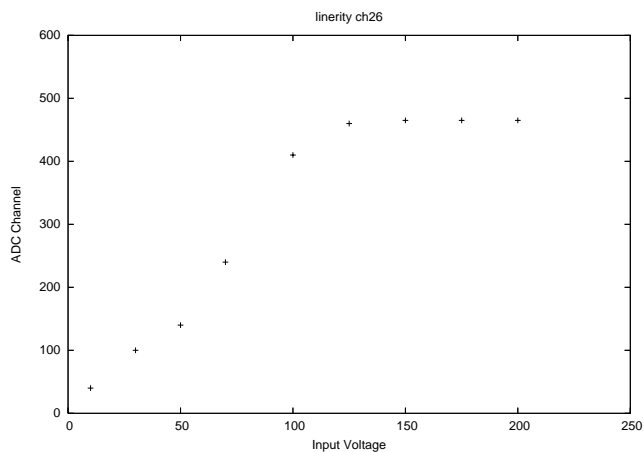


図 B.58: CH26 のリニアリティ(入力極性:負)

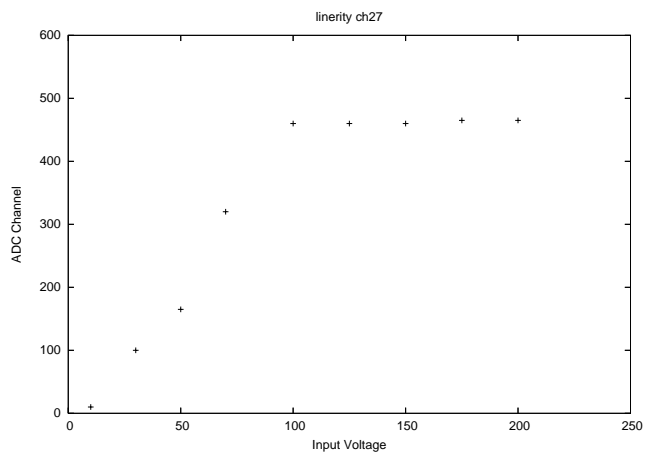


図 B.59: CH27 のリニアリティ(入力極性:負)

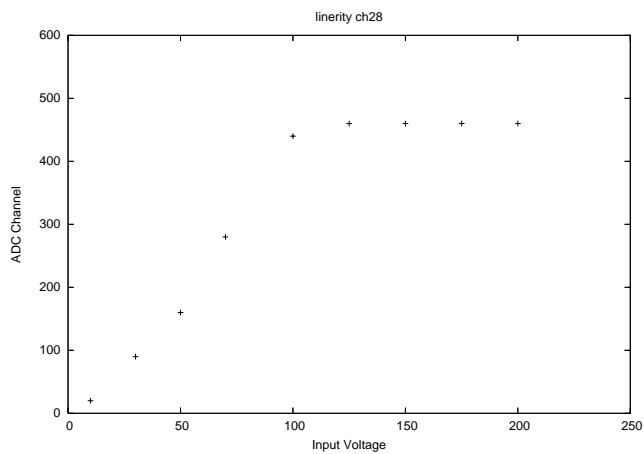


図 B.60: CH28 のリニアリティ(入力極性:負)



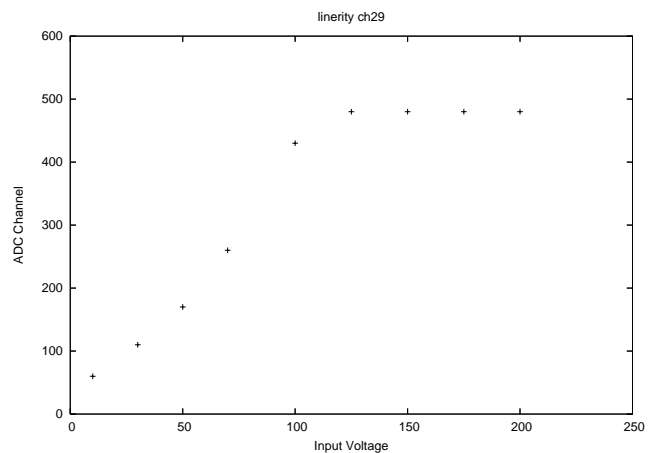


図 B.61: CH29 のリニアリティ(入力極性:負)

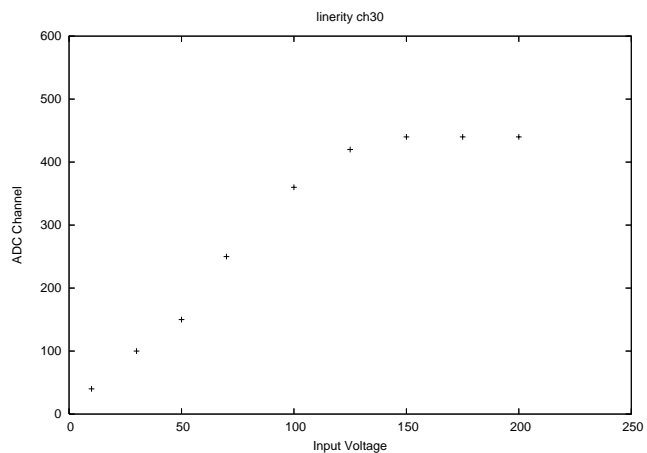


図 B.62: CH30 のリニアリティ(入力極性:負)

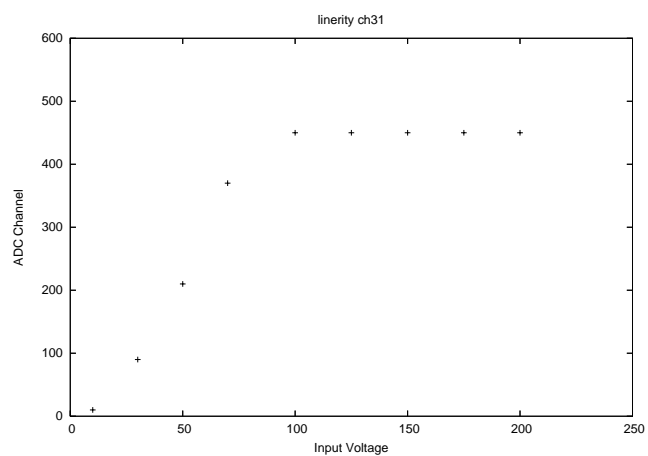


図 B.63: CH31 のリニアリティ(入力極性:負)

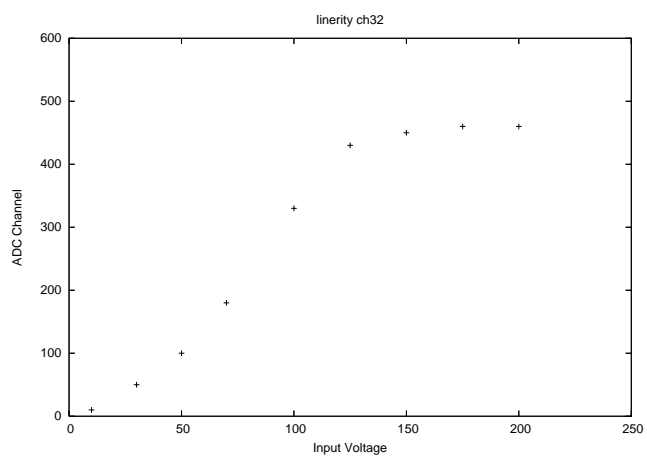


図 B.64: CH32 のリニアリティ(入力極性:負)

## 初稿

本論文を執筆するにあたり、御指導頂きました大杉先生、深沢先生に深く感謝致します。そして、3年間の研究室で共に生活をしたみなさんのおかげで楽しく研究生活を送ることができたと思っています。特に同じ小部屋のみなさんと過ごした笑の絶えない日々は良い思い出になります。また、修論研究にあたり実験を手伝ってくれた青井君にとっても感謝しています。実験において多大なアドバイスを頂いた大野さんどうもありがとうございました。事務で、研究を助けていただいた上原さん、石井さんどうもありがとうございました。

宇宙研の高橋先生、中澤さん、KEKの池田先生には本研究に対して多大な助言を頂きましてどうもありがとうございました。とても感謝しております。また、宇宙研高橋研究室のみなさまには出張に行った際に大変お世話になりました。田村君には、アナログ回路の知識と熱意に頭が上がりませんでした。最後まで、お世話になりっぱなしで大変申し訳ないです。田中さん、大貫君にはワイヤーボンディングの際、アドバイスしていただきましてどうもありがとうございました。

最後になりました、この研究室で培った精神をこれから社会にでてから役立てて行きたいと思えます。

# 参考文献

- [1] 富永慎弥 2004 年度 広島大学 修士論文  
“高阻止能シンチレータと位置検出型光電子増倍管を用いた宇宙ガンマ線イメージャーの開発”
- [2] 青井敏弘 2004 年度 広島大学 卒業論文  
“64ch 光電子増倍管とアレイ型フォトダイオードを用いたガンマ線検出器のノイズ特性”
- [3] 川本和弘 2003 年度 広島大学 修士論文  
“GSO、BGO を用いた小型の位置検出型宇宙 線用シンチレーション検出器の開発”
- [4] 宇野進吾 2003 年度 広島大学 修士論文  
“宇宙硬 X 線撮像用低ノイズシリコンストリップ検出器の開発”
- [5] 小林謙仁 2003 年度 東京大学 修士論文  
“放射線計測用 VLSI の開発と衛星搭載用 CdTe ピクセル検出器への応用”
- [6] 井上北斗 2004 年度 東京大学 修士論文  
“2 次元アナログ VLSI を用いた硬 X 線撮像検出器の開発”
- [7] H.Ikeda, “Electronics for Particle Measurement” ,KEK Report 2002-8, KEK, 2002
- [8] H.Ikeda, “電子回路講義案” ,KEK Report 2001-8, KEK, 2001
- [9] GLENN F.KNOLL 木村逸郎 坂井英次 訳  
“放射線計測ハンドブック 第二版” (日刊工業新聞社)
- [10] Behzad Razari/黒田忠広  
“アナログ CMOS 集積回路の設計 基礎編” (丸善)
- [11] Atsushi Iwata  
“CMOS 集積回路の基礎” (科学技術出版)
- [12] “LabVIEW クイックスタートガイド” NATIONAL INSTRUMENTS,1999.
- [13] “LabVIEW データ収集ベーシックマニュアル” NATIONAL INSTRUMENTS,1998.
- [14] “DAQ 6023E/6024E/6025E User Manual” NATIONAL INSTRUMENTS,2000.