

シリコンストリップ検出器の信号特性の評価

u1179032D 佐藤慶二

広島大学 理学部 物理科学科
高エネルギー宇宙・素粒子実験研究室

平成 15 年 2 月 28 日

目次

第1章	序論	2
第2章	原理	3
2.1	エネルギーバンド	3
2.2	pn 接合	4
2.3	半導体検出器の原理	5
2.4	シリコンストリップ検出器の動作原理	5
第3章	実験装置	7
3.1	VA-chip の仕組み	7
3.1.1	VA-chip の構成	7
3.1.2	VA-chip の動作	8
3.2	シリコンストリップ検出器	10
3.2.1	SSD Ladder	10
3.2.2	Hybrid Board & Adapter Board	11
3.2.3	SSD バイス	14
3.3	VA-DAQ への接続	14
3.3.1	VA-DAQ への電源供給	17
3.4	トリガーの生成	17
3.5	セットアップ	18
第4章	信号特性の測定方法及び測定結果	19
4.1	測定方法	19
4.2	各バイアスの設定	19
4.3	Peaking time	20
4.3.1	Peaking time の決定	20
4.3.2	入力電荷に対する Peaking time	21
4.4	Pedestal と Noise の測定	22
4.5	Gain	23
4.5.1	入力電荷に対するピーク出力	23
4.5.2	VA-Gain の測定	23
第5章	今後の課題	25

第1章 序論

現在の素粒子実験において、その飛跡検出器のほとんどがシリコンストリップ検出器で構成されている。素粒子反応の解析のためには、発生した粒子の種類、運動量、エネルギーなどを正確に測ることが重要で、このうち運動量の測定には飛跡検出器が用いられている。米国フェルミ研究所のCDF実験では、1TeVにまで加速された陽子反陽子衝突により発生する粒子を、取り囲むように設置された飛跡検出器により粒子の運動量を決定し、最近ではシリコンストリップ検出器がトップクォークの発見に大きく貢献した。また、今後の大きな目標であるHiggs粒子やSUSY粒子の発見には1TeV以上のエネルギーが必要であり、そのためスイスのCERNでLHC計画が進んでいる。LHC加速器により7TeVにまで加速された陽子同士の衝突によりごくまれに発生するHiggs粒子やSUSY粒子を捕らえるための実験装置アトラスは2007年完成を目指して現在建設中である。このアトラス実験でもシリコンストリップ飛跡検出器は重要な飛跡検出器として用いられ、ヒッグス粒子やSUSY粒子の発見に大きく貢献することが期待される。

今回の実験の目的はテスト用に開発されたシリコンストリップ検出器の信号特性を調べることにある。そのために、まず検出器から信号を読み出すための装置を組み上げた。そしてこの装置を用いて信号特性の測定を行なった。当初の計画では、この後シリコンストリップ検出器の位置分解能を求めるところまで進める予定であったが、組み上げた装置が故障してしまったために実際のミュオンからの信号を読み込むことができず、位置分解能の測定までには至らなかった。

第2章 原理

純度の高いシリコン結晶はほとんど電気を通さない。しかし、結晶中に不純物を少量まぜることで、不純物半導体の電気伝導性は劇的に上昇する。シリコンストリップ検出器の原理を理解するには、半導体の電気伝導性を理解し、そのためにはエネルギー状態図を理解することが非常に重要である。

2.1 エネルギーバンド

n型 / p型半導体のエネルギーバンドを図 2.1 に示した。

まず、n型半導体の場合、シリコンより荷電子の多い原子でドーピングすると、自由電子が余分に提供（ドナー）される。ドナー準位は荷電子帯と伝導帯の間にできるので、電子がドナー準位から伝導帯に飛び移るのは、価電子帯から伝導帯に移るより簡単に起こる。そのため n 型半導体の電気伝導性は劇的に上昇する。

次に p 型半導体の場合、こちらは正孔を提供、つまり電子を受け入れる（アクセプター）すると、電子は荷電子帯から伝導帯まで飛び移らずに、アクセプター準位まで飛び移るだけでよいので簡単に起こる。p 型半導体の電気伝導性が上昇するのはこのためである。

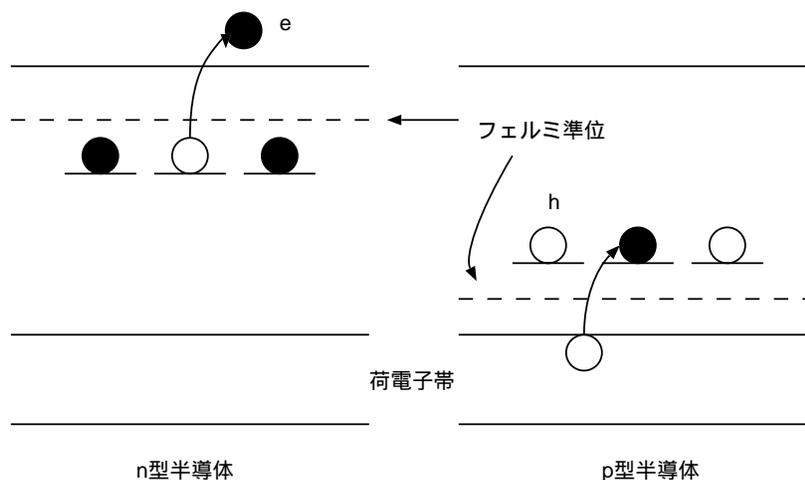


図 2.1: 半導体のエネルギー状態図

ところで電子のとり得る各準位を実際に占める数は温度により異なる。ここで重要なのがフェルミ準位である。ある温度においてフェルミ準位が決まることによりすべての電子の分布がわかる。電子の各エネルギー準位に占める割合は次式で決まる。 w というエネルギーをもつ電子の分布関数を $f(w), g(w)$ とすると、

$$f(w) = \frac{1}{1 + \exp\left(\frac{q}{k_B T}(W - W_F)\right)}$$

$$g(w) = \exp\left(-\frac{w - W_F}{k_B T}\right)$$

ここで k_B はボルツマン定数、 W_F はフェルミ準位である。上式はフェルミ分布、下式はマクスウェル分布の式であり、温度が高くなるとフェルミ分布はマクスウェル分布に近づく。

このフェルミ準位はいわば電子の水準を表しており、水準レベルの異なる物質を接触させると高いレベルから低いレベルへと電子が流れて同一準位へと近づいていく。このフェルミ準位の位置は、真性半導体では禁制帯の中央へとくるが、n型半導体では中央上方、p型半導体では中央下方にくる。これは真性半導体の場合は電子と正孔の数は同一のため平均として電子のエネルギーは禁制帯の中央にくるが、n型半導体では伝導帯の電子の数が価電子帯の正孔の数よりも多いため中央上方へ、p型半導体では価電子帯の正孔の数が伝導帯の電子の数よりも多いため下方へと移る。

2.2 pn 接合

pn 接合には熱平衡状態で p 及び n 領域のフェルミエネルギー差に相当するポテンシャル障壁が存在する。この電位差は拡散電位 V_D とよばれる。pn 接合に電圧がかかっていないときは p と n 領域で等しいのでエネルギー状態図は図 2.2 のようになる。n 領域に対して p 領域に順方向の電圧 V をかけるとポテンシャル障壁は V だけ小さくなり (図 2.3) p 領域から n 領域へ正孔が、また n 領域から p 領域へ電子が流れる。この順方向電流は印加電圧 V に対して指数関数的に増大する ($\exp(\frac{eV}{k_B T})$)。p(n) 領域のアクセプター (ドナー) 濃度が n(p) 領域のドナー (アクセプター) 濃度に比べて十分大きいときは、接合を流れる電流は正孔 (電子) 電流が支配的である。また注入された少数キャリアは被注入領域の多数キャリアと再結合し、密度を減らしながら拡散により内部に移動する。その拡散による到達距離は拡散距離 $L (= \sqrt{D\tau})$ (D は拡散定数、 τ はキャリア寿命) 程度である。

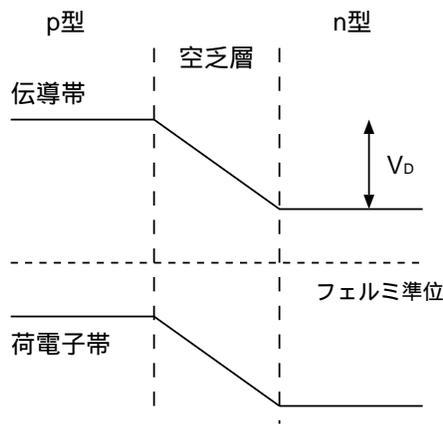


図 2.2: pn 接合付近のエネルギーバンド

それに対し、逆方向に電圧をかけると、p 領域の正孔と n 領域の電子は接合近傍より遠ざけられ接合近傍には空乏層が広がる (図 2.4)。このとき流れる微小な逆方向電流は、空乏層中で熱的に発生するキャリアおよび p、n 領域で拡散により空乏層端に到達する少数キャリアにより運ばれる。逆方向電圧を次第に大きくすると、ある電圧で絶縁破壊的に急激に電流が流れはじめる。これは空乏層なかにおけるキャリアのなだれ増倍またはトンネル現象による現象である。

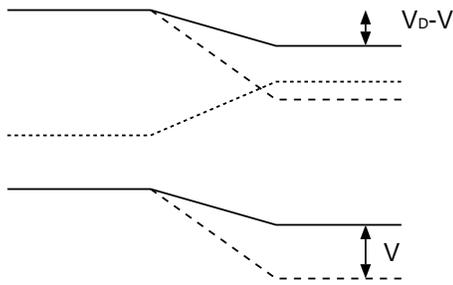


図 2.3

----- ゼロバイアス
 フェルミ準位

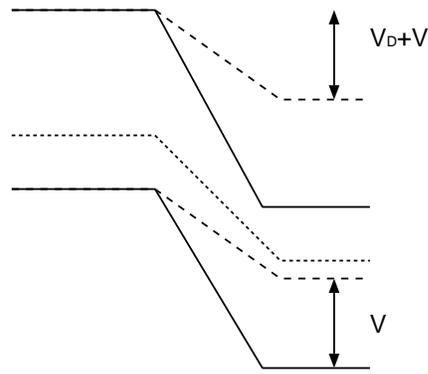


図2.4

2.3 半導体検出器の原理

pn 接合の両端に逆バイアスがかかることで生じる空乏層に放射線が入射すると、飛跡の近傍で荷電子帯から伝導帯に電子が励起され、荷電子帯には正孔を生じる。この電子正孔対を逆バイアス電圧による電界により、電子は n 側電極に、正孔は p 側電極に収集される。それとともない収集電極から放射線の作った全電荷に相当する出力信号 $V = Q/C$ が取り出される。空乏層内に生じた電子正孔対の数 N は失われた放射線のエネルギー E に比例し、シリコンの場合、以下の式で表せる。

$$N = \frac{E(eV)}{3.65eV}$$

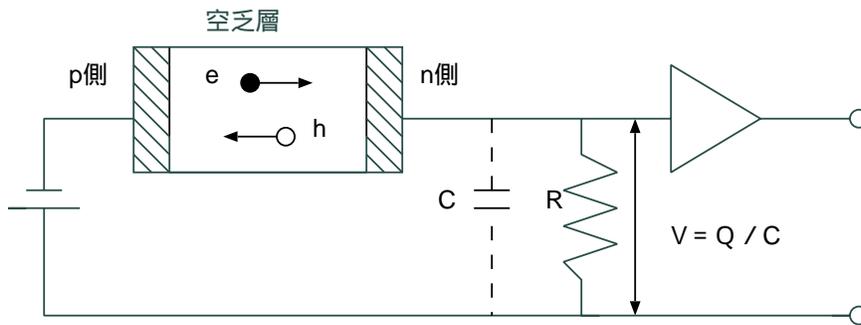


図 2.3: 半導体検出器の概念図

2.4 シリコンストリップ検出器の動作原理

図 2.5 にシリコンストリップ検出器の断面図を概念的に示す。基本的な原料は高抵抗の n 型シリコン結晶である。結晶の片面はアルミニウムで覆われている。もう一方の面には、p 型シリコンがストリップ状にならんでおり、アルミニウムと SiO_2 の絶縁幕をはさんで AC 結合している。ストリップには負の電圧が加えられており、このため生じる電場によって n 型シリコン結晶中のキャリアを電極に移動させ空乏層をつくる。そこへ荷電粒

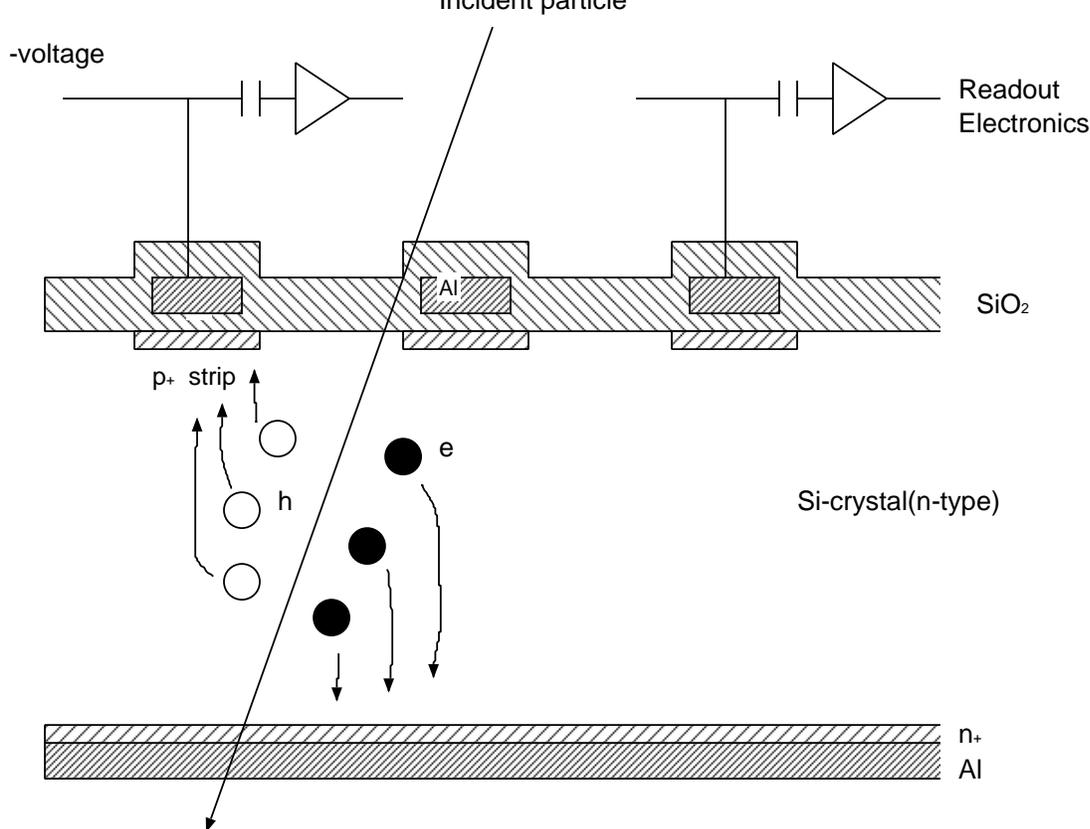


図 2.4: シリコンストリップ検出器の断面図

粒子が入射することで発生する電子正孔対は電極に集められる。読み出しストリップに集められた信号は、ストリップ間隔で決定される粒子飛跡の情報を与える。

各ストリップごとに読み出し回路を取り付けるのではなく、例えば図のように1つおきに読み出し回路を取り付けることにより、読み出しチャンネルの数を大幅に削減することができるという利点がある。読み出し回路の付いていない中間ストリップへ集められた電荷はすぐ隣の読み出し回路の付いたストリップにキャパシタンスを經由して分配される。このためには以下の条件を満たさなければならない。

- 均等に電荷を集めるために、中間ストリップは読み出しストリップと同じポテンシャルに保たれていなければならない。
- 信号の混線を避けるために、読み出しストリップ間のインピーダンスは読み出し回路のインピーダンスよりも十分大きくなくてはならない。
- グラウンドへの信号のロスを防ぐため、中間ストリップと読み出しストリップ間のキャパシタンスはストリップからグラウンドへのキャパシタンスよりも大きくなくてはならない。

第3章 実験装置

3.1 VA-chipの仕組み

3.1.1 VA-chipの構成

今回用いた VA-chip は 128 チャンネルを同時に処理するアナログ LSI である。VA-chip の構成は図 3.1 のようになっており、1 チャンネルの構成はプリアンプ、シェーピングアンプ、サンプル&ホールド回路、バッファ（入力データを一時的に蓄えておくメモリー）から成っている。これらが 128 チャンネル分あり、各々のサンプル&ホールド回路からの出力は Multiplexor で繋がれひとつの出力となっている。

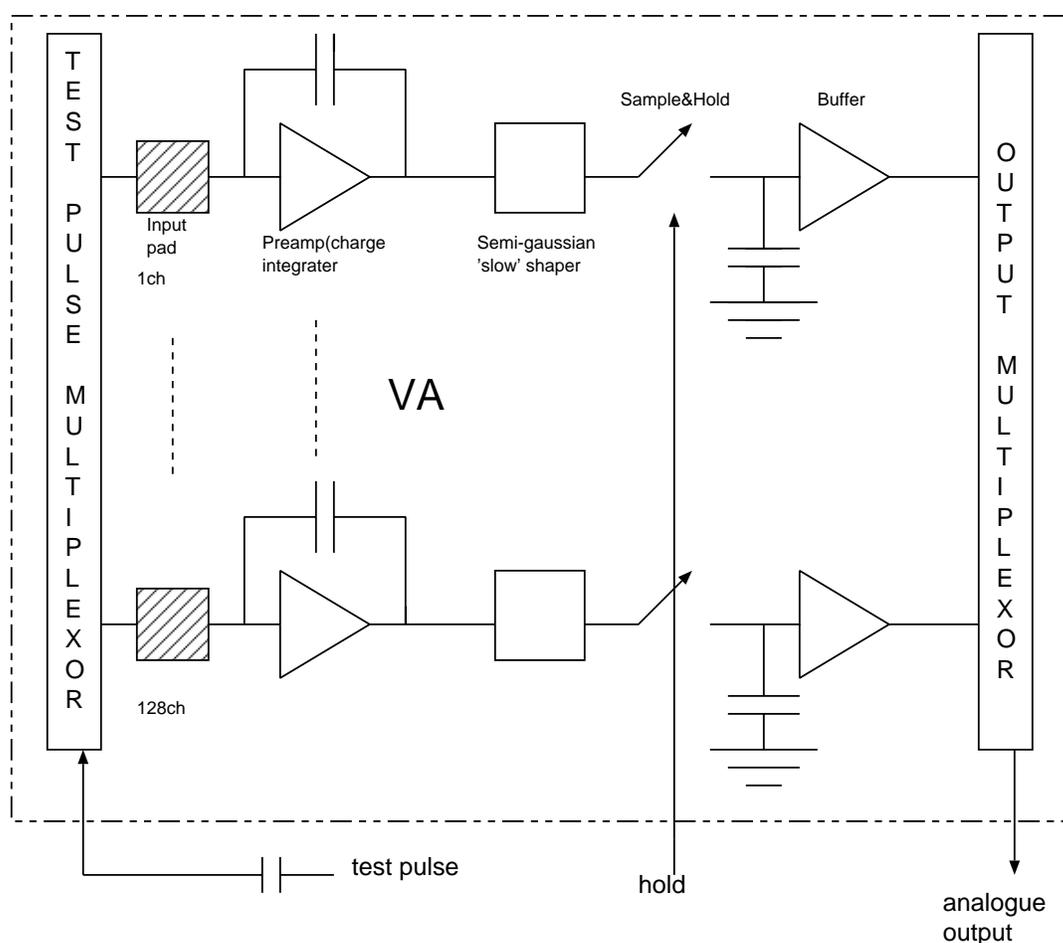


図 3.1: Va-chip の構成

VA-chip のコントロールに必要な主な入出力を以下にあげる。

GND : グランド

AVDD,AVSS : アナログ系の電源供給。AVDD が +2V,AVSS が -2V
DVDD,DVSS : デジタル系の電源供給。DVDD が +2V,DVSS が -2V

vfp : アナログ入力。プリアンプのフィードバック抵抗にかかる電圧。

vfs : アナログ入力。シェーピングアンプのフィードバック抵抗にかかる電圧。

Ibuf : アナログ入力。バッファのためのバイアス電流。

pre bias : アナログ入力。プリアンプのためのバイアス電流。

sha bias : アナログ入力。シェーピングアンプのためのバイアス電流。

hold b : デジタル入力。ここをオンにすると、サンプル&ホールド回路が働き、Shaping Amp からの信号をホールドする。

shift in b,shift out b : デジタル入出力。shift in b に信号がくるとホールドされた信号を読み出し始める。別に入力されるクロックパルスに合わせて 1 チャンネルずつ読み出しされ、全チャンネルの読み出しが終ると shift out b が出力される。

clk b : デジタル入力。ホールドされた信号を読み出すときのクロックパルスを入力する。

outm,output : アナログ出力。負、正の出力信号。

cal : テストパルス入力。

Dreset : デジタル入力。デジタル系をリセットする。

3.1.2 VA-chip の動作

実験で用いた VA-chip にはセルフトリガーの機能はそなえていない。ゆえにトリガー信号を外部から入力する必要がある。図 3.2 はシェーピングアンプの出力波形を示す。実験ではシェーピングアンプの出力の立上りでトリガーがかかるようにセットしてある。シェーピングアンプの Peaking time は $1.4\mu\text{s}$ であり、トリガー信号発生後このタイミングでホールド信号を送り、サンプルホールドしてやる必要がある。ここで Peaking time とはシェーピングアンプの信号の立上りからピーク出力が出るまでの時間のことである。この Peaking time は一般にシェーピングアンプの時定数を τ として 1.2τ で表される。

タイミングチャートは図 3.3 のようになる。シェーパ出力のピーク位置で信号をホールドする。そして shift in b 信号が出されることにより、クロック信号の立上り対応して 1 チャンネルから順番に 128 チャンネルまで読み出しがなされる。読み出しが全て終わると shift out b 信号が出力される。

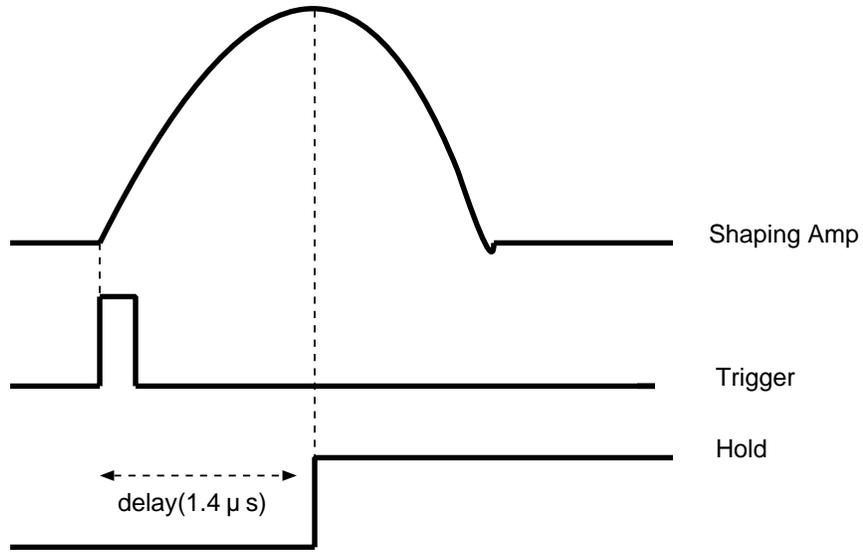


図 3.2: VA の信号

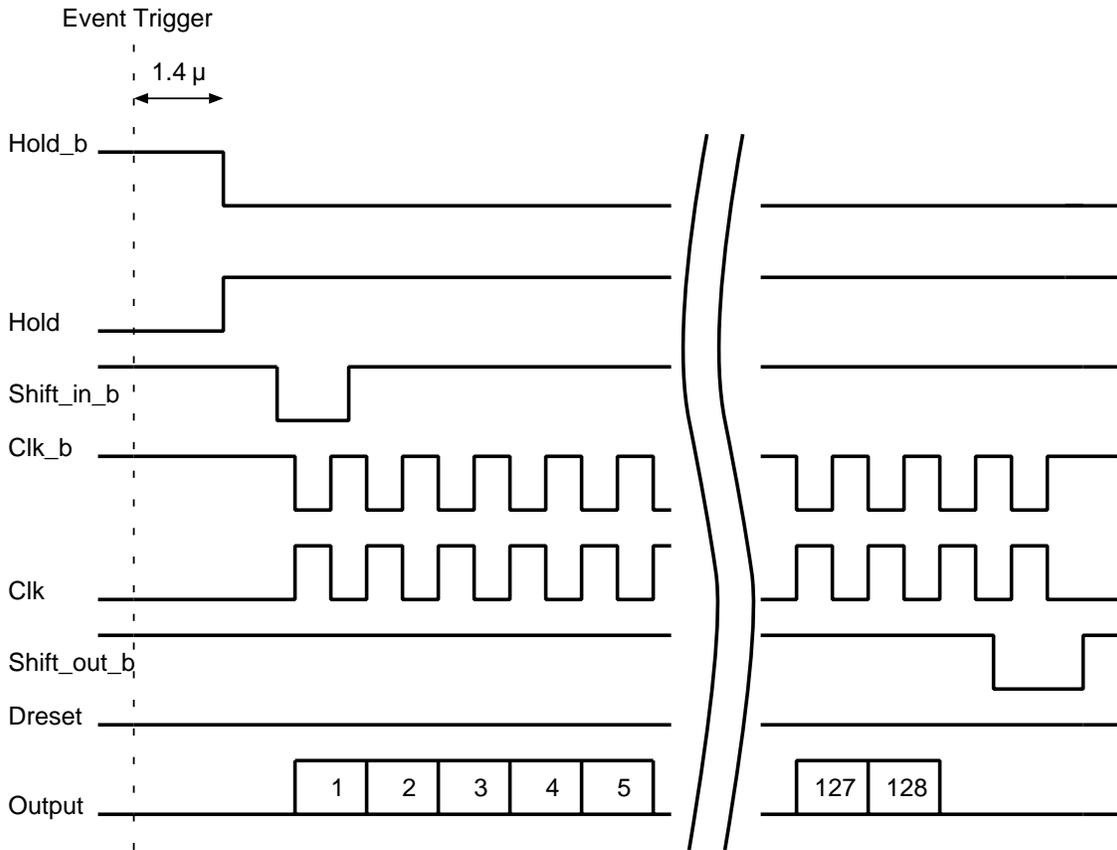


図 3.3: タイミングチャート

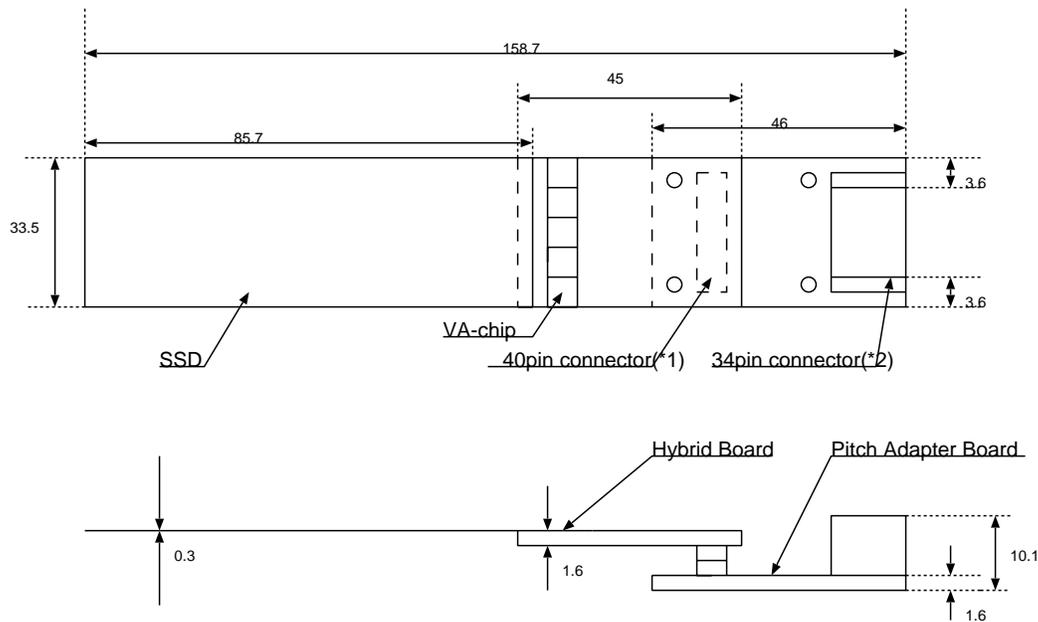
3.2.1 SSD Ladder

図 3.4 は今回実験で用いた SSD Ladder の写真である。



図 3.4: SSD Ladder 写真

このシリコンストリップ検出器と VA-chip の部分をまとめて SSD Ladder と呼ぶ。ドナーとしてリンを少量入れた n 型シリコン結晶の表面に、ホウ素の打ち込みによる p 型ストリップが間隔 $25 \mu\text{m}$ で計 1280 本並んでいる。ストリップに一つおきに合計 640ch の読み出し回路が取り付けられており、この SSD Ladder は VA2-Hybrid board に接続されており、この VA2-Hybrid には 128ch の VA チップが 5 枚並んでいる。このシリコンストリップ検出器の仕様を表 3.1 に、概要を図 3.5 に示す。



(*1) KX14-40K2D1 (Japan Aviation Electronics, Industry, Limited.)
 KX15-40K2D1 (Japan Aviation Electronics, Industry, Limited.)
 (*2) HIF6A-34PA-1.27DS (Hirose Electric co., Ltd)

図 3.5: outline(Unit mm)

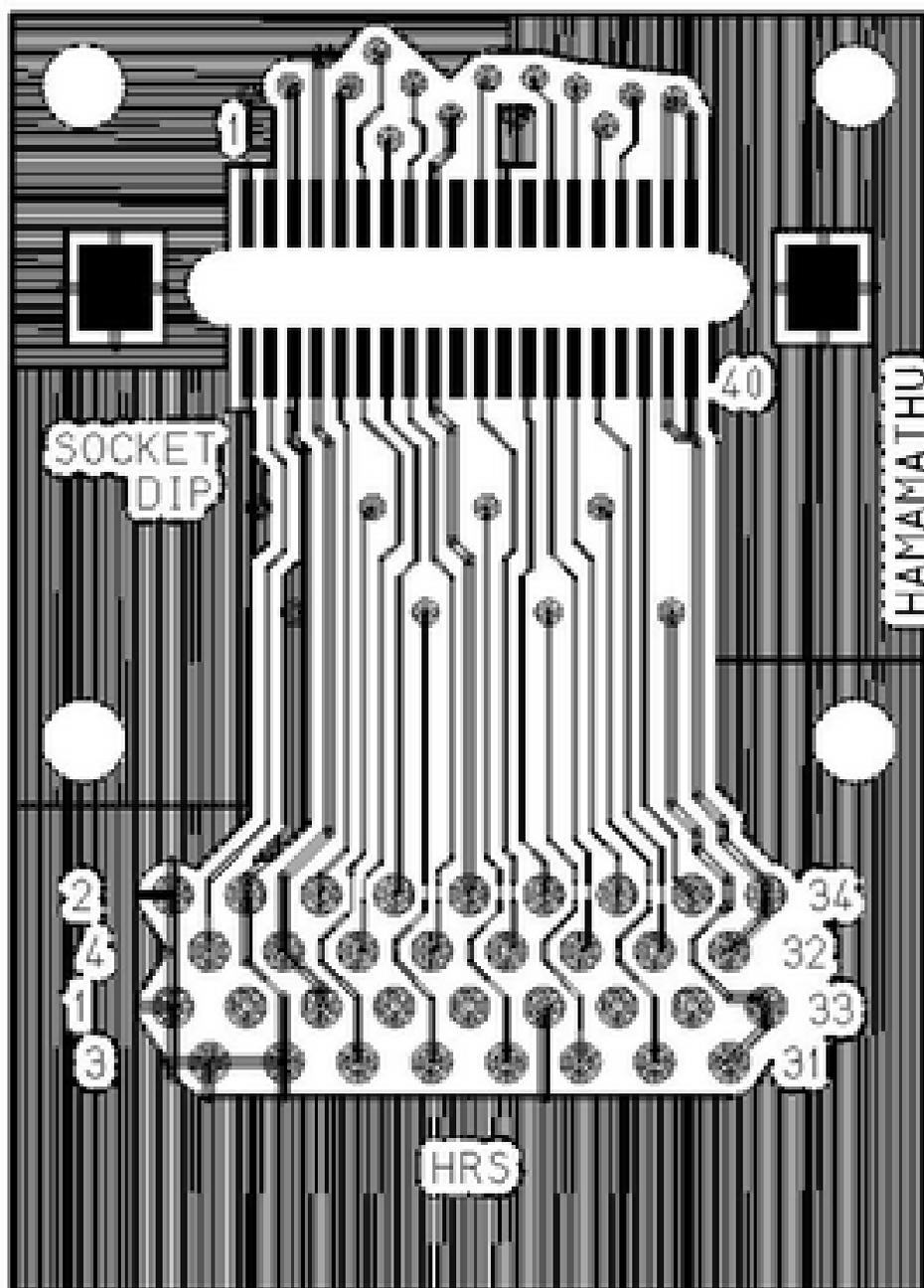
Items	Typ	Units
Hybrid size(wihtout SSD)	45.0x33.5x1.6	mm
Pitch adapter board	33.5x46.0x1.6	mm
SSD Chip size	85.7x33.6	mm
Active Area	83.0x32.0	mm
Thickness	300	μm
SSD Type	Single-side	
Readout-side	p-strip-side	
Readout (Bias) method	AC(Poly-Si)	
Strip pitch	25	μm
Number of Strips	1280	ch
Number of Readout Strips	640(*1)	ch
Bias Resistance	3	Mohm
Full Depletion Voltage	60	V
Coupling Capacitance(at 10kHz)	100	pF
Load CAPacitance ()at Vfd,10Mhz)	10	pF
Leakage Current(total)	2000	nA
Number of NG Channel	20	ch

*1)with intermediate floating strip

表 3.1: SSD の仕様

3.2.2 Hybrid Board & Adapter Board

SSD Ladder は Hybrid Board に接続されている。この Hybrid には 0.8mm ピッチの 40pin コネクタが取り付けられており、本来これを経由して SSD にバイアス電圧、VA-chip には電源、コントロール信号、バイアス電圧が供給される。しかしこの 40pin コネクタは非常に小さく、VA-chip からの出力信号を処理する装置 (VA-DAQ) に接続するのが困難なため、今回は、ある程度の大きさのある 1.27mm ピッチの 34pin Adapter Board を Hybrid Board に接続し、これを経由して電源等の供給を行なった。Adapter Board による 40pin コネクタから 34pin コネクタへの変換の回路図を図 3.6 で表す。さらにそれぞれのコネクタの pin 配列を表 3.2,3.3 に表す。ここで、guard t,bias t はそれぞれ SSD n-side,p-side へのバイアス電圧で、nc は not connected の略である。



☒ 3.6: Adapter board

Pin	Signal	Pin	Signal
1	gnd	2	gnd
3	gnd	4	outm
5	outp	6	gnd
7	gnd	8	avss
9	avss	10	cal
11	pre bias	12	vfs
13	sha bias	14	vfp
15	ibuf	16	vref
17	advv	18	advv
19	nc	20	nc
21	guard t	22	bias t
23	gnd	24	nc
25	nc	26	shift out c
27	hold b	28	clk
29	nc	30	dereset
31	shift in b	32	hold
33	clk b	34	nc
35	nc	36	test on
37	dvss	38	dvdd
39	dvss	40	dvdd

表 3.2: 40pin connector Pin Assignment

Pin	Signal	Pin	Signal
1	gnd	2	gnd
3	gnd	4	outm
5	outp	6	gnd
7	gnd	8	avss
9	avss	10	cal
11	pre bias	12	vfs
13	sha bias	14	vfp
15	ibuf	16	nc
17	avdd	18	avdd
19	gurd t	20	bias t
21	gnd	22	shift out b
23	hold b	24	clk
25	nc	26	dereset
27	shift in b	28	hold
29	clk b	30	test on
31	dvss	32	dvdd
33	dvss	34	dvdd

表 3.3: 34pin connector Pin Assignment

この検出器を使って放射線を検出する際には逆バイアス状態にする。つまり、34pin コネクタの guard t は正の電位に、bias t は負の電位に接続する。こうすることで pn 接合付近には空乏層が広がる。空乏層内に発生したキャリアをこの電位差により収集することで、放射線を検出するのだが、もちろん空乏層が広いほど多くのキャリアが生成されるため大きな信号を得ることができる。このように十分な広さを持った空乏層を作るためには、それに応じた大きさの電位差が必要になる。この電位差のことを Full depletion voltage と呼ぶ。今回使用した検出器の Full depletion voltage は 60V である。図 3.7 に SSD バイアスのための回路図を示す。ここで SSD の電源供給にはノイズを遮断するために Twisted pair ケーブルを用いた。

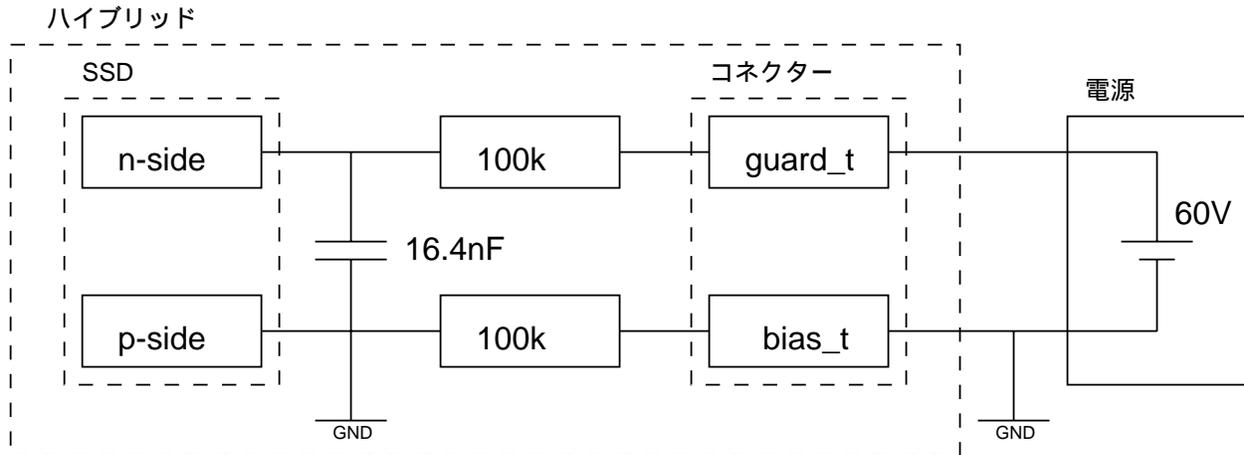


図 3.7: SSD バイアスのための回路図

3.3 VA-DAQ への接続

VA-chip からの信号を VA-DAQ を用いて読みとり、PC によりその処理を行なう。装置の写真を図 3.8 に示す。VA-DAQ の front end interface には ERNI 製の 50pin コネクタが取り付けられている。その Standard-VA interface の pin 配列を表 3.4 に示す（今回に実験には関係のない pin については表記せず空欄にしておく）。Adapter board 上の 34pin コネクタと interface の 50pin コネクタを接続するのであるが、まずその変換基板（図 3.9）を表 3.3 と表 3.4 を参考にしながらんだ付けし作成した。実験では 3 枚のシリコンストリップ検出器を同時に処理する必要がある。そのために図 3.10 のように 3 つの Hybrid と VA-DAQ を接続した。1 台目の Hybrid の shift out b 信号を 2 台目の shift in b として入力し、2 台目の shift out b 信号を 3 台目の shift in b に入力することにより、最初の 1 台の 1ch から 640ch を読んだ後に続いて 2 台目の 641ch から 1280ch、さらに続いて 1281ch から 1920ch まで読むことが可能となる。その他の pin に関しては guard t, bias t を除き並列に接続すればよい。

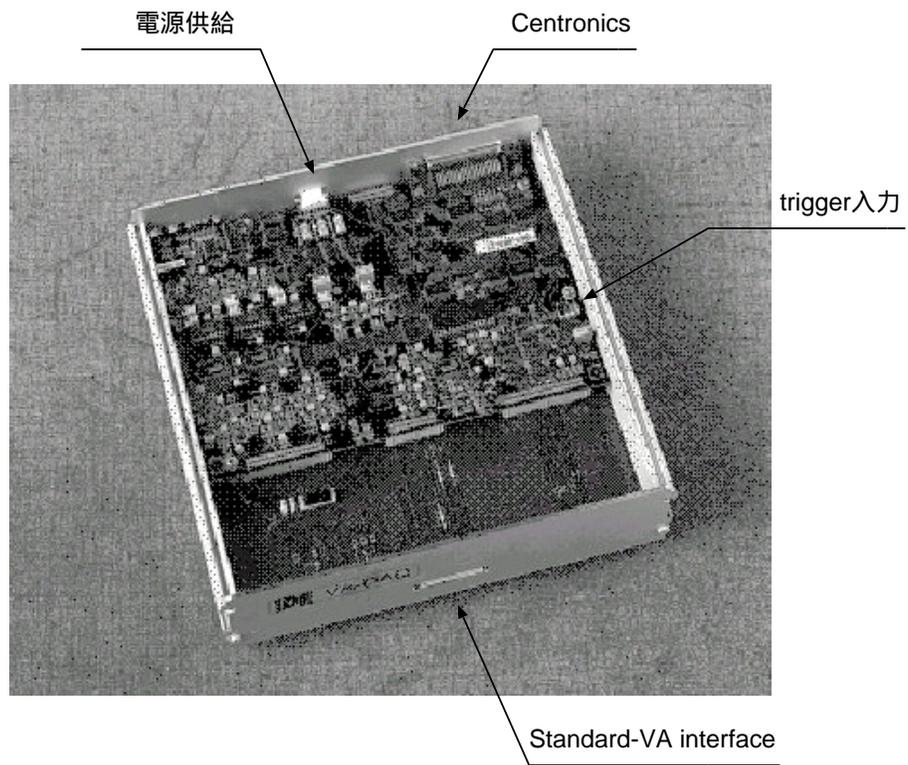


図 3.8: VA-DAQ

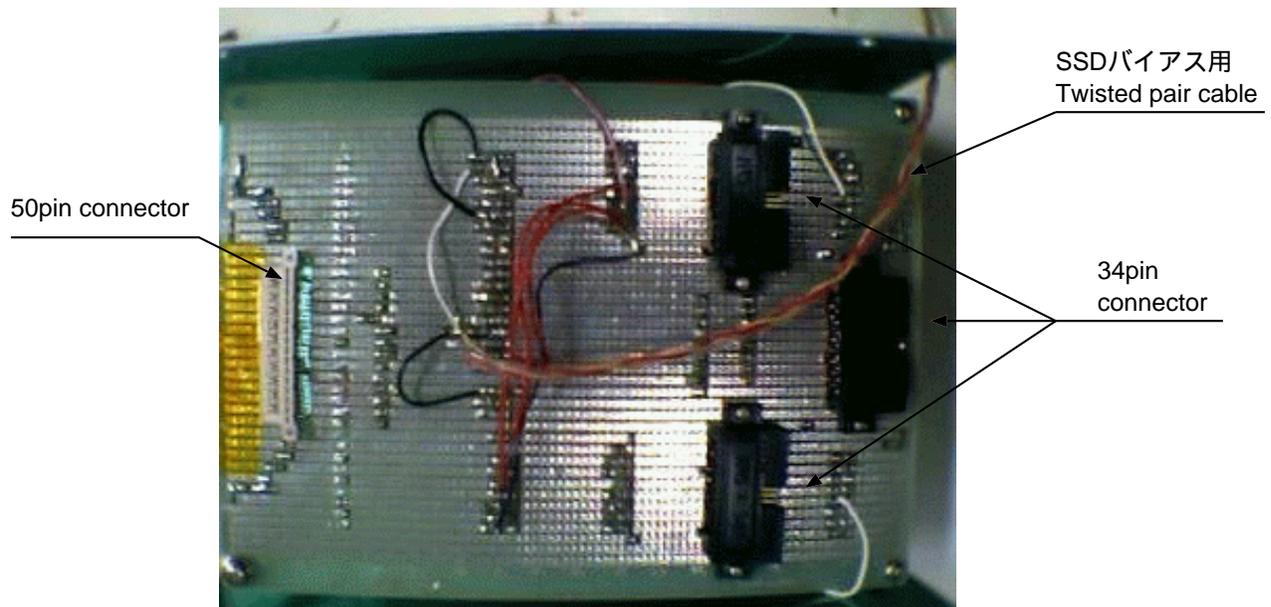


図 3.9: 変換回路

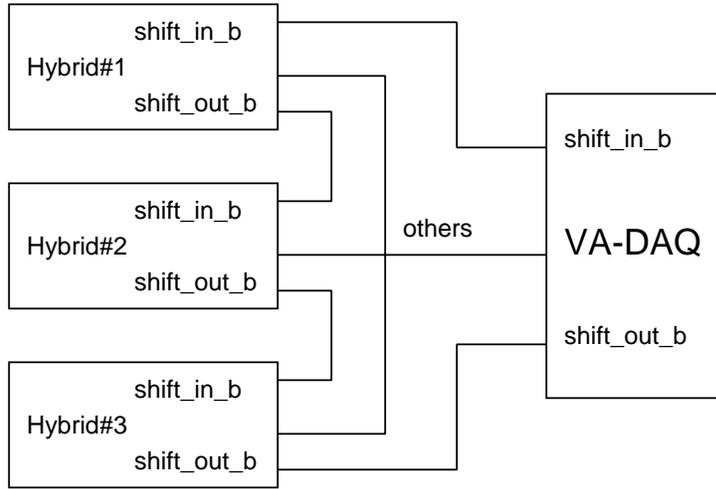


図 3.10: 同時測定のための接続方法

Pin	Signal	Pin	Signal
1	gnd	2	gnd
3	nc	4	gnd
5	outm	6	gnd
7	gnd	8	outp
9	avss	10	gnd
11	cal	12	avss
13	vfs	14	pre bias
15	vfp	16	sha bias
17		18	ibuf
19	advv	20	advv
21		22	gnd
23		24	nc
25		26	nc
27		28	nc
29		30	nc
31		32	
33		34	gnd
35	hold b	36	shift out b
37		38	clk
39	dereset	40	
41	shift in b	42	nc
43	clk b	44	hold
45	test on	46	
47	dvdd	48	dvss
49	dvdd	50	dvss

表 3.4: Standard VA interface 50pin connector Pin Assignment

Standard-VA interface の反対側に電源供給の 6pin コネクタあり、一番左が 1 番 pin である。各 pin について表 3.5 にまとめる。この装置は非常にシビアでちゃんと電源供給がなされていないとうまく測定が行えない。アナログ供給は 2A で、デジタル供給は 1A であるべきで、この電流値には常に注意を払う必要がある。

Pin	Signal	Description
1	VPOS	+5V analog supply
2	AGND	Analog ground
3	VNEG	-5V analog supply
4	AGND	Analog ground
5	VDIG	+5V digital supply
6	DGND	Digital ground

表 3.5: Signal no the supply connector

3.4 トリガーの生成

SSD の大きさが 8.3cm × 3.2cm であり、これに対してほぼ同じ大きさ 8cm × 5cm のプラスチックシンチレーターを 2 つ用いて、シリコンストリップ検出器をプラスチックシンチレーターで上下から挟む形でセットした。2 つのシンチレーターのコインシデンスをとり、ミュオンが 2 つのシンチレーターを同時に通過したという事象をトリガーとして VA-DAQ に入力した。こうすることにより、検出器にほぼ垂直に入射したミュオンを有効な事象としてとり扱うことができる。

2 つのシンチレーターに接続してある光電子増倍管 (PTM) の定格電圧はそれぞれ 2000V と 1500V である。定格電圧を印加したときの信号の大きさは 700mV と 300mV で時間幅はともに 20ns であった。

トリガー信号として、+5V の TTL 信号を VA-DAQ に入力する必要がある。これを作るための回路を図 3.11 に示す。まず、シンチレーターからの出力をディスクリミネーターに取り込む。ディスクリミネーターは入力アナログ信号が、あるスレッシュホールド電圧を越えた場合に決まった時間幅のデジタル NIM 規格信号を出力するモジュールである。今回は PTM からの信号の大きさから考えてスレッシュホールド電圧を 80mV にし、時間幅を 50ns に設定した。トリガーは信号の幅には関係なく立上りでかかるので、この時間幅についてはコインシデンスをとるのに十分な幅であればよい。この出力信号をコインシデンス回路に入力する。ここでこの NIM 信号を TTL 信号へ変換するためにレベルコンバーターを用い、さらにこの反転出力をクロックジェネレーターに入力する。これは TTL レベル出力の発信器モジュールで、これにより +5V の信号を作り出すことができる。

このモジュール全体を通して、信号の遅れは ns のオーダーであり、検出器からの信号 (μ s のオーダー) と比較して十分に小さく、無視しても差し支えない。

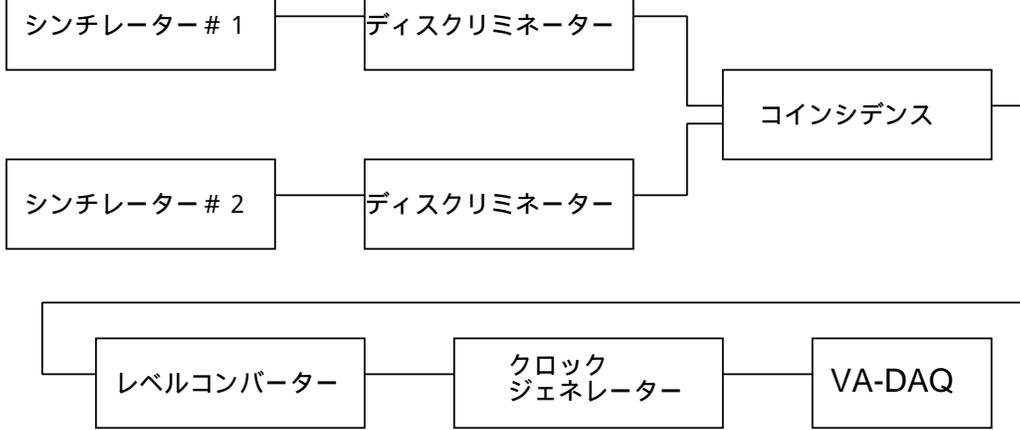


図 3.11: 5VTTL 信号の発生

3.5 セットアップ

シリコンストリップ検出器は外部からの電氣的ノイズを遮断するために、側面の厚さ 10mm、上下のふたの厚さ 0.5mm のアルミ製のケースに 1 つずつ収納されている。このアルミケースは専用に設計したもので、検出器全体をずれないように水平に固定できるものである。さらにこれらがずれないように別のアルミケース（厚さ 0.5mm）に全体が平行になるようにしっかりと固定する。これとシンチレーターを専用に作成した木製の台に図 3.12 のような配置でしっかりと固定する。この木製の台はシンチレーターとアルミケースの間の距離を 5cm ごとに 20cm±10cm の間で調節できる設計になっている。

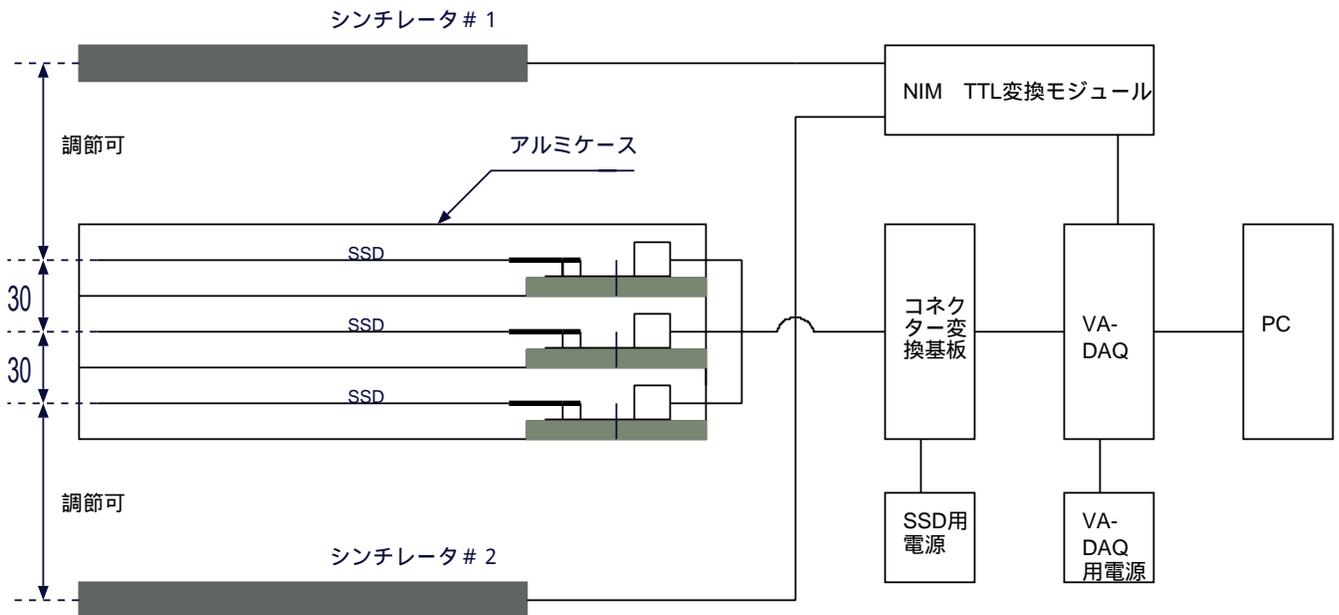


図 3.12: 位置分解能測定のためのセットアップ

第4章 信号特性の測定方法及び測定結果

シリコンストリップ検出器を1つ使い、VA-chipのPeaking time, Pedestal, Noise, Gainの測定をおこなった。この結果をもとに組み上げた実験装置全体が正常に働くかどうかを確認した。

4.1 測定方法

附属の専用ソフトウェアを用いてPCでVA-DAQの制御、測定を行なった。

4.2 各バイアスの設定

測定のための下準備としてVA-chipにかける各バイアス値の設定をした。まずVA-chipの各チャンネルに実際のミュオンからの信号を想定して11.66fCのテストパルスを入力して、VA-chipからの信号をオシロスコープで確認した。あるチャンネルのオシロスコープの様子を図4.1に示す。まず V_{fp} （プリアンプのフィードバック抵抗にかける電圧）の値をオシロスコープの波形を見ながら決定する。シェーピングアンプからの出力は負の方向にアンダーシュートしている。この部分が消えるまで V_{fp} の値を負の方に下げていく。負の信号が完全に消えたら今度は信号が現れるまでゆっくりと V_{fp} の値を上げていく。信号が現れ始めた位置からさらに100mV上げ、これを最適値とした。

V_{fs} （シェーピングアンプのフィードバック抵抗にかける電圧）については、この値を高くすればピーク出力は増加するが、波形が崩れてしまう。逆に小さい値だとピーク出力が小さくなってしまふ。これをオシロスコープの波形を見て確認し、適当だと思われる値にした。

sha bias（シェーピングアンプのためのバイアス電流）については、この値により peaking time が変わる。流れる電流が多ければ Peaking time は短くなり、少なければ長くなる。 V_{fp} と同様に設定を行なった。各設定値は以下表の通りである。Ibufについてはデフォルトの値を用いた。Pre biasについてはVA-chip5枚分の値である。

Bias	mV	uA	Bias name
BIAS01	707.3	-0.305	V_{fs}
BIAS02	-314.3	13.5	Ibuf
BIAS03	-559.0	-0.333	V_{fp}
BIAS05	-13.71	2493	Pre bias
BIAS06	-515.1	109.6	Sha bias

表 4.1: 各バイアスの設定値

このときのピーク出力は $1.43\mu s$ で201.24mVであった。

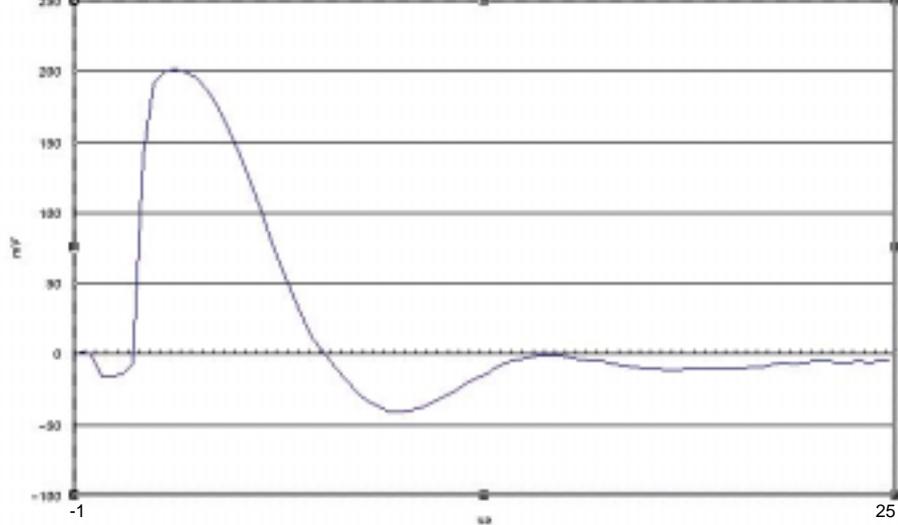


図 4.1: オシロスコープの波形

4.3 Peaking time

4.3.1 Peaking time の決定

全 640 チャンネルの Peaking time の測定を行なった。その結果を図 4.2 に表す。各チャンネルにおいて 100 回の測定を行なった平均をとったものである。合計 4 つほど他とは明らかにことなる Peaking time をもったチャンネルがある。このチャンネルは周期的で 128ch、256ch、384ch、512ch であった。

これらのチャンネルを除き残りの全チャンネルの平均値を求めると $1.4 \pm 0.1 \mu\text{s}$ であった。さらにピーク出力の様子を図 4.3 に示す。ここでも 128ch、256ch、384ch、512ch においてほぼ 0mV であった。

これ以降の測定においてここで得られた Peaking time だけ delay をかけて測定を行なった。

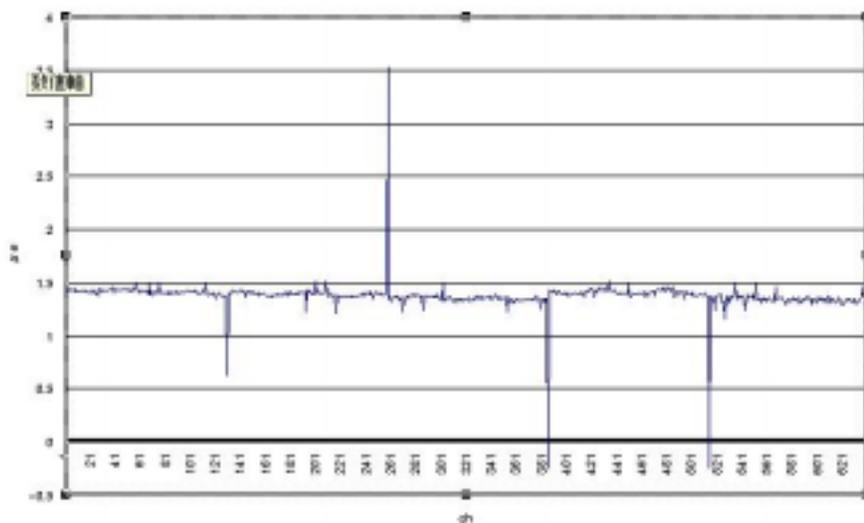


図 4.2: Peaking time

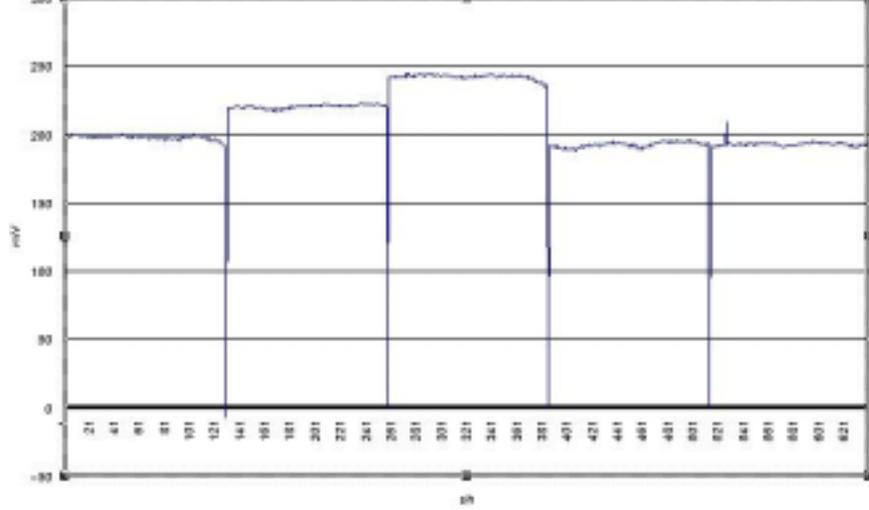


図 4.3: Peaking signal height

4.3.2 入力電荷に対する Peaking time

VA-chip が実際のミュオンからの信号を読むのに使われるとき、Peaking time は固定され、どの入力電荷に対しても一定であることが重要である。理想的な場合において、シェーピングアンプからの出力 f を時間 t の関数としたとき $f(t) \propto Q \exp(-t/T)$ となる。ここで Q は入力電荷、 T は peaking time である。Peaking time は Q に対して独立であるべきである。許される広がりには $\pm 200\text{ns}$ 程度で、これはピークのフラットな部分である。図 4.4 はチャンネル # 7 において、 0.084fC から 21.11fC まで入力電荷を変化させたときの様子である。決定した Peaking time $1.4\mu\text{s}$ に対しフラットな領域は $1.2\mu\text{s} < T < 1.6\mu\text{s}$ であり、図からその領域を読みとると正電荷の領域はおよそ $> 2\text{fC}$ であった。 0fC 付近での Peaking time は $1.4\mu\text{s}$ に対して大きく上にずれているのが見て分かる。これは入力電荷が少ない時、VA-chip からの信号は noise が支配的であるためこのような Peaking time が現れたものと思われる。

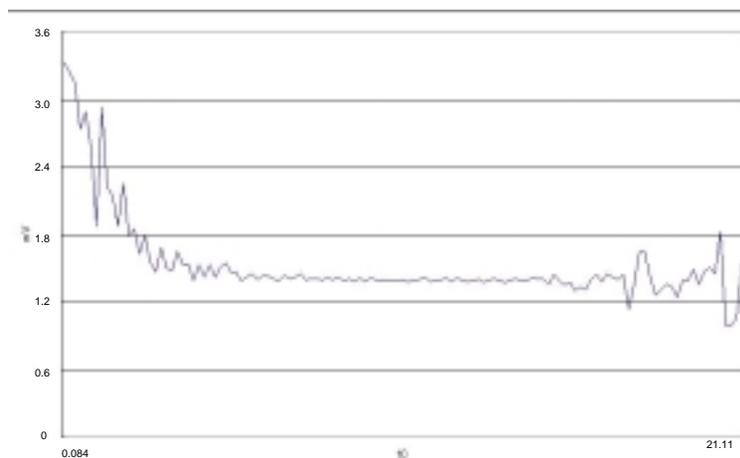


図 4.4: Peaking time vs input charge

4.4 PedestalとNoiseの測定

次に Pedestal と Noise の測定を行なった。Pedestal とはトリガーはかかったが、検出器では粒子が検出されなかったときの信号である。その様子を図 4.5 に示す。平均は-8.34mV、最大値 33.68、最小値-55.50mVであった。これは noise とは異なり各チャンネルにおいて本来なら決まった値を示すものである。しかし実際は測定するごとに Pedestal の値は変動する。このゆらぎは Noise による影響を受けているから現れると考え、Pedestal のゆらぎを Noise として定義する。100 回の Pedestal の測定のゆらぎの平均を図 4.6 に Noise として示す。その平均値は 3.60mV、最大値 4.83mV、最小値 2.54mV であった。

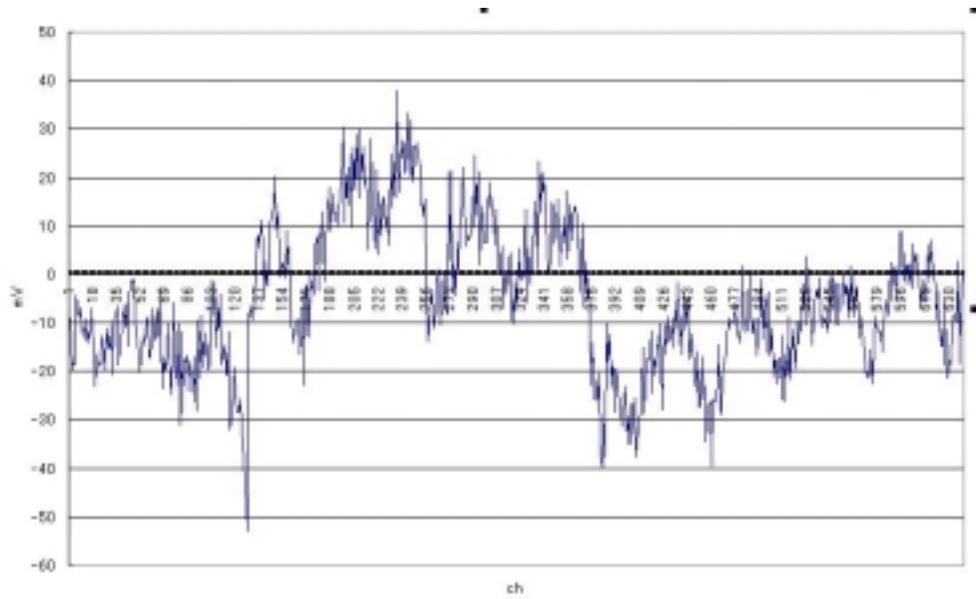


図 4.5: Pedestal

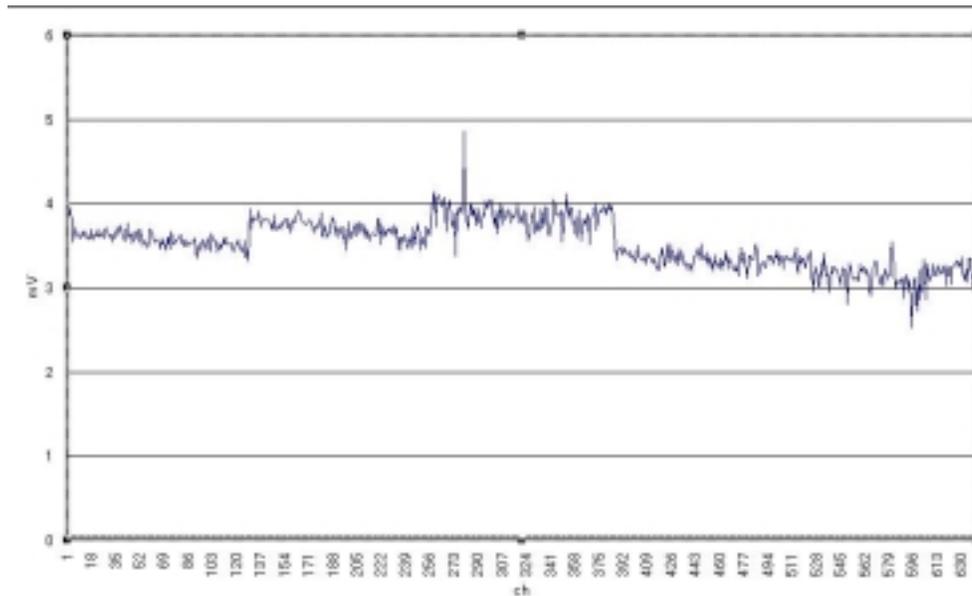


図 4.6: Noise

4.5.1 入力電荷に対するピーク出力

チャンネル# 7における入力電荷を -21.11fC から 21.11fC まで変化させたときのピーク出力の様子を図 4.7 に示す。VA-chip の Gain (mV/fC) は 0fC でのグラフの傾きとして定義される。しかし測定では 0fC 付近では正 (負) 電荷に対して負 (正) の出力が得られた。これは図 4.5 Pedestal を見れば分かるように、チャンネル# 7において負の出力が出ている。入力電荷が少ないので Pedestal の影響が現れているためだと考えることができる。よって 0 付近でのグラフの傾きを得ることは難しいため、fitting の傾きで gain の測定を行なうことにした。

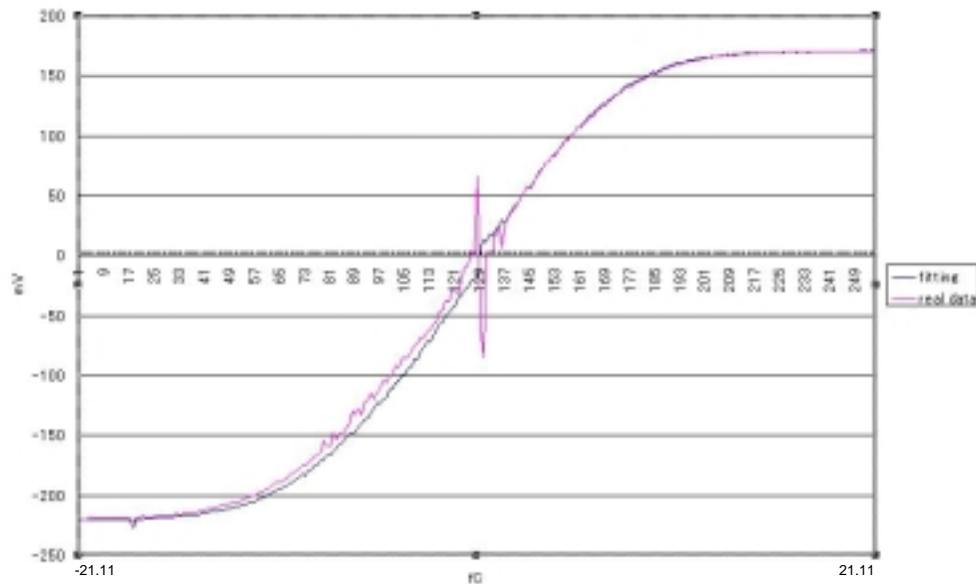
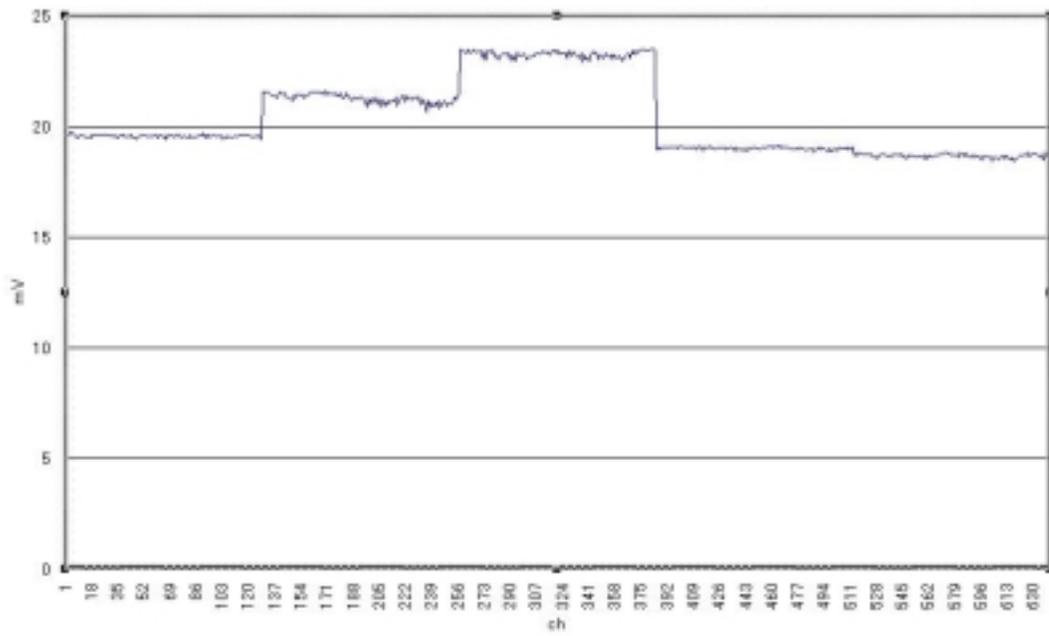


図 4.7: peaking signal height vs input charge

4.5.2 VA-Gain の測定

テストパルスを入力し Gain の測定を行なった。100 回の測定を平均した結果を図 4.8 に示す。Gain は入力電荷に対する増幅率であり、本来 $\mu\text{A/fC}$ で表される。ここでは $3.3\text{k}\Omega$ の抵抗を通して mV/fC に変換して表示されている。平均値は $20 \pm 1\text{mV/fC}$ ($6.0 \pm 0.3\mu\text{A/fC}$) で、最大値 23.536mV/fC ($7.068\mu\text{A/fC}$)、最小値 18.407mV/fC ($5.522\mu\text{A/fC}$) であった。VA-chip ごとのばらつきがあるものの、各 VA-chip ごとにほぼ一定の Gain が得られた。これは検出器のほぼ中心をミュオンが通過したときに一番大きい信号が出ることがわかる。



⊗ 4.8: gain

第5章 今後の課題

VA-DAQ への電源供給によるミスで VA-DAQ 本体が故障してしまい、実際のミュオンからの信号を検出することができず、シリコンストリップ検出器の基本的な特性を測定することまでしかできなかった。しかし今回得られた結果についてはほぼ予想通りの結果であり、組み上げた装置全体が正常に作動していることの確認はできた。今後の課題としては、まずはミュオンからの信号を測定することである。VA-DAQ の動作確認はできたのでトリガーがしっかりかかればミュオンの信号を得ることは可能であると思われる。その信号がどのチャンネルで検出されたかを調べることにより、粒子の通過位置を決定できる。これができれば3つのシリコンストリップ検出器を用いてこの検出器の位置分解能を求めることができる。3つの検出器ををほぼ垂直に同時に通過したミュオンを、それぞれの検出器で別々に測定する。中間の検出器 # 2 で測定された実際の位置と、上下の検出器 # 1 と # 3 で測定された実際の位置から見積もられた # 2 との位置は理論的には同じ位置のはずである。しかし実際には p^+ ストリップは $25\mu\text{m}$ の間隔を持っており、そこから生じる誤差により、測定位置と見積もり位置にはずれが生じる。このずれを見積もることでこの検出器の1次元の位置分解能が得られる。3つの検出器が同じ位置分解能 δx を持っているとする。3つ検出器は等間隔に置かれているので3つの検出器での検出位置を上から順にそれぞれ x_1 、 x_2 、 x_3 とすると、 x_1 、 x_3 から見積もられる # 2 の位置 x' は $x' = \frac{x_1 + x_3}{2}$ となる。このとき各検出器の位置分解能の間に相関関係はないので $\delta x'$ は $(\delta x')^2 = \left(\frac{\partial x'}{\partial x_1}\right)^2 (\delta x)^2 + \left(\frac{\partial x'}{\partial x_3}\right)^2 (\delta x)^2$ であり、 $\delta x' = \frac{1}{\sqrt{2}} \delta x$ となる。ここで $x_2 - x' = X$ として X の誤差 δX を考えると、 $(\delta X)^2 = \left(\frac{\partial X}{\partial x_2}\right)^2 (\delta x)^2 + \left(\frac{\partial X}{\partial x'}\right)^2 (\delta x')^2$ であるから、 $\delta X = \sqrt{\frac{3}{2}} \delta x$ が求まる。つまり $x_2 - x'$ に対するイベント数の分布を考えたとき、分布の幅は $\sqrt{\frac{3}{2}} \delta x$ で表される。実際の測定からこの分布の幅を見積もることができればこの検出器の位置分解能 δx が得られる。

謝辞

この論文を製作するにあたり、直接御指導いただきました大杉節先生、深沢泰司先生、岩田洋世先生、適切な助言と多大な御協力を頂きました先輩方に深く感謝いたします。また、藤田一樹氏をはじめとする浜松フォトニクス社固体開発 1 G の皆様には些細な質問や突然の訪問にも快く対応していただき深く感謝の意を表します。

参考文献

- [1] 増田博之 2001 年度 広島大学 修士論文
'ガンマ線衛星 GLAST 搭載大面積シリコンストリップセンサーの性能特性評価'
- [2] 林邦幸 1992 年度 広島大学 卒業論文
'両面マイクロストリップセンサ試作器のガンマ線損傷の研究'
- [3] B.HYAMS and U.KOETZ,E.BELAU,R.KLANNER,E.NEUGEBAUER and
A.WYLIE,J.KEMMER
'ASILICON COUNTER TELESCOPE TO STUDY SHORT-LIVED PARTICLES
IN HIGH-ENERGY HADRONIC INTERACTION'
- [4] William R.Leo
'Techniques for Nuclear and Particle Physics Experiments'