衛星搭載機器統一通信規格SpaceWireを用いた宇宙X線・ガンマ線観測用データ収集システムの開発

広島大学大学院 理学研究科 物理科学専攻
M064310
田中琢也
高エネルギー宇宙・素粒子実験研究室
主査:深澤 泰司　　副査：杉立 徹

2008年2月8日

概 要

ブラックホールや中性子星、銀河団などの天体からは粒子加速による硬 X 線やガンマ線の非熱的放射が観測されている。これらの放射機構や粒子の加速機構を知ることは極限状態での物理を知るうえで非常に重要であり、さらなる詳細な観測が求められている。X 線やガンマ線の観測装置は人工衛星や気球に搭載されるが、これらの装置には大きさや重さ、消費電力に厳しい制限があり、宇宙空間という特殊な環境で長期間安定動作する高い信頼性も求められる。観測装置がこれらの条件を満たしつつ、最高の性能を発揮するためには、X 線やガンマ線を捉える検出器だけでなく、検出器から出力された信号を処理するデータ収集システムも高い性能を有していなければならない。そのため、観測ミッションの成功には検出器開発だけでなくデータ収集システムの開発も非常に重要である。人工衛星に搭載される観測装置の場合、検出器で捉えられた天体からのデータはデータ処理装置や記録装置、通信装置などに送られる必要があり、それぞれの機器間での通信インターフェイスが必要である。現在これら衛星搭載機器間通信インターフェイスの統一が進められており、世界統一規格として SpaceWire が提唱されている。SpaceWire を用いることで従来の衛星開発にあった問題点を克服することができ、観測装置開発における負担を大幅に減らすことができるものと期待されている。そして現在、我々が開発に参加している気球搭載硬 X 線偏光計 PoGOLite および次期 X 線天文衛星 NeXT においても採用が予定されている。このうち PoGOLite 計画の場合は、SpaceWire の開発および実証試験も兼ねており、将来 SpaceWire が本格的に普及する際の足掛かりとなる。また、NeXT 衛星では本格的に SpaceWire が採用されるため、我々が開発を担当している Hard X-ray Imager (HXI) および Soft Gamma-ray Detector (SGD) においても SpaceWire との高い親和性を有していなければならない。

そこで本研究では、PoGOLite および NeXT 搭載 SGD,HXI のデータ収集システムの開発を行った。PoGOLite においては、合計 271 本もの光電子増倍管 (PMT) 信号出力を持ち、さらに波形弁別によりバックグラウンドを除去するため、その信号処理は大規模かつ複雑なものとなる。また、SpaceWire の実証試験を兼ねていることから、データ収集システムには全面的に SpaceWire を採用し、新規技術の習得と評価を行い、SpaceWire によるデータ収集システム開発の早期確立を目指した。現在までのところ、新たに開発した SpaceWire ベースでのデータ収集システムによる硬 X 線の偏光測定試験に成功しており、そのシステムをベースにフライト用のデータ収集システムの開発が進められている。また、HXI および SGD においては半導体検出器が使用されるが、その出力は数千チャンネルにもおよび、PMT と比べて微弱な信号を扱わなければならない。そのため PoGOLite のデータ収集システム開発で得られた技術、知識を生かしながら、SpaceWire を用いた半導体検出器多チャンネル読み出しシステムの開発を行った。その結果、現在半導体検出器多チャンネル読み出し用に開発された特殊な LSI を SpaceWire 経由で制御し、データを読み出すシステムの開発に成功しており、さらに多チップ、多チャンネルの読み出しに対応したシステムの開発を進めている。

目 次

第 1 章 序論 **7**
1.1 背景 7
1.2 研究の目的 8

第 2 章 衛星搭載機器間通信インターフェイス規格 SpaceWire **10**
2.1 SpaceWire の特徴 10
2.2 Remote Memory Access Protocol と SpaceWire Board 12
2.2.1 RMAP 12
2.2.2 SpaceWire Board 13
2.3 SpaceWire 開発プラットフォーム SpaceCube 16

第 3 章 PoGOLite 用データ収集システムの開発 **19**
3.1 PoGOLite の概要 19
3.2 期待される科学的成果 20
3.3 偏光測定の原理 20
3.4 PoGOLite の検出器 22
3.4.1 PoGOLite による偏光測定 25
3.5 SpaceWire を用いたデータ収集システムの開発 27
3.5.1 データ収集システムの構成 27
3.5.2 FADC Board の開発 29
3.5.3 Digital I/O Board 34
3.6 大阪大学 RCNP における SAS エレクトロニクスの荷電粒子バックグラウンド耐性の試験 34
3.6.1 予備実験 35
3.6.2 陽子ビーム照射試験 36
3.7 KEK-PF における 7 ユニット偏光測定試験 40
3.7.1 実験セットアップ 41
3.7.2 実験結果 43
3.8 PoGOLite のデータ収集システム開発のまとめと今後 46

第 4 章 半導体検出器多チャンネル読み出しシステムの開発 **47**
4.1 半導体検出器 47
4.1.1 Double-sided Silicon Stric Detector 48
4.2 NeXT 計画と HXI/SGD 検出器 49

4.2.1 HXI 49
4.2.2 SGD 50
4.3 半導体検出器読み出し ASIC 52
4.3.1 VA32TA 52
4.3.2 フローティング読み出し 55
4.4 VA32TA6 読み出しシステムの開発 56
4.4.1 VA32TA6 57
4.4.2 読み出しシステムの実際 61
4.4.3 半導体検出器の読み出し 64
4.4.4 Xilinx 版 FADC Board への移植 66
4.4.5 まとめと今後 67

第5章 まとめと課題 **69**

図 目 次

2.1 SpaceWire ケーブルの構造 [1] 11
2.2 コネクタピンアサイン [1] 11
2.3 SpaceWire ケーブルアッセンブリ [1] 11
2.4 パケットのフォーマット [1] 12
2.5 RMAP Write コマンドパケット [3] 12
2.6 RMAP Read コマンドパケット [3] 13
2.7 SpaceWire Digital IO Board 14
2.8 SpW-ADC Board 14
2.9 SpaceWire FPGA のメモリマップの例 [5] 15
2.10 SpaceCube の外観 16
2.11 SpaceCube のブロック図 17
2.12 User FPGA Internal Bus と SpaceWire FPGA、SpaceCube の関係 [6] . . . 17

3.1 PoGOLite 検出器が搭載される気球ゴンドラ 19
3.2 それぞれの放射モデルで予想される偏光パターン [10]。3 つのモデルで偏光パターンは全く異なる。 20
3.3 偏光光子がコンプトン散乱されたときの概念図 21
3.4 PoGOLite の検出器の模式図。217 本の PDC と、その周りを囲む SAS から構成されている。さらに、SAS は 54 本の BGO シンチレータから構成される。 23
3.5 PDC の構造。slow plastic シンチレータ、fast plastic シンチレータ、bottom BGO から構成されている。3 つのシンチレータからの信号は 1 つの PMT によって読み出される。 24
3.6 PoGOLite による偏光測定の概念。コンプトン散乱の異方性を利用し、散乱方向の偏りから偏光を検出する。 25
3.7 シミュレーションによる PoGOLite の有効面積 [10]。 25
3.8 PoGOLite のモジュレーションファクタ [10]。 25
3.9 シミュレーションによるバックグラウンドスペクトル [10]。バックグラウンドは 100 mCrab 程度に抑えられている。 26
3.10 CSA 出力信号波形の例。fast plastic シンチレータと slow plastic/BGO シンチレータで、時定数の違いから CSA の出力波形の立上り時間が異なる。 27

3.11 PoGOLite データ収集システムのブロック図。FADC Board, Digital I/O Board, SpaceCube から構成される。PDC と SAS では同じ FADC Board が使用されるが、User FPGA に実装される回路が異なる。. 28
3.12 SpaceWire PoGO FADC Board。ほとんどの信号処理を FPGA 内で行うため、アナログ回路部分が非常に小さくなっている。 28
3.13 User FPGA の PDC と SAS で共通な部分のブロック図。ADC の設定レジスタに設定データを書き込むシリアルインターフェイス、ADC から送られてくるシリアルデータをパラレルに変換する Deserializer、PMT の HV 電圧を設定する DAC 用のシリアルインターフェイス回路がある。 29
3.14 ADC 設定レジスタ用シリアルインターフェイスのタイミングチャート [7] . 30
3.15 ADC 出力信号のタイミングチャート [7] 31
3.16 Base-line 差引の概念。FPGA 内で波形を遅延させ、元の波形から遅延した波形を引き算し、trigger をかけることで base-line によらずに threshold を設定できる。また、波高値を取得する際に base-line を差し引くことで、大信号によるアンダーシュート上に信号があった場合でも正しく波高を測定することができる。 33
3.17 Base-line 差引によるヒストグラム生成回路のブロック図 (1ch 分)。 33
3.18 最終的な SAS 用 FADC Board の User FPGA ブロック図。. 34
3.19 旧プロトタイプボード。CSA 部分のみを使うため、CSA からの信号を引き出すケーブルを取り付けてある。 35
3.20 汎用 FADC Board。12 bit, 6 MSPS の ADC が搭載されている。ロジックの試験という目的では問題無く使用できる。 35
3.21 Base-line 差引なし (左) と Base-line 差引あり (右) の 59.5 keV スペクトル。base-line 差し引きによりピークのずれを抑えることができた。 36
3.22 陽子ビーム照射試験の実験セットアップ。392 MeV の陽子ビームを SAS の BGO に垂直に照射した。 37
3.23 実験セットアップの写真。ビームの上流には、陽子ビームのレートを測定するためのプラスチックシンチレータが設置されている。 37
3.24 ^{137}Cs(662 keV) のスペクトル。662 keV のピークは判別できるものの、低エネルギー側に偽の構造が出現した。 38
3.25 ^{241}Am(59.5 keV) のスペクトル。偽の構造のため、陽子ビーム照射中は 59.5 keV のピークを判別することができない。. 38
3.26 ソフトウェアで実装したアルゴリズムを元に波形データから生成した。^{137}Cs(662 keV) のスペクトル。偽の構造を再現することができた。 39
3.27 SAS ヒストグラム生成ロジックの内部信号の様子。アンダーシュートが非常に大きい場合、回復する途中でトリガが立ち、偽の構造を作っていることが分かった。 39

3.28 SUD 導入後の ^{137}Cs(662 keV) スペクトル。アンダーシュートガある一定以上に大きかった場合、回復するまで Veto をかけることで偽の構造が生じるのを防ぐことができた。 40
3.29 PDC が 7 本組み合わされたプロトタイプ検出器。 41
3.30 KEK ビーム試験における実験セットアップ。フライト時とほぼ同じ構成で試験が行われた。 42
3.31 KEK ビーム試験における DAQ システムの写真。 42
3.32 KEK ビーム試験における実験セットアップの写真。左側の黒いシートの中に検出器が入っている。 43
3.33 KEK ビーム試験で得られた波形データその 1。入射 X 線光子は中心の PDC(ch 0) でコンプトン散乱を起こし、その周りの 1 本 (ch 1) で光電吸収された。 44
3.34 KEK ビーム試験で得られた波形データその 2。ch 0, 3, 6 の slow plastic または bottom BGO を宇宙線が貫いた。 44
3.35 KEK ビーム試験で得られた 2 次元プロット (50 keV)。ほぼ $y = x$ の直線に乗っているイベントが fast plastic によるイベントで、枝分かれしているイベントが slow plastic/BGO によるイベントである。 45
3.36 KEK ビーム試験で得られたモジュレーションカーブ (25 keV)。モジュレーションファクタは 33.8 ± 0.7 %と求められた。 45

4.1 半導体検出器の原理。 48
4.2 DSSD の構造。n 型半導体基板上に短冊状の n+領域と p+領域が直交するように形成される。 48
4.3 NeXT 衛星の想像図。 49
4.4 HXI の構造。 50
4.5 コンプトンカメラの原理 [16] 51
4.6 SGD の概観。 52
4.7 VA32TA の写真 [16]。 53
4.8 VA32TA のブロック図 [16]。VA part と TA part に分かれている。 54
4.9 VA32TA の読み出しタイミングチャート。 55
4.10 AC 結合の等価回路。検出器出力と VA32TA の入力はコンデンサーにより絶縁される。 56
4.11 DSSD をフローティング読み出しする場合の模式図。 56
4.12 VA32TA6 の写真。 57
4.13 VA32TA6 の Mode 設定のタイミングチャート [18]。 60
4.14 VA32TA6 のレジスタ設定、Read-back のタイミングチャート [18]。 60
4.15 VA32TA6 のイベント待ち、A/D 変換、データ読み出しのタイミングチャート [18]。 60
4.16 VA32TA6 が搭載された FEC の写真。この FEC には VA32TA6 が 2 チップ搭載されている 62

4.17 信号変換基板とコネクタ変換基板。 62
4.18 VA32TA6 読み出しシステム。FEC、信号変換基板、コネクタ変換基板、Digital I/O Board、SpaceCube で構成されている。 63
4.19 実際に実装された VA32TA6 のレジスタ設定、リードバックタイミングチャート。 63
4.20 実際に実装された VA32TA6 のイベント待ち、A/D 変換、データ読み出しのタイミングチャート。 64
4.21 VA32TA6 と CdTe Pad 検出器により得られた ^{241}Am と ^{57}Co のスペクトル (1 ch 分)。 65
4.22 VA32TA6 と CdTe Pad 検出器により得られた ^{241}Am、^{133}Ba、^{109}Cd、^{57}Co のスペクトル。横軸はエネルギーに直してある。 65
4.23 VA32TA6 のリニアリティ。ゲインが不足気味だがリニアリティに大きな問題は無い。 66
4.24 Xilinx 版 FADC Board を使用した VA32TA6 読み出しシステム。 67
4.25 信号変換基板上の DAC で生成したテスト信号波形。 67

第1章　序論

1.1　背景

ブラックホールや中性子星、銀河団などの天体からは、硬X線やガンマ線の放射が観測されている。現在までの観測で、これらの放射は相対論的エネルギーにまで加速された粒子による制動放射、シンクロトロン放射、逆コンプトン散乱など、非熱的な過程によるものであることが分かってきている。これらの放射機構や粒子の加速機構を知ることは、極限状態の物理を知る上で非常に重要であるが、まだはっきりと分かっていない部分も多く、さらなる詳細な観測が求められている。

X線やガンマ線は地球大気によって遮られてしまうため、これらの波長領域での観測装置は人工衛星や気球などに搭載する必要がある。衛星や気球に搭載される機器には大きさや重さに厳しい制約があり、使用できる電力にも限りがある。さらに、宇宙空間という厳しい環境で、長期間に渡って安定動作する高い信頼性が求められる。観測装置がこれらの条件を満たしつつ、最高の性能を発揮するためには、X線やガンマ線の検出器そのものに加えて、検出器からの信号を読み出すデータ収集システムもこれらの条件を満たさなければならない。また、観測装置の性能は検出器の信号処理技術にも大きく依存する。そのため、観測ミッションの成功には、検出器開発だけでなくデータ収集システムの開発も非常に重要である。

観測装置で収集された天体からのデータは、データ処理装置や記憶装置、そして衛星の場合最終的には地上との通信装置に送られる必要があり、衛星搭載機器には他の搭載機器との通信インターフェイスが必要である。従来の衛星ではこれらの通信インターフェイス規格は衛星ごと、機器ごとに作られており、開発期間の長期化や信頼性確保が困難になるといった問題が生じていた。このような問題を解決するため、現在機器間通信インターフェイス規格の統一が進められており、世界統一規格としてSpaceWireが提唱されている。SpaceWireはESAを始めJAXA、NASAなど世界中の主要な研究機関や大学、企業が開発に参加しており、我々のグループが装置開発を担当している将来の衛星計画でも採用が予定されている。SpaceWireにより通信インターフェイス規格が統一されることで、装置開発と通信インターフェイス開発を完全に分離することができ、信頼性の向上、開発期間の短縮などの効果が期待できる。さらに共通のインターフェイス規格を持つことで、他の装置との柔軟な接続や、地上試験の簡略化、省力化を実現できる。

現在、我々が参加しているミッションのうち、SpaceWireを採用しているものが2つある。そのうちの1つが、気球搭載用硬X線偏光計PoGOLiteである。。PoGOLiteはコンプトン散乱の異方性から偏光を測定する検出器で、大有効面積とアクティブシールドによる徹底したバックグラウンド除去を実現することにより、かつて無い高感度の偏光測定を

可能にし、世界で初めての本格的な硬 X 線領域での偏光観測を目指す。PoGOLite の開発は日本、アメリカ、ヨーロッパの国際協力で進められており、2010 年頃の初観測を予定している。PoGOLite はその検出器の構造上、合計 271 本もの光電子増倍管 (PMT) 信号出力を持つため、気球搭載用としては大規模なデータ収集システムを構築しなければならない。また、PoGOLite 計画は SpaceWire の開発および実証試験も兼ねており、データ収集システムには全面的に SpaceWire を採用し、将来 SpaceWire が本格的に普及する際の足掛かりとなる。

我々のグループが開発に参加しているもうひとつの計画に、次期 X 線天文衛星 NeXT 計画がある。これは現在活躍中の X 線天文衛星「すざく」の後継となる衛星で、2013 年頃の打ち上げを目指して宇宙航空研究開発機構・宇宙科学研究本部 (ISAS/JAXA) を中心に開発が進められている。NeXT に搭載される観測装置のうち、世界初の硬 X 線領域での撮像観測を目指す Hard X-ray Imager (HXI) と、半導体多層コンプトンカメラである Soft Gamma-ray Detector (SGD) の開発を我々が担当しており、検出器およびデータ収集システムの開発が現在進行中である。HXI、SGD 共に DSSD、CdTe 検出器、Si-Pad 検出器等の半導体放射線検出器が用いられるが、どの検出器も非常に多チャンネルの信号出力を持つため、多チャンネルの信号を処理できる特殊なアナログ ASIC を開発し、小面積、低消費電力かつ低ノイズの信号処理回路を実現する。また、NeXT では前述の SpaceWire を本格的に採用することが予定されており、SpaceWire をベースにしたデータ収集システムの開発が求められている。

1.2　研究の目的

前述したように、観測装置の開発においては検出器開発に加えてデータ収集システムの開発も重要である。我々が開発に参加している NeXT 搭載 HXI、SGD や PoGOLite においても例外でなく、高度な信号処理と衛星や気球に搭載できる小型、低消費電力、そして高い信頼性を両立する必要がある。

PoGOLite においては、合計 271 本もの PMT 信号出力を持ち、さらに波形弁別によりバックグラウンドを除去するため、その信号処理は大規模かつ複雑なものとなる。また、本来の目的である X 線偏光観測に加えて、SpaceWire の開発と実証試験を行うという目的もある。一方、HXI および SGD で使用される半導体検出器も非常に多チャンネルの信号出力を持つうえ、PMT と比べて微弱な信号を処理する必要がある。さらに衛星に搭載されるため、気球の飛行する環境よりも厳しい環境でより長期間に渡って安定動作する高い信頼性が求められる。また、NeXT 衛星では SpaceWire が本格的に採用されるため、開発するデータ収集システムは SpaceWire 規格との高い親和性を有していなければならない。

そこで本研究では、PoGOLite のデータ収集システムを開発するとともに、この開発を通して SpaceWire の評価、新規技術の習得を行い、SpaceWire によるデータ収集システム開発を早期に確立することを目指す。また、HXI および SGD で使用される半導体検出器の読み出しシステムの開発も同時に行い、PoGOLite のデータ収集システムの開発によって得られた知識、技術を生かしながら、SpaceWire を用いた半導体検出器多チャンネル読

み出しシステムの実現を目指す。

第2章　衛星搭載機器間通信インターフェイス規格SpaceWire

科学衛星に搭載される機器には、観測装置、各種センサ、データ処理装置、記憶装置、通信装置など多種多様なものがある。そして衛星システムが機能するためには、これらの装置間でデータの受渡しを行わなければならない。従来の衛星では、このような衛星搭載機器間での通信インターフェイスは衛星ごと、機器ごとに開発されており、各々独自の規格が使用されていた。そのため、開発期間の長期化、信頼性確保が困難になる、技術が継承されないといった問題が生じており、科学衛星開発における研究者の負担を大きくしていた。そこでこのような問題を解決するため、衛星搭載機器間の通信インターフェイス規格を統合する動きが拡がり、現在SpaceWireと呼ばれる世界統一規格が提唱されている。SpaceWireはIEEE1355を元に宇宙用に改良されたもので、ESAを始めとして、ISAS/JAXA、NASAなど世界の主要な研究機関や大学、企業などが開発に参加しており、日本でも新規の衛星計画にSpaceWireの採用が拡がっている。SpaceWireにより機器間通信インターフェイスが統一されることで、装置開発と通信インターフェイス開発を完全に分離することができる。そのため我々研究者は観測装置の開発に専念することができるとともに、装置開発と通信インターフェイス開発が互いに干渉し合うことが無くなり、高い信頼性を実現することができる。また、全ての装置が同じ通信インターフェイスを持つことで、機器同士の接続の自由度が高くなり、より柔軟なシステムの構築が可能になる。

2.1　SpaceWireの特徴

SpaceWireはIEEE1355をベースに開発された、全二重、双方向のシリアルインターフェイス規格である。IEEE1355は工業製品における高速シリアル通信によるスケーラブルなシステム構築を廉価に実現することを目指して開発されたもので、SpaceWireにはIEEE1355を宇宙用途に最適化した上で、ネットワーク機能やエラー訂正機能が追加されている。

SpaceWireの電気的な接続にはLow Voltage Differential Signaling (LVDS)が用いられ、高速通信でも消費電力が低く、ノイズに強く、信号線からのノイズの輻射も少ない。また、Data-Strobe encodingと呼ばれる符号化方式を用いることにより、Data信号とStrobe信号を伝送することで受信側でクロック信号を再現することができ、クロック信号そのものを伝送する場合に比べてskewへの耐性を高くしている。ケーブルはLVDS信号を伝送するために2本の導線をよりあわせたツイストペアの構造になっており、Data信号とStrobe信号が送受信それぞれ1組ずつあるので計8本の導線から構成されている。各々のツイス

トペアはシールドされ、さらにケーブルの外周もシールドされているため、クロストークや外部からのノイズの影響が少なく、ケーブルからのノイズの放射も抑えられている。そのためケーブルを10 m以上延ばすことができ、柔軟な機器配置が可能である。また、規格上はコネクタに宇宙用途で多用されている9ピンのMicro-Dコネクタが指定されている。ただし、これは必ずしも高速信号の伝送に適した形状ではないため、現在他のコネクタの使用も考えられている [2]。SpaceWireのリンク速度は2 Mbps~400 Mbpsで可変であることから、様々な規模の装置に柔軟に対応することができる。また、複数本のSpaceWireを束ねてさらに高速な通信を行う事も可能である。図2.1、図2.2にケーブルおよびコネクタのピンアサインを示す。また、図2.3にケーブルの結線図を示す。

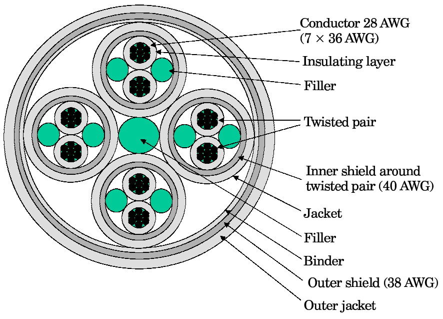
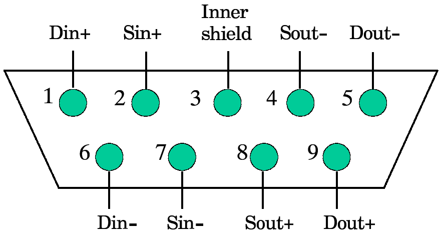

Conductor 28 AWG
(7 × 36 AWG)
Insulating layer
Filler
Twisted pair
Inner shield around
twisted pair (40 AWG)
Jacket
Filler
Binder
Outer shield (38 AWG)
Outer jacket

図 2.1: SpaceWire ケーブルの構造 [1]


Din+
Sin+
Inner
shield
Sout-
Dout-
1
2
3
4
5
6
7
8
9
Din-
Sin-
Sout+
Dout+

Viewed from rear of receptacle or front of plug.

図 2.2: コネクタピンアサイン [1]

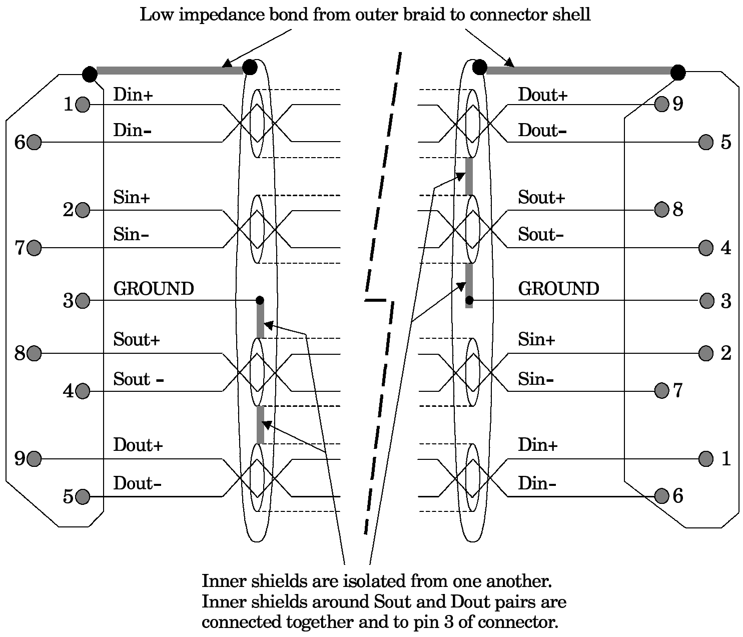

Low impedance bond from outer braid to connector shell
1
6
2
7
3
8
4
9
5
Din+
Din-
Sin+
Sin-
GROUND
Sout+
Sout -
Dout+
Dout-
Dout+
Dout-
Sout+
Sout-
GROUND
Sin+
Sin-
Din+
Din-
9
5
8
4
3
2
7
1
6
Inner shields are isolated from one another.
Inner shields around Sout and Dout pairs are
connected together and to pin 3 of connector.

図 2.3: SpaceWire ケーブルアッセンブリ [1]

SpaceWireによるデータ転送は、ある大きさにデータを分割し、それぞれに宛て先情報

などを付加したパケットの単位で行われる。パケットは図 2.4 のような構造をしており、データのサイズは可変長である。また、SpaceWire はネットワークに対応しており、ルータと呼ばれる機器を用いることで、様々なトポロジのネットワークを構成することができる。そのため分散型の衛星システムを構築することができ、メッシュ状のネットワークを構成すれば、一部のケーブルや機器に不具合が発生しても迂回してデータを転送することができるなど、システムの冗長性を高め、高い信頼性を確保することができる。

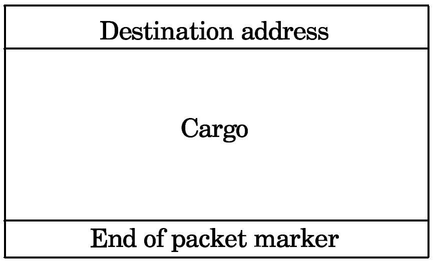
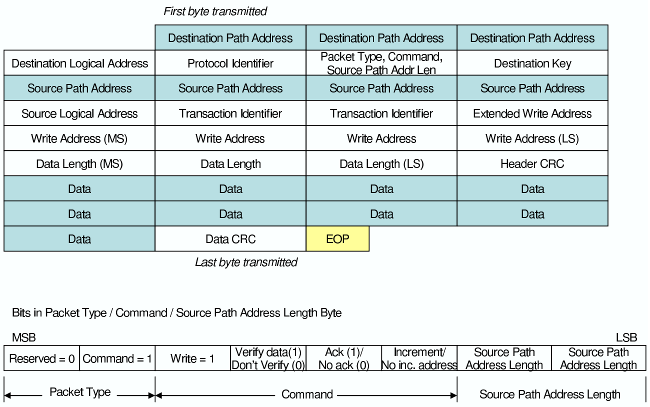


図 2.4: パケットのフォーマット [1]

2.2 Remote Memory Access Protocol と SpaceWire Board

2.2.1 RMAP

SpaceWire 規格の上位層の規格として、現在 Remote Memory Access Protocol (RMAP) が規格化されている。RMAP は一方の SpaceWire node 内のメモリにアクセスするように、他の SpaceWire node 内のレジスタやメモリにアクセスする方法を提供するプロトコルである。RMAP は簡便なプロトコルチップで実現することができ、CPU を持たない機器内のメモリやレジスタに簡単にアクセスすることができる。図 2.5、2.6 に、RMAP における Write および Read コマンドのパケットを示す。RMAP では 32 bit のアドレス空間を持ち、レジスタやメモリがマッピングされる。



First byte transmitted

	Destination Path Address	Destination Path Address	Destination Path Address
Destination Logical Address	Protocol Identifier	Packet Type, Command, Source Path Addr Len	Destination Key
Source Path Address	Source Path Address	Source Path Address	Source Path Address
Source Logical Address	Transaction Identifier	Transaction Identifier	Extended Write Address
Write Address (MS)	Write Address	Write Address	Write Address (LS)
Data Length (MS)	Data Length	Data Length (LS)	Header CRC
Data	Data	Data	Data
Data	Data	Data	Data
Data	Data CRC	EOP	

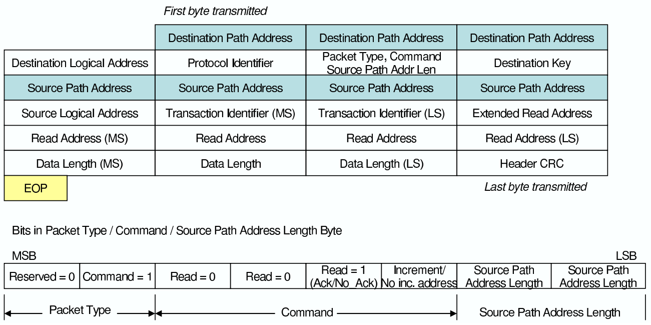
Last byte transmitted

Bits in Packet Type / Command / Source Path Address Length Byte

MSB LSB

Reserved = 0	Command = 1	Write = 1	Verify data(1) Don't Verify (0)	Ack (1)/ No ack (0)	Increment/ No inc. address	Source Path Address Length	Source Path Address Length
Packet Type		Command				Source Path Address Length	

図 2.5: RMAP Write コマンドパケット [3]



First byte transmitted

	Destination Path Address	Destination Path Address	Destination Path Address
Destination Logical Address	Protocol Identifier	Packet Type, Command Source Path Addr Len	Destination Key
Source Path Address	Source Path Address	Source Path Address	Source Path Address
Source Logical Address	Transaction Identifier (MS)	Transaction Identifier (LS)	Extended Read Address
Read Address (MS)	Read Address	Read Address	Read Address (LS)
Data Length (MS)	Data Length	Data Length (LS)	Header CRC
EOP			

Last byte transmitted

Bits in Packet Type / Command / Source Path Address Length Byte

MSB … LSB

Reserved = 0	Command = 1	Read = 0	Read = 0	Read = 1 (Ack/No_Ack)	Increment/ No inc. address	Source Path Address Length	Source Path Address Length
Packet Type		Command				Source Path Address Length	

図 2.6: RMAP Read コマンドパケット [3]

2.2.2 SpaceWire Board

現在、SpaceWire および RMAP を Field Proggramable Gate Array(FPGA) 上に実装したプロトコルチップを用い、様々な入出力機能を持ったボードが開発されている。プロトコルチップの開発は主に NEC によって行われており、NEC が開発した IP コアを FPGA 上に実装する形で、シマフジ電機によってボードが開発されている。現在開発されている主なボードとしては、Digital I/O Board (図 2.7)、PoGO FADC Board (図 3.12) などがある。表 2.1 に広島大学に存在する SpaceWire Board の一覧を示す。ボード上には 2 つの FPGA が搭載されており、1 つは前述の SpaceWire のプロトコルチップで、SpaceWire FPGA(Xilinx XC3S1000) と呼ばれる。もう一方はユーザが独自の回路を書き込むことができる FPGA で、User FPGA(Xilinx XC3S400 または XC3S1000) と呼ばれる。2 つの FPGA は External Bus と呼ばれるバスで接続されており、SpaceWire FPGA を通して User FPGA 内のレジスタやメモリにアクセスすることができる。なお、SpaceWire Board には 2 ポートの SpaceWire インターフェイスが設けられているが、SpaceWire FPGA の容量の都合上片側しか使用することができない。また、SpaceWire FPGA には 16 MB の SDRAM が接続されており、SpaceWire から RMAP でアクセスできるほか、External Bus の双方向機能を用いることで User FPGA 側からもアクセスすることができるため、データを一時的に保管するバッファなどに利用可能である。SpaceWire FPGA におけるメモリマップの例を図 2.9 に示す。先頭の 16MB の空間には SDRAM がマッピングされている。また、0x01010000-0x0101FFFF までは External Bus となっており、User FPGA 内のレジスタやメモリを自由にマッピングすることができる。

ボードの種類	機能	シリアル番号
SpaceWire Digital IO Board	汎用ディジタル入出力	16064002, 16064008,17082003
SpW-ADC(for PoGO)	PoGOLite 用信号処理	16083002, 17203016
FADC-HR(Altera)	汎用 ADC/ディジタル入出力	15127004, 15127021
FADC-HR(Xilinx)	汎用 ADC/ディジタル入出力	17148002
VATA-FADC	FADC-HR と VATA チップとの I/F	16063002

表 2.1: 広島大学に存在する SpaceWire Board の一覧

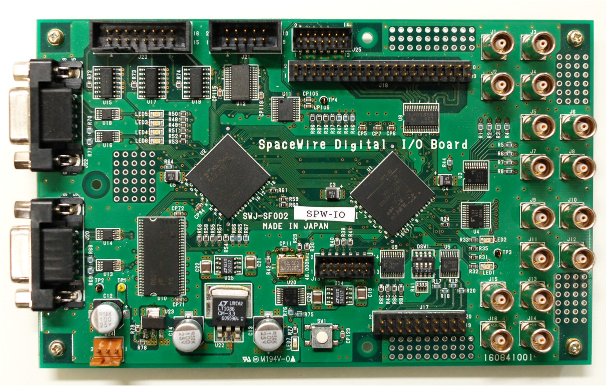

SpaceWire Digital I/O Board
SWJ-SF002
SPW-IO
MADE IN JAPAN

図 2.7: SpaceWire Digital IO Board

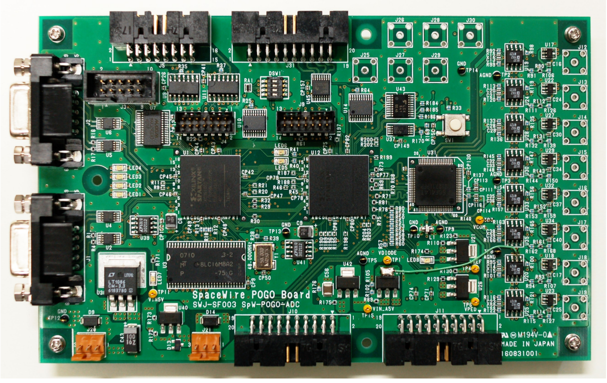

SpaceWire POGO Board
MADE IN JAPAN

図 2.8: SpW-ADC Board

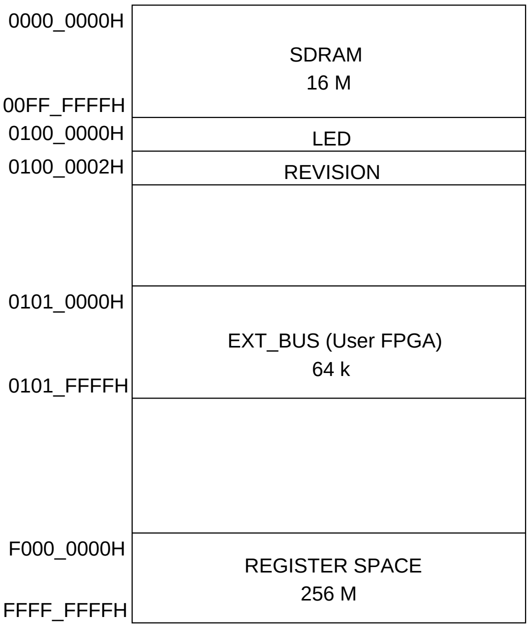

0000_0000H
SDRAM
16 M
00FF_FFFFH
0100_0000H
LED
0100_0002H
REVISION
0101_0000H
EXT_BUS (User FPGA)
64 k
0101_FFFFH
F000_0000H
REGISTER SPACE
256 M
FFFF_FFFFH

図 2.9: SpaceWire FPGA のメモリマップの例 [5]

Field Programmable Gate Array (FPGA)

通常ディジタルシステムを作成する場合、標準ロジック IC と呼ばれるロジックゲートがいくつか入った IC や、特定用途の LSI などを組み合わせて作成するが、実装面積が大きく、高速動作が難しいなどの問題がある。そこで特定用途のシステムを一つの LSI に集積した Application Specific Integrated Circuit (ASIC) またはシステム LSI と呼ばれる LSI が作成される。しかしながら一般的に ASIC は半導体プロセス技術を用いて工場で製造されるため、開発から製造まで時間がかかるうえ、一度作ってしまうと回路の変更は不可能である。そこで、ユーザが自由に回路情報を書き換えられるデバイスとして開発されたものが FPGA である。FPGA は汎用的な論理ブロック (Logic Elements や Slice などと呼ばれる) を多数並べ、それぞれを接続する配線を繋ぎ変えることで瞬時に回路を変更することができる。FPGA における回路情報の保持には SRAM の技術が用いられているが、これは電源を切ると内容が失われてしまうため、電源投入時に FPGA に接続されているコンフィギュレーション ROM から回路情報を読み込む。初期のころの FPGA は性能が悪く、非常に高価であったため、ASIC 開発時の試作や研究用途のみに使われていたが、現在では性能も向上し、価格も下がったことからそのまま製品に搭載されることも多くなった。また、耐放射線性能を向上し、宇宙空間での使用に耐える製品も開発されており、既に人工衛星でも使われている。

現在、FPGA に書き込む回路情報の作成には Hardware Description Language (HDL) が使われることが多い。HDL を用いると回路動作をコンピュータのプログラム言語のように記述することができ、一定の条件を満たしていればそのままコンピュータで実際の論理回路を合成することができる。従来、FPGA や ASIC の開発では人間が回路図を描いて

設計していたため、手間がかかるうえに回路の修正も容易では無かったが、HDL を用いることで非常に大規模な回路をより手軽に設計できるようになった。HDL では現在 VHDL と Verilog-HDL と呼ばれるものが主流となっており、我々のコミュニティでは主に VHDL が用いられている。

2.3 SpaceWire 開発プラットフォーム SpaceCube

SpaceCube は SpaceWire の開発プラットフォームとされている超小型 PC で、ISAS/JAXA とシマフジ電機によって開発された。表 2.2、および図 2.10 に SpaceCube の仕様と外観を示す。また、図 2.11 に SpaceCube のブロック図を示す。SpaceCube は CPU に MIPS アーキテクチャの VR5701 を使用し、LAN や USB1.1、RS-232C など一般的な PC と同等の機能に加え、SpaceWire を 3 ポート備えている。OS には T-Engine および Linux が移植されており、現在ではより高いリアルタイム性が要求される組込み用途のコンピュータに適している T-Engine での利用が主流となっている。

CPU	VR5701 200 MHz / 250 MHz / 300 MHz
Flash ROM	16 MB
DRAM	DDR SDRAM 64 MB
INNPUT OUTPUT	IEEE1355(SpaceWire),RTC,CF(True IDE),XGA(1024×768),USB1.1, LAN(100BASE),Audio(Stereo), RS232C,JTAG I/F(Debug)
POWER	+5 V
SIZE	52 mm × 52 mm × 55 mm

表 2.2: SpaceCube の仕様

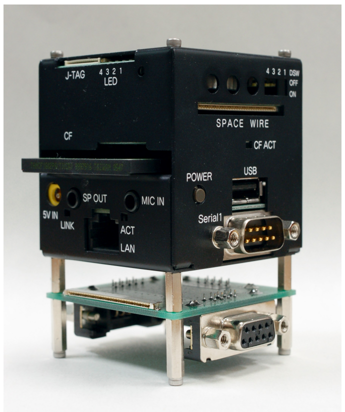


図 2.10: SpaceCube の外観

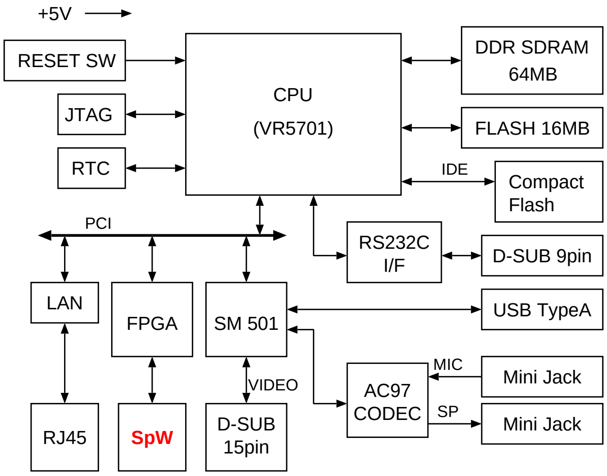

+5V
RESET SW
JTAG
RTC
CPU
(VR5701)
DDR SDRAM
64MB
FLASH 16MB
IDE
Compact
Flash
PCI
RS232C
I/F
D-SUB 9pin
LAN
FPGA
SM 501
USB TypeA
MIC
Mini Jack
AC97
CODEC
SP
Mini Jack
VIDEO
RJ45
SpW
D-SUB
15pin

図 2.11: SpaceCube のブロック図

現在、T-Engine 版 SpaceCube においては NEC、NEC 東芝スペースシステム (NTSpace)、NEC ソフトにより開発された SpaceWire IP および SpaceWire ドライバが提供されている。この SpaceWire の実装を用いて、東京大学牧島研の湯浅らにより RMAP の機能が実装されており、SpaceWire RMAP Hongo Liblary と呼ばれるライブラリにて提供されている。また SpaceWire Board においても、湯浅らにより User FPGA 内のモジュールと External Bus との通信を制御する Internal Bus と呼ばれる User FPGA の回路設計の雛型が用意されており、RMAP Hongo Liblary と共に SpaceWire を用いた実験システムを構築する際のフレームワークとなっている [6]。図 2.12 に、Internal Bus と SpaceWire FPGA, SpaceCube の関係を示す。このように SpaceWire による通信部分が標準化されて提供されているため、我々ユーザは個々の機能モジュールを実装するだけで SpaceWire を用いたシステムを手軽に構築できる。

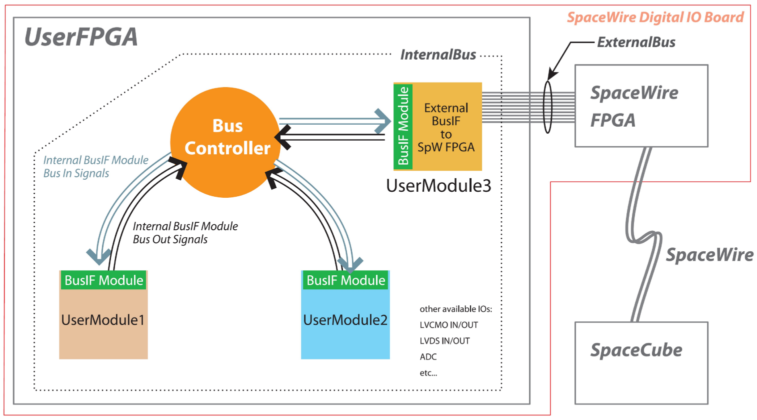

UserFPGA
SpaceWire Digital IO Board
ExternalBus
InternalBus
Bus
Controller
BusIF Module
External
BusIF
to
SpW FPGA
UserModule3
SpaceWire
FPGA
Internal BusIF Module
Bus In Signals
Internal BusIF Module
Bus Out Signals
SpaceWire
BusIF Module
UserModule1
BusIF Module
UserModule2
other available IOs:
LVCMO IN/OUT
LVDS IN/OUT
ADC
etc...
SpaceCube

図 2.12: User FPGA Internal Bus と SpaceWire FPGA、SpaceCube の関係 [6]

SpaceCube 自体は民生用部品を多用して作られているため、非常に低価格で SpaceWire

の開発環境を構築することができるが、そのままでは衛星に搭載することができない。現在、SpaceCubeのアーキテクチャをベースに、宇宙用部品を用いて構成された衛星搭載用コンピュータであるSpaceCube 2が開発されており、2008年に打ち上げ予定の小型衛星SDS-1に搭載される予定である [8]。

第3章　PoGOLite用データ収集システムの開発

PoGOLite は気球搭載用の硬 X 線偏光計であり、硬 X 線領域での世界初の本格的偏光観測を目指している。また、データ収集システムは SpaceWire がベースとなっており、SpaceWire の実証試験も兼ねている。そのため、本研究では PoGOLite のデータ収集システムを開発することで、本来の目的である硬 X 線偏光観測を実現するとともに、SpaceWire の開発の促進、SpaceWire に関する技術の習得および、SpaceWire を用いたデータ収集システムの早期実現を目指す。本章では PoGOLite における SpaceWire を用いたデータ収集システムの開発について詳しく述べる。

3.1　PoGOLite の概要

PoGOLite は前述のように気球搭載用の硬 X 線・軟ガンマ線偏光計であり、25-80 keV のエネルギー領域での偏光観測を行う [9]。2010 年の初観測 (engineering flight) および翌年からの本格的観測 (science flight) を目指し、日本 (広島大学、東京工業大学、ISAS/JAXA、山形大学)、アメリカ (Stanford Linear Accselerator Center, University of Hawaii)、ヨーロッパ (Royal Institute of Technology, Stockholm University, Ecole Polytechnique) の国際協力の元で開発が進められている。PoGOLite はコンプトン散乱の異方性を利用して偏光を測定するが、徹底したバックグラウンド除去と大有効面積により、かつて無い感度での X 線偏光観測を実現する。10 keV 以上の硬 X 線領域での本格的偏光観測としては世界初で、中性子星やブラックホールなどの天体における高エネルギー放射機構などの解明につながる成果が期待されている。

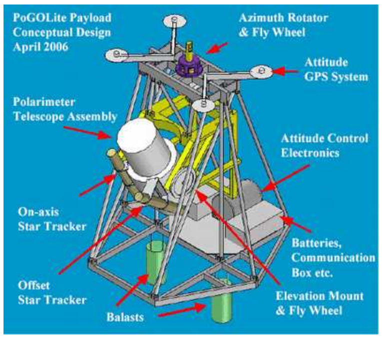

PoGOLite Payload
Conceptual Design
April 2006
Azimuth Rotator
& Fly Wheel
Attitude
GPS System
Polarimeter
Telescope Assembly
Attitude Control
Electronics
On-axis
Star Tracker
Batteries,
Communication
Box etc.
Offset
Star Tracker
Elevation Mount
& Fly Wheel
Balasts

図 3.1: PoGOLite 検出器が搭載される気球ゴンドラ

3.2　期待される科学的成果

天体から放射される電磁波の観測手段には、強度を計る測光、エネルギー (波長) を計る分光、イメージを取得する撮像、そして電場 (磁場) ベクトルの方向の偏りを測定する偏光観測がある。偏光は主にシンクロトロン放射や散乱によって生じるため、磁場や散乱を引き起こす物質の幾何学構造や放射機構の情報を与える重要な観測手段である。しかしながら、X 線以上のエネルギー領域では、電波や可視光線のような偏光観測はほとんど行われてこなかった。それは、X 線領域になると光の粒子性が強くなってくるため、電波や可視光のように電場ベクトルの向きを直接的に測定することができないうえに、そもそも天体から放射される光の強度が小さいなど、観測が非常に困難だったためである。そのため、X 線領域での偏光観測としては、過去に OSO-8 衛星により 2.6 keV および 5.2 keV のエネルギーにおいて、かに星雲からの偏光検出が報告されているのみである。このように観測が困難ではあるが、X 線領域における偏光観測は、中性子星、ブラックホール、超新星残骸など高エネルギー天体における磁場や降着円盤のジオメトリの情報を得られる唯一の手段であるとともに、その放射機構を解明するための強力なプローブとなり得ることから、その本格的観測の実現に大きな期待が寄せられている。

X 線偏光観測によって解明が期待されるものの一例として、回転駆動型パルサーの放射機構がある。回転駆動型パルサーの放射機構には、放射領域の異なる Polar cap, Outer gap, caustic の 3 つが有力なモデルとして考えられているが、現在までの観測ではどのモデルが正しいのか決着が付いていない [12]。しかしながら、これらのモデルでは図 3.2 に示すように予想される偏光パターンが全く異なるため、PoGOLite による観測で議論に決着を付けることができるものと期待されている。

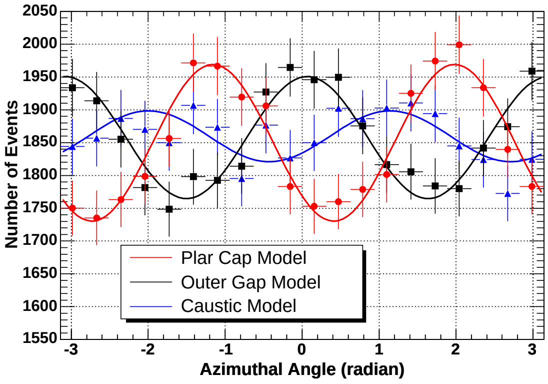


図 3.2: それぞれの放射モデルで予想される偏光パターン [10]。3 つのモデルで偏光パターンは全く異なる。

3.3　偏光測定の原理

硬 X 線領域での偏光測定の方法には、ブラッグ反射を使うもの、光電吸収を使うもの、コンプトン散乱を使うものなどがある。ここでは、PoGOLite で用いられるコンプトン散

乱を使った偏光測定の原理について説明する。

およそ 25 keV から 1 MeV 付近の、硬 X 線からガンマ線にかけての領域では、光子と物質との相互作用はコンプトン散乱が支配的となる。コンプトン散乱の微分反応断面積は、Klein-Nishina の式として次のように与えられる。

$$\frac{\mathrm{d}\sigma}{\mathrm{d}\Omega} = \frac{r_0^2}{2}\frac{k^2}{k_0^2}\left(\frac{k_0}{k} + \frac{k}{k_0} - 2\sin^2\theta\cos^2\varphi\right) \tag{3.1}$$

ここで、r_0 は古典電子半径、k_0 と k は入射光子および散乱光子の運動量、θ と φ は光子の入射方向に対する散乱角および偏光ベクトルに対する散乱方位角である (図 3.3)。式 3.1 は入射光子のエネルギー E_0 を用いると、

$$\frac{\mathrm{d}\sigma}{\mathrm{d}\Omega} = \frac{r_0^2\varepsilon^2}{2}\left(\frac{1}{\varepsilon} + \varepsilon - 2\sin^2\theta\cos^2\varphi\right) \tag{3.2}$$

となる。ここで、

$$\varepsilon = \frac{1}{1 + \frac{E_0}{m_e c^2}(1 - \cos\theta)}$$

で入射光子、散乱光子のエネルギーの比を表す。また、$m_e c^2$ は電子の静止質量 (511 keV) である。E_0 と θ が一定のとき、式 3.2 は、

$$\frac{\mathrm{d}\sigma}{\mathrm{d}\Omega} = A - B\cos 2\varphi \tag{3.3}$$

となる。ここで A, B は定数で、$A > B$ の関係がある。式 3.3 は $\varphi = 90^\circ, 270^\circ$ で最大となるので、コンプトン散乱は偏光ベクトルと直角方向に起こりやすいことがわかる。これはコンプトン散乱の異方性として知られており、光子が散乱した方向の分布を調べることで、偏光を測定することができる。

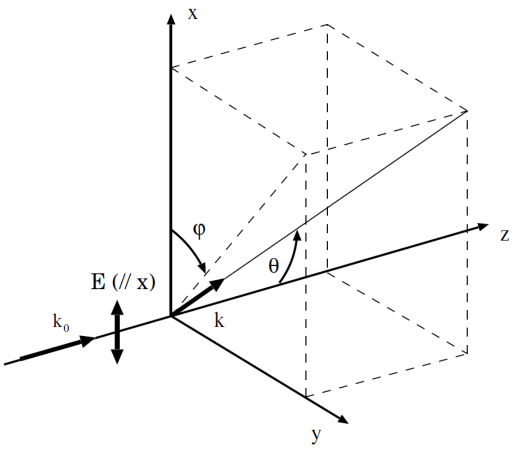


図 3.3: 偏光光子がコンプトン散乱されたときの概念図

このような偏光計の性能を表す指標の一つに、モジュレーションファクタ M がある。M は

$$M \equiv \frac{N_{\mathrm{max}} - N_{\mathrm{min}}}{N_{\mathrm{max}} + N_{\mathrm{min}}} \tag{3.4}$$

と定義される。ここで $N_{\mathrm{max}}, N_{\mathrm{min}}$ はそれぞれ、100 %偏光した入射光子に対する、偏光計でカウントされた光子の数の最大値と最小値である。この値が 1 に近いほど偏光によるコンプトン散乱の異方性が良く表れていることになり、性能の良い偏光計と言える。ここで、ある偏光度 P の光子が入射したときのモジュレーションファクタを M_{obs}、100 %偏光に対するモジュレーションファクタを M_{100} とすると、

$$M_{\mathrm{obs}} = M_{100} P \tag{3.5}$$

となる。よって、入射光子の偏光度 P は

$$P = \frac{M_{\mathrm{obs}}}{M_{100}} \tag{3.6}$$

として求めることができる。

3.4 PoGOLite の検出器

PoGOLite は偏光検出を行うため、検出器内で起こったコンプトン散乱の異方性を測定する。また、気球が飛行する環境 (高度 41∼42 km) では宇宙線や大気ガンマ線によるバックグラウンドイベントが非常に多いため、天体からの微弱な偏光 X 線を測定するには、強力なバックグラウンド除去機能が必要不可欠である。そのため、PoGOLite では井戸型フォスイッチカウンタと BGO アクティブシールドによる強力なバックグラウンド除去を実現する。

PoGOLite の検出器は主検出部である Phoswich Detector Cell (PDC) と、それを取り囲むアクティブシールド部の Side Anti-coincidence Shield (SAS) に分かれている。図 3.4 に PoGOLite の検出器の概観を示す。PDC は 217 本が蜂の巣状に並んでおり、その周りを 54 本のユニットに分かれた SAS が PDC の 3 分の 2 の高さまで覆っている。また、図中には描かれていないが、SAS の外側は中性子バックグラウンドを除去するため、厚さ 15 cm のポリエチレンで覆われている。

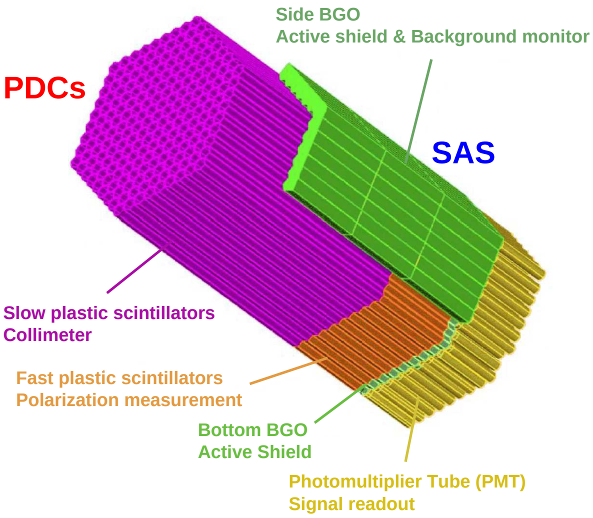

Side BGO
Active shield & Background monitor
PDCs
SAS
Slow plastic scintillators
Collimeter
Fast plastic scintillators
Polarization measurement
Bottom BGO
Active Shield
Photomultiplier Tube (PMT)
Signal readout

図 3.4: PoGOLite の検出器の模式図。217 本の PDC と、その周りを囲む SAS から構成されている。さらに、SAS は 54 本の BGO シンチレータから構成される。

それぞれの PDC は、図 3.5 に示すように fast plastic シンチレータ、slow plastic シンチレータ、bottom BGO により構成されている。PDC の断面は 6 角形をしており、複数の PDC をすき間無く並べることができるだけでなく、4 角形に比べて回転対称性が良いため、より正確にコンプトン散乱の散乱角を測定できる。fast plastic シンチレータは主検出部として、入射 X 線の散乱体および吸収体として働き、偏光測定とスペクトルの測定を行う。そのため、観測エネルギー領域 (25-80 keV) においてコンプトン散乱を起こしやすくするため、原子番号の小さいプラスチックシンチレータが用いられている。slow plastic シンチレータは中空構造をしており、アクティブコリメータとして働く。これにより視野を $2.0^\circ \times 2.0^\circ$ に制限し、視野外から入射するバックグラウンドを除去する。理想的には BGO など阻止能の大きなシンチレータを用いた方が高いエネルギーのバックグラウンドまで除去できるが、加工性の面からプラスチックシンチレータが用いられている。一方、bottom BGO は検出器下面からのバックグラウンドに対するアクティブシールドとして働く。光の損失を防ぐため、2 つのプラスチックシンチレータには反射材として 3M 製の VM2000 が巻かれ、bottom BGO については $BaSO_4$ が塗布されている。また、slow plastic シンチレータによるコリメータでは高いエネルギーの X 線に対する阻止能が十分でないため、それぞれの PDC にはパッシブシールドとして鉛およびスズの薄板が巻かれている。鉛は阻止能が大きく、高いエネルギーのガンマ線まで止めることができるが、光電吸収の際に 74 keV の特性 X 線を発生させる。この特性 X 線を吸収するためにスズが用いられる。スズも特性 X 線を発生させるが、そのエネルギーが 20 keV であるため、観測エネルギー領域内ではほとんど影響を与えない。

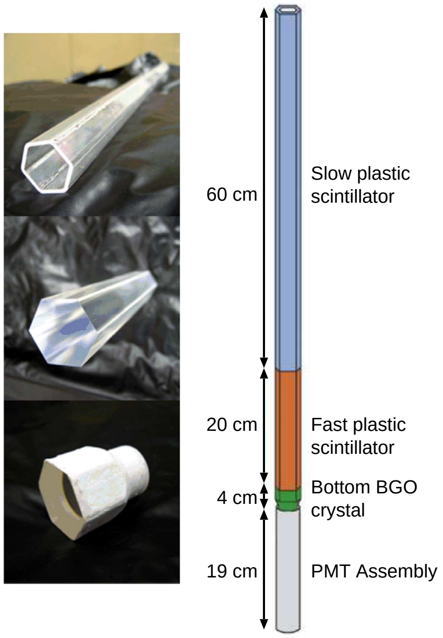

60 cm
Slow plastic scintillator
20 cm
Fast plastic scintillator
4 cm
Bottom BGO crystal
19 cm
PMT Assembly

図 3.5: PDC の構造。slow plastic シンチレータ、fast plastic シンチレータ、bottom BGO から構成されている。3 つのシンチレータからの信号は 1 つの PMT によって読み出される。

SAS は合計 54 本の BGO シンチレータユニットから構成されており、それぞれのユニットは 3 本の BGO を接着して作られている。断面は 5 角形をしており、PDC の周りをすき間なく覆う。SAS による典型的なバックグラウンドレートは 100 kHz 程度と見積もられており、単純な反同時計数を用いるとおよそ 6 %の有効なイベントが偶然の一致により除去されてしまうが、SAS を 54 本のユニットに分割することで、より正確にバックグラウンドイベントを除去することができる。また、SAS はアクティブシールドとして側面からのバックグラウンドを除去するほか、50 keV 以上の入射ガンマ線バックグラウンドのスペクトルとフラックスを取得する。これは、シールドで防ぎきれなかったバックグラウンドを正確に見積り、フライト後の解析でバックグラウンドの影響をさらに取り除くためである。PDC, SAS とも、読み出しに使用される PMT は浜松ホトニクスと東京工業大学、広島大学により共同開発された R7899 である。R7899 は観測エネルギー帯域の下限である 25 keV の X 線光子がコンプトン散乱で落とす 2-3 keV のエネルギーを測定する必要があることから、極めて低ノイズであるとともに、高い集光効率を備えている。さらに、気球飛行環境での荷電粒子バックグラウンドにより生じる大信号に対応するため、ブリーダー回路には特別な工夫が施されている。また、気球搭載のため軽量かつコンパクトで低消費電力でなければならないため、PMT と高圧電源を一体化した PMT アッセンブリとなっている。

3.4.1 PoGOLiteによる偏光測定

入射した天体からのX線光子は、PDC内のfast plasticシンチレータでコンプトン散乱を起こし、その周囲にある別のfast plasticシンチレータで再びコンプトン散乱を起こすか、光電吸収される。このようなコンプトン散乱イベントを追跡することで、散乱方向を測定することができ、多数のコンプトン散乱イベントから散乱方向の偏りを知ることで、入射X線の偏光を測定することができる。また、217本という多数のPDCを並べることで、大きな有効面積を実現している。図3.6に偏光測定の概念図を、図3.7と図3.8にシミュレーションによるPoGOLiteの有効面積とモジュレーションファクタを示す。

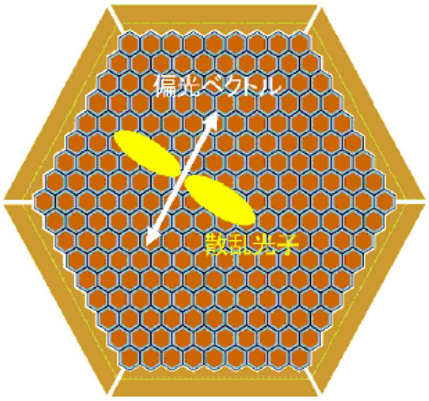


図3.6: PoGOLiteによる偏光測定の概念。コンプトン散乱の異方性を利用し、散乱方向の偏りから偏光を検出する。

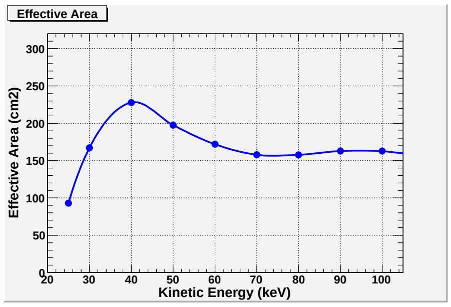


図3.7: シミュレーションによるPoGOLiteの有効面積[10]。

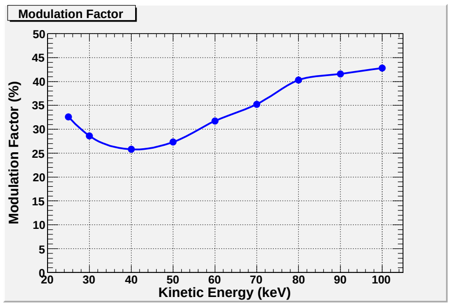


図3.8: PoGOLiteのモジュレーションファクタ[10]。

PoGOLiteが飛行する41-42 kmの高度では、前述のように大気ガンマ線、荷電粒子、中性子などのバックグラウンドが非常に大きい。このうち、中性子バックグラウンドはポリエチレンパッシブシールドにより除去される。また、視野外の荷電粒子および大気ガンマ線については、SASおよびbottom BGOによるアクティブシールドにより除去される。一方、視野方向のバックグラウンドについては、slow plasticシンチレータと鉛、スズ板によるアクティブ/パッシブコリメータにより視野を$2^\circ \times 2^\circ$に制限することで低減する。

図 3.9 に、これらのシールドが設計通り機能した場合のバックグラウンドレートの予想スペクトルを示す。図中に観測対象として、1 Crab と 100 mCrab の信号も示されているが、PoGOLite の観測エネルギー領域では、バックグラウンドは 100 mCrab 程度にまで抑えられていることが分かる。このような徹底したバックグラウンド除去と、大有効面積、高いモジュレーションファクタにより、200 mCrab 程度の対象の場合、6 時間の観測で 10 %の偏光度を検出できると予想されている [10]。

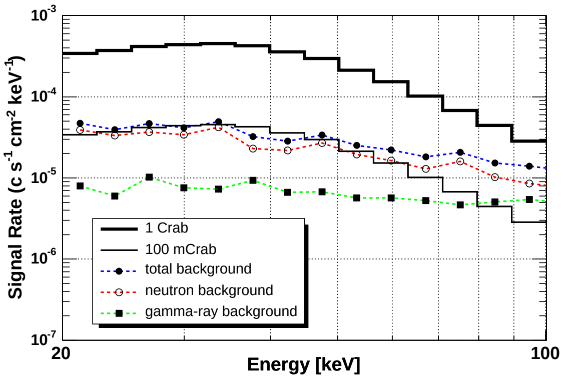


図 3.9: シミュレーションによるバックグラウンドスペクトル [10]。バックグラウンドは 100 mCrab 程度に抑えられている。

波形弁別

PDC では 3 種類のシンチレータの光を 1 本の PMT で読み出す。よって、バックグラウンドを除去し、コンプトンイベントを検出するためには、fast plastic シンチレータと、slow plastic/BGO シンチレータからの信号を区別する必要がある。それぞれのシンチレータは異なった時定数を持っており、fast plastic シンチレータでは $\tau \sim 2$ ns、slow plastic/BGO シンチレータでは $\tau \sim 300$ ns である。そのため、電荷有感型アンプ (CSA) の出力信号波形の立ち上がり時間が異なり、fast plastic シンチレータと slow/BGO シンチレータの信号を区別することができる。図 3.10 に CSA 出力信号波形の例を示す。

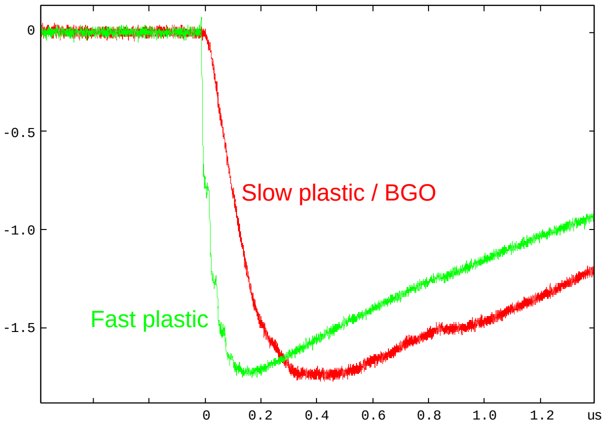


図 3.10: CSA 出力信号波形の例。fast plastic シンチレータと slow plastic/BGO シンチレータで、時定数の違いから CSA の出力波形の立上り時間が異なる。

3.5 SpaceWire を用いたデータ収集システムの開発

PoGOLite 計画は SpaceWire の実証試験も兼ねているため、データ収集システムには SpaceWire が全面的に採用されている。ここからは PoGOLite におけるデータ収集システム開発の現状と、私が行った作業の詳細について述べる。現在、データ収集システムの開発では、広島大学の他、SLAC、東京工業大学で作業が行われており作業を分担している。私は主に、新たに開発された SpaceWire FADC Board の立ち上げと、SAS のバックグラウンドモニタ用ヒストグラム生成回路の開発、評価を行った。

3.5.1 データ収集システムの構成

PoGOLite では、前述のように PDC において波形弁別をする必要がある。また、SAS においては、アクティブシールドとして veto 信号を生成し、バックグラウンド除去を行うとともに、大気ガンマ線バックグラウンドをモニタするため、SAS の出力信号からヒストグラムを生成し、バックグラウンドスペクトルを取得する必要がある。波形弁別には「すざく」衛星搭載 Hard X-ray Detector (HXD) で採用された二重積分方式などがあるが、PoGOLite では従来のアナログ回路による方法ではなく、ディジタル処理によって波形弁別を行う。図 3.11 に PoGOLite のデータ収集システムのブロック図を示す。データ収集システムは FADC Board, Digital I/O Board, SpaceCube によって構成される。FADC Board には CSA が 8 ch 分搭載されており、PMT の dynode 信号が入力される。CSA の出力信号は直ちに 8 ch パイプライン型 ADC に入力され、12 bit, 24 MSPS(PDC) でディジタル化される。ディジタル化された波形データはボード上の User FPGA に送られ、FPGA 内のディジタル回路で処理される。このようにすることで、信号処理のほとんどを FPGA 内のディジタル回路で行うことができるため、大幅に部品点数を削減することができ、消費電力や基板面積の削減、信頼性の向上などを実現する。さらに、User FPGA 内のロジッ

クを変更するだけで、PDC の信号処理だけでなく、SAS の信号処理に求められる機能も実現することができるため、PDC と SAS でボードを共通化することができる。図 3.12 に FADC Board を示すが、アナログ信号処理回路は CSA 部分だけで、アナログ処理の占める割合が極めて小さいことが分かる。ただし、部品点数こそ少ないものの、CSA の性能が波形弁別の精度に影響してくるため、特にその出力信号の立上り時間に対して性能向上の努力がなされた。波形弁別はシンチレータの時定数の違いによる CSA 出力信号の立上り時間の差により行われるためである。そのため CSA に使用される OP-AMP は我々の比較試験により選ばれた高速なものが採用され、ADC 入力前のローパスフィルタの時定数についても最適化されている。なお User FPGA については、初期の FADC Board では Xilinx 社製 XC3S400 が使用されていたが、開発が進むにつれて回路規模が大きくなったため、フライト用のボードでは XC3S1000 が搭載されている。

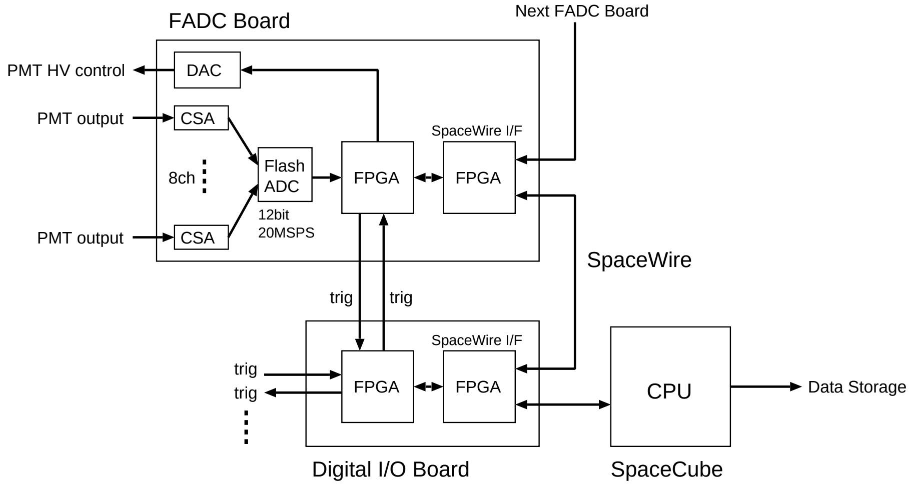

FADC Board
Next FADC Board
PMT HV control
DAC
PMT output
CSA
8ch
Flash ADC
12bit
20MSPS
FPGA
SpaceWire I/F
FPGA
PMT output
CSA
SpaceWire
trig
trig
SpaceWire I/F
trig
trig
FPGA
FPGA
CPU
Data Storage
Digital I/O Board
SpaceCube

図 3.11: PoGOLite データ収集システムのブロック図。FADC Board, Digital I/O Board, SpaceCube から構成される。PDC と SAS では同じ FADC Board が使用されるが、User FPGA に実装される回路が異なる。

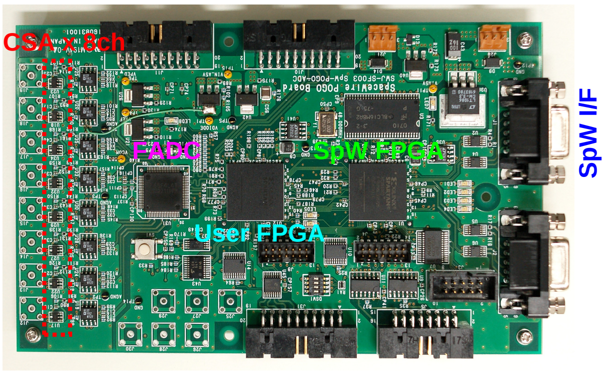

CSA x 8ch
FADC
SpW FPGA
User FPGA
SpW I/F

図 3.12: SpaceWire PoGO FADC Board。ほとんどの信号処理を FPGA 内で行うため、アナログ回路部分が非常に小さくなっている。

3.5.2 FADC Boardの開発

前述した構成のデータ収集システムを実現するため、新たにPoGOLite用のSpaceWire FADC Boardが製作された。納品された状態のFADC Boardでは、User FPGAに回路が実装されていないため、我々がデータ収集システムの各機能を実装してゆかなければならない。そこで、まずPDCとSASとで共通して必要となる機能の実装を私が行った。図3.13に、User FPGA内でPDCとSASとで共通な部分のブロック図を示す。ADCの設定レジスタに設定値を書き込むシリアルインターフェイス回路、ADCから送られてくるシリアルデータをパラレルに変換するためのDeserializer、PMTのHV電圧を設定するためのDACに設定値を書き込むシリアルインターフェイス回路などが必要となるため、それぞれの回路を実装した。これらの回路に加えて、PDC用とSAS用でそれぞれ必要となる個別機能が実装される。

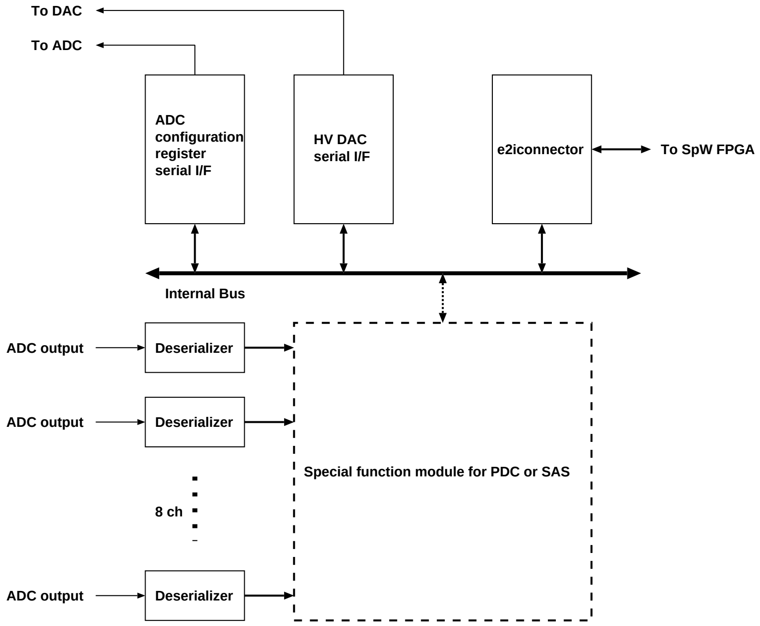

To DAC
To ADC
ADC configuration register serial I/F
HV DAC serial I/F
e2iconnector
To SpW FPGA
Internal Bus
ADC output
Deserializer
ADC output
Deserializer
8 ch
Special function module for PDC or SAS
ADC output
Deserializer

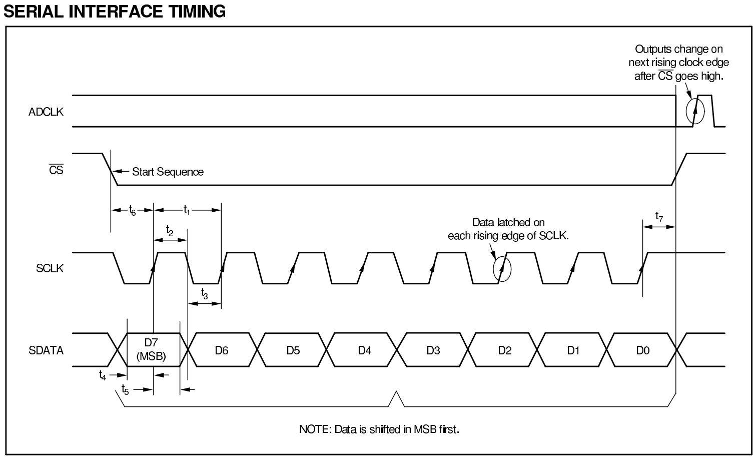
図3.13: User FPGAのPDCとSASで共通な部分のブロック図。ADCの設定レジスタに設定データを書き込むシリアルインターフェイス、ADCから送られてくるシリアルデータをパラレルに変換するDeserializer、PMTのHV電圧を設定するDAC用のシリアルインターフェイス回路がある。

ADCの制御と信号の受信

FADC Board上のADCには、Texas Instruments社製のADS5271が使用されており、User FPGAに接続されている。ADS5271は8ch入力12bitのパイプライン型ADCで、最高50MSPSで動作し、ディジタル出力のインターフェイスはLVDSで、シリアル化されたデータが出力される。また、ADC内部の設定レジスタを変更するためのシリアルインターフェイスも備えている。ADCを動作させるためにはレジスタの設定が必要なため、ま

ずは ADC 設定用のシリアルインターフェイスモジュールを作成した。なお、User FPGA の開発では全て VHDL 言語を使用している。

User FPGA に実装する回路は、ある程度の機能ごとにまとめたモジュールに分割して実装されるが、東京大学の湯浅らが開発した Internal Bus を使用することで、SpaceWire から各モジュール内のレジスタやメモリに簡単にアクセスできる。作成した ADC 設定用のシリアルインターフェイスモジュールでも SpaceWire 経由で ADC の設定値を書き換えることができるようになっており、SpaceWire からシリアルインターフェイスモジュールに設定値を書き込むと直ちに ADC 内のレジスタに反映されるようになっている。図 3.14 に ADC のシリアルインターフェイスのタイミングチャートを示す。作成したシリアルインターフェイスモジュールでは、モジュール内のレジスタに書き込まれた値がタイミングチャートで示されるタイミング条件を満たすようにシリアル変換され、FPGA から ADC に送られる。


SERIAL INTERFACE TIMING
Outputs change on next rising clock edge after $\overline{CS}$ goes high.
ADCLK
$\overline{CS}$
Start Sequence
t_6
t_1
t_2
t_7
Data latched on each rising edge of SCLK.
SCLK
t_3
SDATA
D7 (MSB)
D6
D5
D4
D3
D2
D1
D0
t_4
t_5
NOTE: Data is shifted in MSB first.

PARAMETER	DESCRIPTION	MIN	TYP	MAX	UNIT
t_1	Serial CLK Period	50			ns
t_2	Serial SLK High Time	20			ns
t_3	Serial CLK Low Time	20			ns
t_4	Data Setup Time	5			ns
t_5	Data Hold Time	5			ns
t_6	$\overline{CS}$ Fall to SCLK Rise	8			ns
t_7	SCLK Rise to $\overline{CS}$ Rise	8			ns

図 3.14: ADC 設定レジスタ用シリアルインターフェイスのタイミングチャート [7]

次に ADC からのデータの受け取りであるが、12 bit の分解能であるから、24 MSPS で動作した場合は 288 Mbps の帯域が必要である。さらにシリアル化して伝送されるため、FPGA で 288 MHz という高速信号を扱う必要がある。図 3.15 に ADC 出力信号のタイミングチャートを示す。FPGA には内部配線での信号の遅延により、動作できる最大周波数に限界がある。今回のような 100 MHz を越えるような信号を扱う技術は比較的高度なものであることから、今回は Xilinx 社で公開されているアプリケーションノートとサンプル回路を利用した。この回路では、クロックの両エッジでシリアルデータを読み取るため、FPGA の入力ピン直近の回路以外では 144 MHz で動作すれば良い。これでも高速信号であることに変わりはないため、最終的にデータがパラレル化されるまでの回路では特に動作周波数に気を付けなければならない。

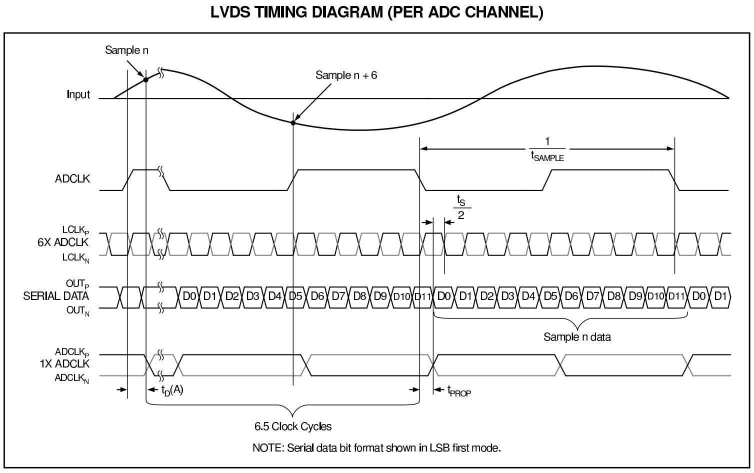

LVDS TIMING DIAGRAM (PER ADC CHANNEL)
Sample n
Sample n + 6
Input
ADCLK
1/tSAMPLE
tS/2
LCLKP
6X ADCLK
LCLKN
OUTP
SERIAL DATA
OUTN
D0 D1 D2 D3 D4 D5 D6 D7 D8 D9 D10 D11 D0 D1 D2 D3 D4 D5 D6 D7 D8 D9 D10 D11 D0 D1
Sample n data
ADCLKP
1X ADCLK
ADCLKN
tD(A)
tPROP
6.5 Clock Cycles
NOTE: Serial data bit format shown in LSB first mode.

図 3.15: ADC 出力信号のタイミングチャート [7]

以上のようにして、ADC からデータを正しく受信できる状態にした。この部分は PDC 用の FADC Board でも、SAS 用の FADC Board でも共通である。

PMT 高圧設定用 DAC の制御

PoGOLite で使用される PMT アッセンブリ R7899 には、高圧電源が内蔵されている。この高圧電源は+12 V の電源からリファレンス電圧に比例した高圧出力を生成し、リファレンス電圧のおよそ 250 倍の高圧が出力される。そのため、リファレンス電圧が 5 V のときは、PMT にかかる高圧がおよそ 1250 V となる。このリファレンス電圧は FADC Board 上にある 2 つの 4 ch, 12 bit Digital to Analog Converter (DAC) によって生成されるため、PMT1 本 1 本について個別に高圧電源の電圧を設定することができる。DAC は Analog Devices 社の AD5324 で User FPGA に接続されている。ADC の出力値はシリアルインターフェイスで書き込むため、ADC のレジスタ設定用シリアルインターフェイスと同様のシリアルインターフェイスモジュールを作製し、SpaceWire から自由に DAC の出力値を書き換えられるようにした。この機能も PDC 用 FADC Board と SAS 用 FADC Board で共通である。なお、PMT の高圧電源が急激な変化をすると PMT の破損を招くため、DAC の出力値は徐々に変化するように SpaceCube 上のソフトウェアから制御される。

PDC 用 FADC Board

ここまでに FADC Board を動作させるための最低限の実装作業を行った。PDC 用の FADC Board では、この基本機能に加えて PDC 用に必要となる固有の機能の実装が必要であり、これは現在東京工業大学河合研の植野らにより進められている。そのため、ここでは PDC 用 FADC Board に必要な機能の概要を述べるに留める。

PDC では、fast plastic シンチレータと slow/BGO シンチレータの信号を区別するため、波形弁別をしなければならない。特に観測エネルギーの下限や感度に影響してくるため、

波形弁別の精度は極めて重要である。しかし、高精度の波形弁別をフライト中に行うことは困難であることと、解析時の自由度を高くするため、PoGOLite ではCSA の出力波形をそのまま保存し、解析時にソフトウェア的手法で波形弁別を行う。ただし、フライト中もアクティブコリメータやアクティブシールドを動作させてバックグラウンドを除去しなければデッドタイムが非常に大きくなってしまうため、オフライン解析程の精度は無いにしろリアルタイムでの波形弁別も行う必要がある。そのため、PDC 用 FADC Board に求められる主な機能として、次の 2 点が挙げられる。1 つは簡易的な波形弁別を行い、trigger および veto 信号を生成すること。もう 1 つは、有効なイベントと判断された場合にその波形を保存することである。これらの機能のうち、波形保存の機能は実装が完了しており、後述のビーム試験において動作が確認されている。波形はトリガ前の 0.6 μs から 50 クロック分保存され、オフラインでの解析に用いられる。残る波形弁別については現在開発中であり、まもなく実装される予定である。また、その他の細かい機能として、イベントごとに時刻付けする機能、デッドタイムを測定する機能などがあり、これらについては既に実装されている。

SAS 用 FADC Board

SAS 用 FADC Board については主に広島大学で開発が行われており、個別機能の実装を進めている。SAS 用の FADC Board で必要な機能としては、第 1 にアクティブシールドとして veto 信号を生成することである。もう 1 つの重要な機能として、ガンマ線バックグラウンドモニタのために SAS の出力信号の波高値ヒストグラムを生成し、ガンマ線バックグラウンドのスペクトルを得ることである。なお、SAS のスペクトル生成機能の開発に着手した段階では、PoGOLite 用の SpaceWire FADC Board の製作が完了していなかったため、FADC Board の立ち上げ作業に先行してバックグラウンドスペクトル生成機能の開発を行った。

前述のようにバックグラウンドにはガンマ線以外にも荷電粒子が存在する。このような荷電粒子は SAS に大きなエネルギーを落とすうえ、イベントレートも高いため、CSA の出力波形に度々大きなアンダーシュートを生じさせる。そのため、ガンマ線バックグラウンドスペクトルを取得する際に、荷電粒子による大信号のアンダーシュートにガンマ線バックグラウンドの信号が載ってしまい、正しく波高値を測定できない恐れがある。そこで、Base-line 差し引きにより大信号の影響を受けないヒストグラム生成ロジックを開発した。図 3.16 にこのロジックの概念を示す。このロジックでは、トリガが立つ直前の ADC 出力値を Base-line とし、ピークの値から Base-line を差し引くことで正しい波高値を測定する。このロジックを実際に FPGA に実装した回路のブロック図を図 3.17 に示す。まず、入力された波形データは FPGA 内蔵のブロック RAM を用いたリングバッファにより数クロック分 (数 100 ns 程度) 遅延させられる。遅延したデータと遅延していないデータを減算することで、Base-line の値に依存せずに真の波高値でトリガをかけることができる。次に、トリガが立った時点で遅延した方の値をレジスタに記憶し、Base-line とする。そして遅延した方のデータから、ある一定のクロック数 (数 μs 程度) の範囲で最高値を探し、その値から Base-line を差し引くことで波高値とする。以上のようにしてイベントごとに波高値

を測定し、その結果をヒストグラムとしてメモリに詰める。また、ヒストグラム生成回路が処理中のときは Busy 信号を出力し、デッドタイムカウンタによりデッドタイムを測定する。このようにして得られたヒストグラムは、SpaceCube から 1 秒ごとに読み出され、保存される。また、信号の遅延時間や threshold、ピークを探す時間幅などは SpaceCube から自由に設定することができる。

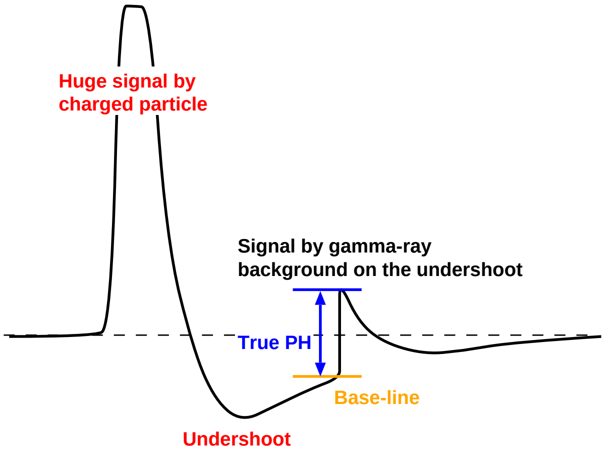

Huge signal by
charged particle
Signal by gamma-ray
background on the undershoot
True PH
Base-line
Undershoot

図 3.16: Base-line 差引の概念。FPGA 内で波形を遅延させ、元の波形から遅延した波形を引き算し、trigger をかけることで base-line によらずに threshold を設定できる。また、波高値を取得する際に base-line を差し引くことで、大信号によるアンダーシュート上に信号があった場合でも正しく波高を測定することができる。

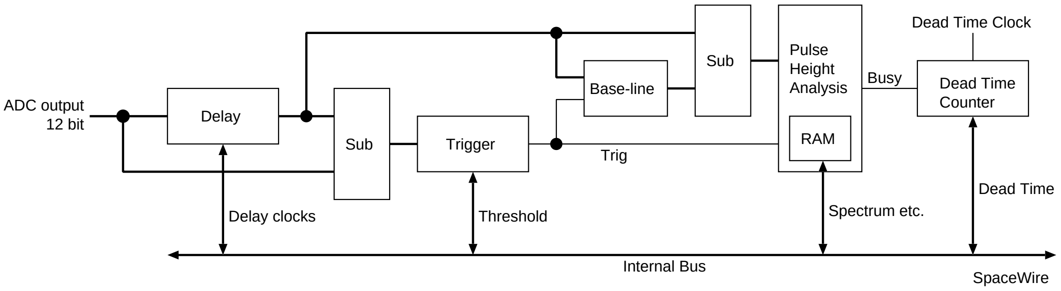

ADC output
12 bit
Delay
Sub
Trigger
Base-line
Sub
Pulse
Height
Analysis
RAM
Busy
Dead Time Clock
Dead Time
Counter
Trig
Delay clocks
Threshold
Spectrum etc.
Dead Time
Internal Bus
SpaceWire

図 3.17: Base-line 差引によるヒストグラム生成回路のブロック図 (1ch 分)。

開発した SAS のバックグラウンドスペクトル生成ロジックについては、後述のビーム試験で不具合が見付かったものの概ね良好に動作することが確認されている。また、発見された不具合についても既に修正されており、改良したロジックを用いたシミューレーションでは正しく動作することが確認されている。また、開発は PoGOLite 用 FADC Board の製作に先行して行われたため、開発したロジックを新しい FADC Board に移植する必要があるが、実装には VHDL 言語を用い、さらにそれぞれのボード特有の部分とは独立した回路ブロックとして実装されているため、ほとんど変更を加えることなく新しいボードに移植することが可能である。最終的に SAS 用の FADC Board の User FPGA に実装

される全機能のブロック図を、図 3.18 に示す。

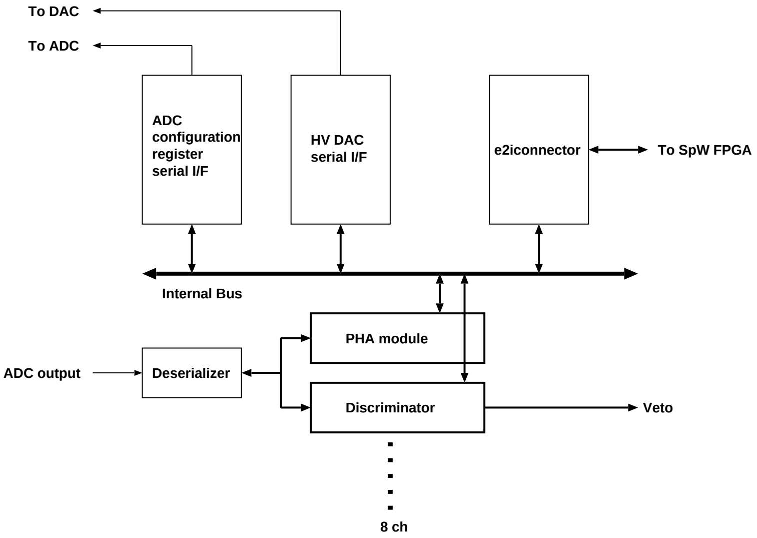

To DAC
To ADC
ADC configuration register serial I/F
HV DAC serial I/F
e2iconnector
To SpW FPGA
Internal Bus
PHA module
ADC output
Deserializer
Discriminator
Veto
8 ch

図 3.18: 最終的な SAS 用 FADC Board の User FPGA ブロック図。

3.5.3 Digital I/O Board

DIgital I/O Board は PDC,SAS の各 FADC Board から Triger, Veto 信号を集め、そのヒットパターン情報から有効なイベント (コンプトン散乱を起こしたガンマ線イベント) なのかバックグラウンドイベントなのかを判断し、波形を保存するべき PDC の FADC Board に波形保存のトリガを返す。これにより必要最低限数の PDC の波形だけが保存されることになり、データ量を削減することができる。現在の予想では、データレートは 100 kB/s または 0.4 GB/h と見積もられている。

3.6 大阪大学 RCNP における SAS エレクトロニクスの荷電粒子バックグラウンド耐性の試験

SAS 用信号処理回路およびバックグラウンドモニタ用のスペクトル取得ロジックが実際に荷電粒子バックグラウンド下で正しく動作するかどうかを試験するため、陽子ビーム照射試験を行った。試験は 2006 年 7 月に、大阪大学核物理研究センター (Reserch Center for Nuclear Physics) で行われた。なお、前述のようにこの時点では PoGOLite 用 FADC Board の開発が完了していなかったため、CSA の部分にハワイ大学にて開発された旧プロトタイプボードを使用し、FADC Board には汎用 FADC Board(FADC-HR) を使用した。旧プロトタイプボードでも CSA 部分の設計はフライト品とほぼ同じであるため問題ない。また、FADC Board についてはフライト品とは異なるもので、ADC は 12 bit, 6 MSPS であるが、ロジックの動作を確認する目的においては問題無く使用できる。図 3.19 および図 3.20 に旧プロトタイプボードと汎用 FADC Board を示す。

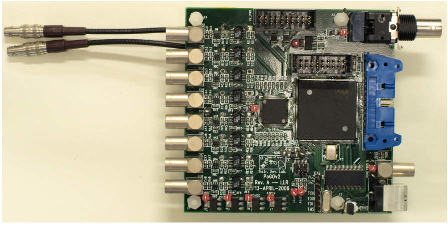


図 3.19: 旧プロトタイプボード。CSA 部分のみを使うため、CSA からの信号を引き出すケーブルを取り付けてある。

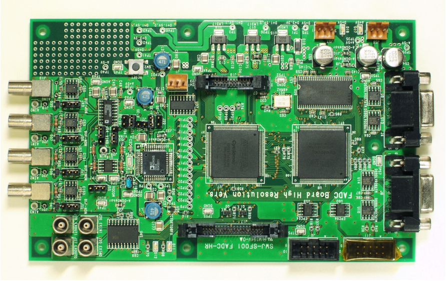


図 3.20: 汎用 FADC Board。12 bit, 6 MSPS の ADC が搭載されている。ロジックの試験という目的では問題無く使用できる。

3.6.1 予備実験

まず、Base-line 差し引きによるスペクトルの生成ロジックが正しく動作するかどうかを確かめるため、実験室での予備実験を行った。

予備実験では 1 cm 角の BGO シンチレータを R7899 に取り付けて使用した。R7899 の出力は旧プロトタイプボードの CSA に入力され、その出力は Shaper を通して汎用 FADC Board に入力されている。汎用 FADC Board 上の User FPGA には SAS のヒストグラム生成回路が実装されており、SpaceCube を用いて制御、読み出しを行う。SAS では高エネルギーの荷電粒子バックグラウンドが高いレートで入射してくる最中で大気ガンマ線バックグラウンドを取得するが、このうち大気ガンマ線バックグラウンドを模擬するために 59.5 keV の X 線源である ^{241}Am を照射した。そして、高エネルギー荷電粒子バックグラウンドを模擬するために 662 keV の γ 線源 ^{137}Cs を同時に照射した。この際、Shaper のゲインを高く設定しているため、662 keV の信号でもかなりの大信号となる。また、Visual Scaler を用いてトリガーレートを測定し、Am のレートを固定したうえで Cs のレートを変化させてスペクトルの変化を調べた。

実験の結果を図 3.21 に示す。それぞれ、Base-line 差し引きを無効にした場合と、有効にした場合に得られた Am の 59.5 keV スペクトルである。この結果、Base-line 差し引きがない場合は Cs のレートが 15 kHz からピーク位置にずれが見られるが、Base-line 差し引きがある場合は Cs のレートが 20 kHz でもピーク位置のずれは見られなかった。また、Base-line 差し引きが無い場合に Cs のレートが高くなる程ピーク位置が上にずれているのは、アンダーシュートによりピーク位置が下がるよりも、パイルアップにより Base-line が上昇する影響の方が大きかったためと思われる。また、Cs のレートが上がる程ピークの高さが下がっているのは、デッドタイムの増加によるものである。

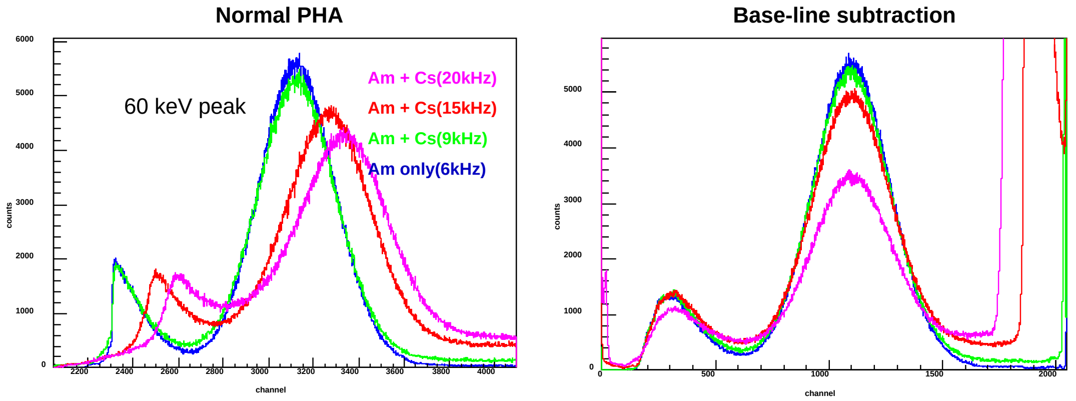


図 3.21: Base-line 差引なし (左) と Base-line 差引あり (右) の 59.5 keV スペクトル。base-line 差し引きによりピークのずれを抑えることができた。

3.6.2 陽子ビーム照射試験

予備実験で良好な結果が得られたことから、2006 年 7 月 25 日から 31 日にかけて、大阪大学 RCNP にて陽子ビーム照射試験を行った。

実験セットアップ

実験にはフライト品の SAS 用 BGO と R7899 を組合せ、予備実験と同様に旧プロトタイプボードの CSA と汎用 FADC Board を用いた。実験セットアップを図 3.22 と図 3.23 に示す。実験には 392 MeV の陽子ビームを用い、SAS に垂直にビームを照射した。そして、測定するべきガンマ線バックグラウンドとして ^{137}Cs の 662 keV と ^{241}Am の 59.5 keV を照射し、陽子ビームのレートを変化させて荷電粒子がガンマ線スペクトルに与える影響を調べた。また、実験後に細かい解析をするため、PC に接続する Waveform Analyzer (PCI-9812A) を使用し、実際の波形も取得した。

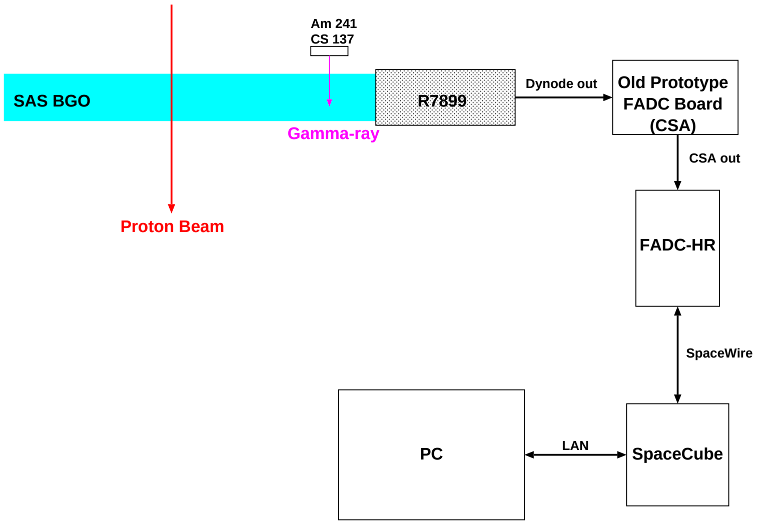

Am 241
CS 137
SAS BGO
Gamma-ray
R7899
Dynode out
Old Prototype FADC Board (CSA)
CSA out
Proton Beam
FADC-HR
SpaceWire
PC
LAN
SpaceCube

図 3.22: 陽子ビーム照射試験の実験セットアップ。392 MeV の陽子ビームを SAS の BGO に垂直に照射した。

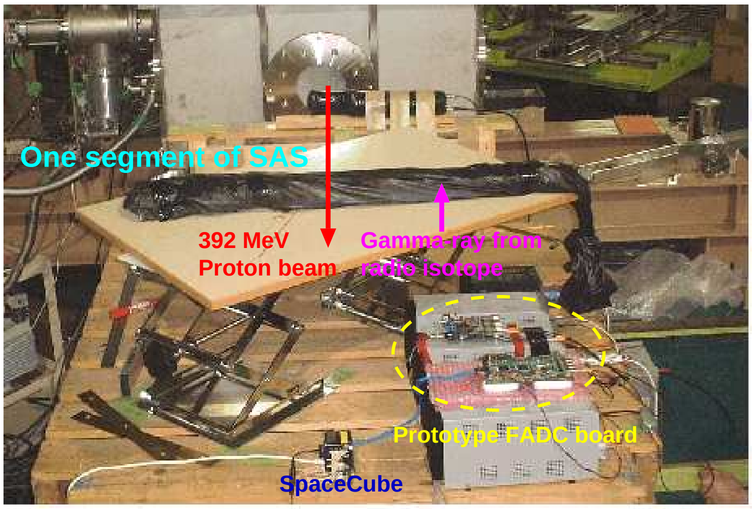

One segment of SAS
392 MeV
Proton beam
Gamma-ray from
radio isotope
Prototype FADC board
SpaceCube

図 3.23: 実験セットアップの写真。ビームの上流には、陽子ビームのレートを測定するためのプラスチックシンチレータが設置されている。

実験結果

実験により得られた各線源のスペクトルを図 3.24 と図 3.25 に示す。図に示すように、陽子ビームを照射するとどちらのスペクトルでも低エネルギー側に偽の構造が出現し、正しくスペクトルを取得することができなかった。ただし、陽子ビームを照射しない場合は良好にスペクトルが取得できており、スペクトル生成回路および PMT や CSA を含めたエレクトロニクスは概ね正しく動作することが確認できた。

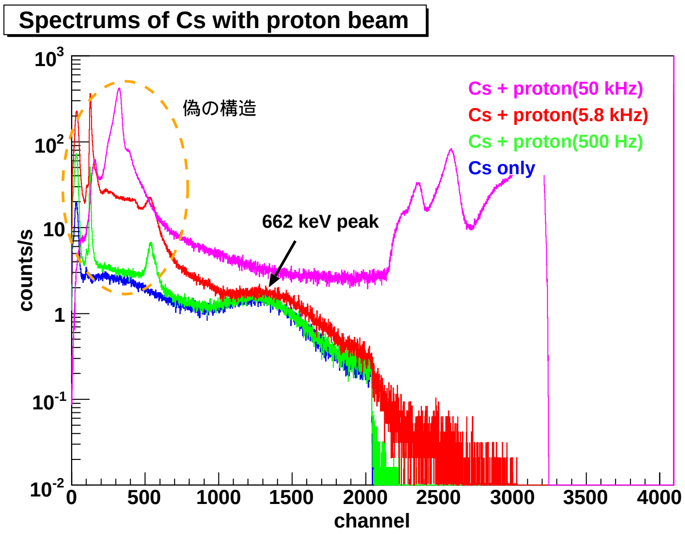


図 3.24: ^{137}Cs(662 keV) のスペクトル。662 keV のピークは判別できるものの、低エネルギー側に偽の構造が出現した。

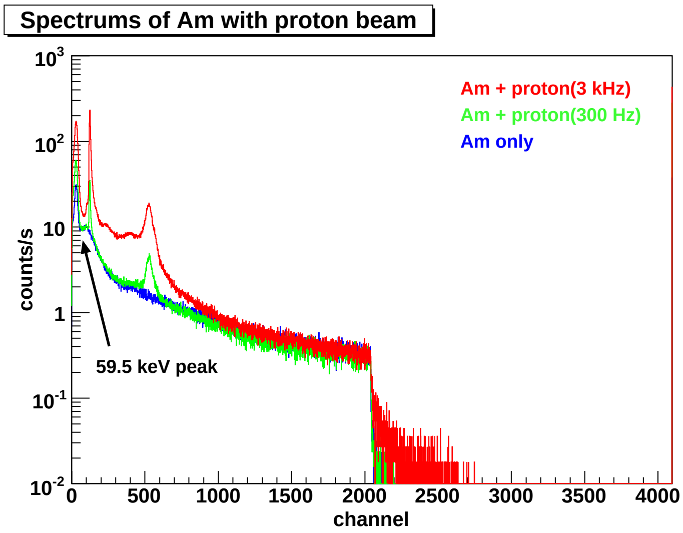


図 3.25: ^{241}Am(59.5 keV) のスペクトル。偽の構造のため、陽子ビーム照射中は 59.5 keV のピークを判別することができない。

陽子ビーム照射試験で判明した問題点への対応

陽子ビーム照射試験で不具合が確認されたことから、原因を探るため Waveform Analyzer で得られた波形データを用いて不具合を再現することを試みた。そのため、FPGA に実装したものと同じアルゴリズムを C 言語によって実装し、そこに Waveform Analyzer の波形データを入力することで、コンピュータ上で回路動作のシミュレーションを行った。

シミュレーションの結果が図 3.26 で、陽子ビーム照射時に低エネルギー側に見られる偽の構造を再現することができている。ここから、さらに詳しく回路動作を調べたものが図 3.27 で、内部の信号状態を示している。その結果、荷電粒子による大信号のアンダーシュートが予想以上に大きく、アンダーシュートから回復する途中でトリガが立ってしまい、スペクトルに偽の構造を生じさせていたことが分かった。

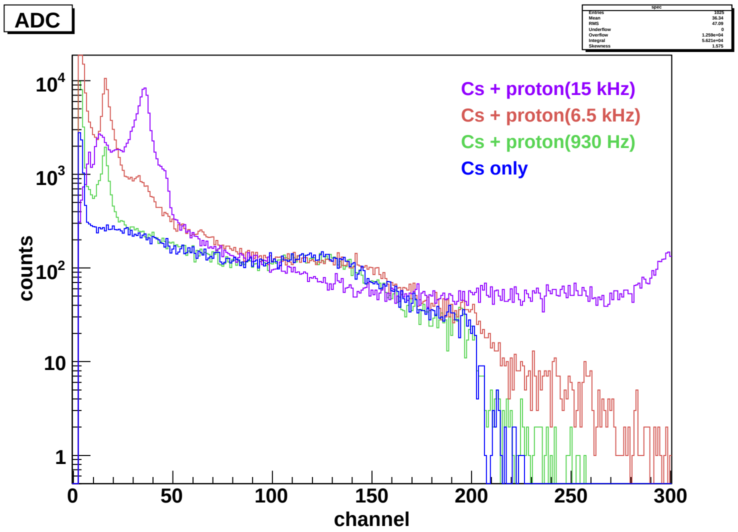


図 3.26: ソフトウェアで実装したアルゴリズムを元に波形データから生成した。^{137}Cs(662 keV) のスペクトル。偽の構造を再現することができた。

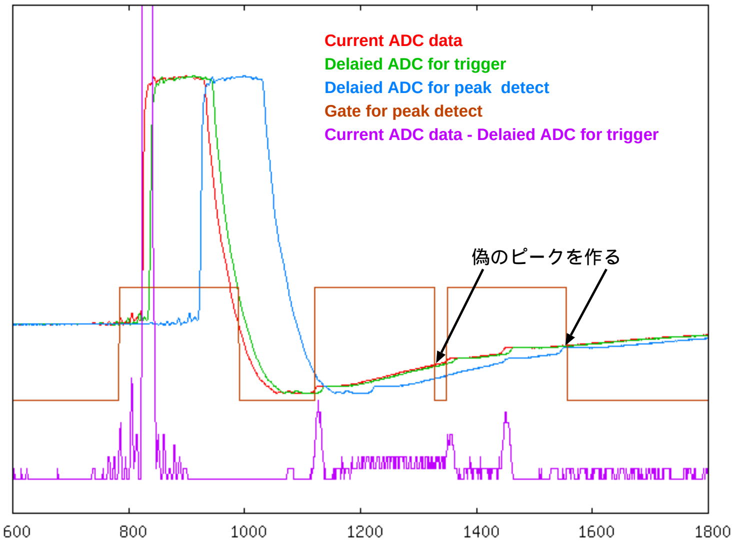


図 3.27: SAS ヒストグラム生成ロジックの内部信号の様子。アンダーシュートが非常に大きい場合、回復する途中でトリガが立ち、偽の構造を作っていることが分かった。

この問題を解決するため、アンダーシュートがある一定値以上に大きかった場合は、ア

ンダーシュートが十分回復するまでトリガが立たないように Veto をかける、Super Upper Discriminator (SUD) を導入した。SUD を導入したロジックを用いて Waveform データからスペクトルを生成したものを図 3.28 に示す。このように SUD を導入することで偽の構造が生じることが無くなり、数 kHz 程度の陽子ビームレートまで問題無くスペクトルを取得できることが分かった。これは、フライト中に予想される荷電粒子バックグラウンドレートの 1 kHz に対して十分余裕があり、このアルゴリズムをフライトで使用しても正しく動作することが確認できた。

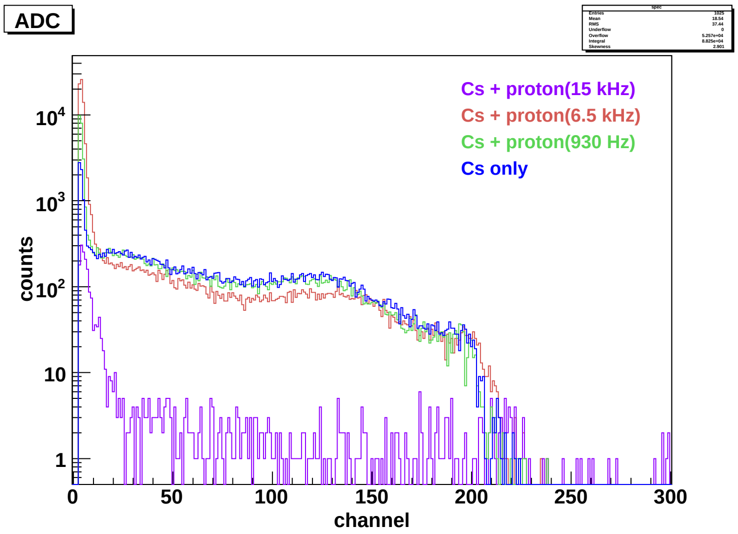


図 3.28: SUD 導入後の ^{137}Cs(662 keV) スペクトル。アンダーシュートガある一定以上に大きかった場合、回復するまで Veto をかけることで偽の構造が生じるのを防ぐことができた。

3.7 KEK-PF における 7 ユニット偏光測定試験

PoGOLite の開発では、プロトタイプの検出器を用いて実際に偏光 X 線を測定するビーム試験が 1、2 年ごとに行われており、前回のビーム試験は 2005 年 12 月に KEK の放射光施設、Photon Factory にて行われている。ただしこの時は 1 本の完全な PDC と、fast plastci シンチレータのみの PDC6 本で構成された検出器を用いており、データ収集システムも一般に市販されている汎用品を用いたものであった [14]。その後完全な PDC が必要本数製作されたことから、2007 年 3 月に同じ KEK-PF にて、7 本の完全な PDC で構成されたプロトタイプ検出器を使ってビーム試験を行った。前述の RCNP の試験では PoGO 用の FADC Board が完成していなかったが、この試験ではプロトタイプの PoGO 用 FADC Board が完成しており、私が実装した FADC Board の SAS,PDC 共通部分と東工大の植野らによって実装された PDC 用ボードの個別機能とを組み合わせ、ビーム試験のデータ収集に用いた。そのため、今回のビーム試験は SAS を除いたフライト用とほぼ同じ構成の検出器を使った初めての試験であると同時に、フライト時とほぼ同じ構成の SpaceWire

ベースのデータ収集システムを使った初めての試験でもある。

3.7.1 実験セットアップ

実験には7ユニットのPDCを組み合わせたプロトタイプ検出器と、PoGO用SpaceWire FADC Board、Digital I/O Board、SpaceCubeを用いた。図3.29にプロトタイプ検出器を、図3.30に実験セットアップを示す。また、図3.31に実際のDAQシステムの写真を、図3.32にセットアップ全体の写真をを示す。PDCが7本でFADC Boardは1枚であるが、この構成はフライト用のデータ収集システムと同等である。ただ、実験直前にFADC Board上のCSA出力とADC入力の間にあるローパスフィルタの時定数が大きすぎるために波形の立上りが十分早くないという問題が発覚したため、急遽時定数を小さくする改修を加えている。そのため、その後製作されたフライト用FADC Boardではローパスフィルタの時定数が変更されている。

実験は3月6日から12日にかけてKEK-PFのBL14Aにて行われ、25-80 keVの偏光X線ビームをプロトタイプ検出器の中心に照射し、それぞれのエネルギーで15° づつ検出器を回転させてデータを取得した。なお、X線ビームの偏光度は90 ± 1%であることが分かっている。

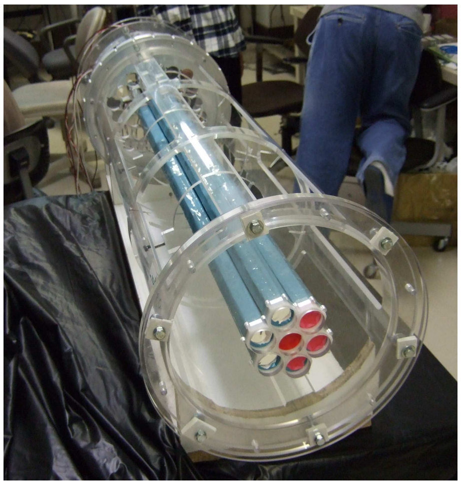


図3.29: PDCが7本組み合わされたプロトタイプ検出器。

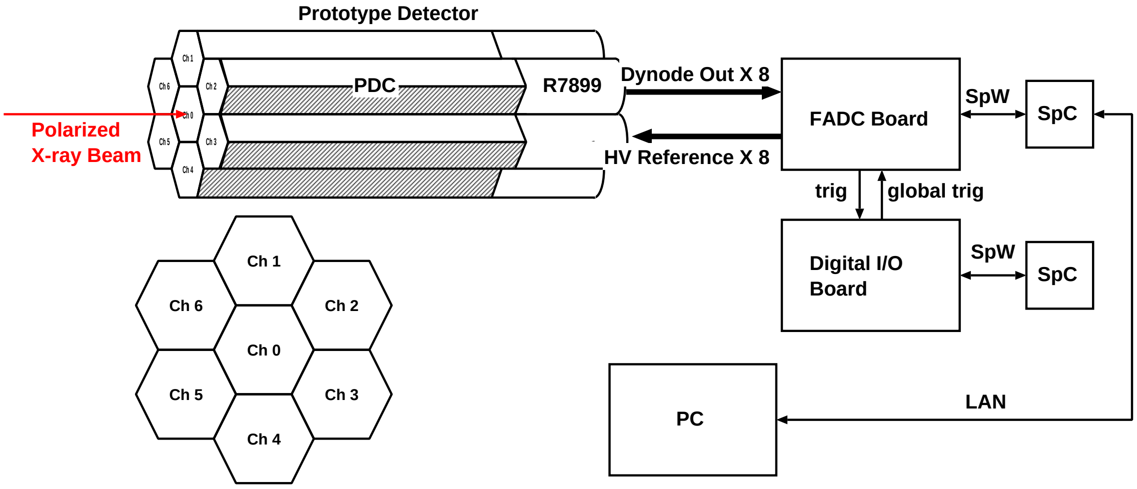

Prototype Detector
Ch 1
Ch 6
Ch 2
Ch 0
Ch 5
Ch 3
Ch 4
PDC
R7899
Polarized
X-ray Beam
Dynode Out X 8
HV Reference X 8
FADC Board
SpW
SpC
trig
global trig
Digital I/O
Board
SpW
SpC
PC
LAN
Ch 1
Ch 6
Ch 2
Ch 0
Ch 5
Ch 3
Ch 4

図 3.30: KEK ビーム試験におけるセットアップ。フライト時とほぼ同じ構成で試験が行われた。

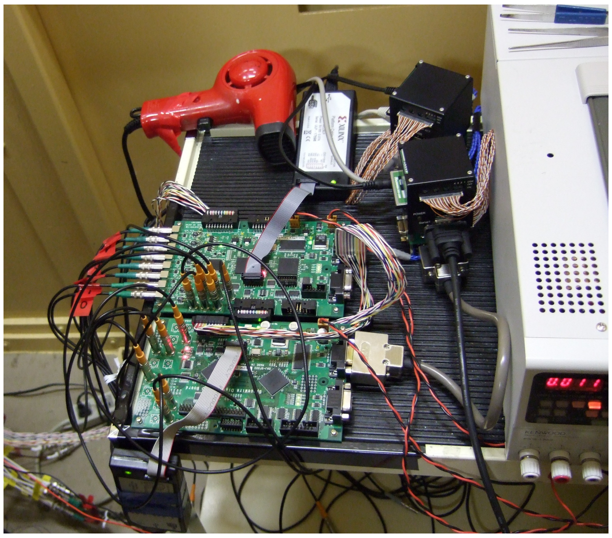


図 3.31: KEK ビーム試験における DAQ システムの写真。

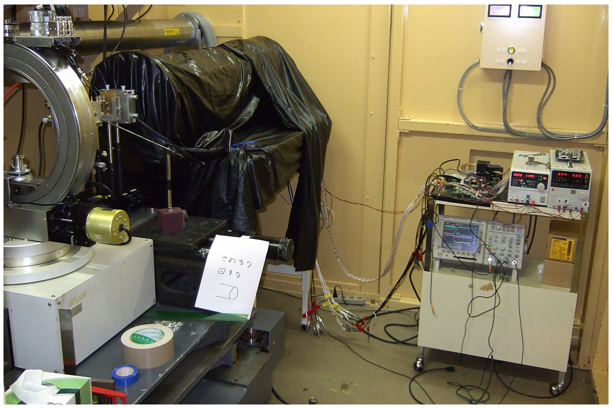


図 3.32: KEK ビーム試験における実験セットアップの写真。左側の黒いシートの中に検出器が入っている。

3.7.2 実験結果

図 3.33、図 3.34 に PDC で記録された波形の例を示す。図 3.33 では、入射 X 線光子が中心の PDC(ch0) でコンプトン散乱し、周辺の PDC のひとつ (ch1) で光電吸収されている。また、図 3.34 では宇宙線と思われる高エネルギーの放射線が、ch6, ch3, ch0 の slow plastic または Bottom BGO を貫いている。このように、8 ch(うち 7 ch にセンサーを接続した) の波形を同時に取得できることが初めて確かめられた。得られた波形データから、2 次元ヒストグラムを作ったものの例を図 3.35 に示す。これは、得られた波形データから、15 クロック離れた 2 つのデータ点の差分の最大値を Slow の波高値、4 クロック離れた 2 点の差分の最大値を Fast の波高値として名付け、横軸を Fast、縦軸を Slow でプロットしたものである。立ち上がりの速い fast plastic シンチレータの信号は Fast∼Slow である一方、立ち上がりの遅い slow plastic/BGO シンチレータの信号は Slow の値が大きくなるため、fast plastic と slow plastic/BGO の信号を分離することができる。こうして fast plastic シンチレータのみで反応したイベントを選んだ上で、波形データからモジュレーションカーブを作成した例 (25 keV) を図 3.36 に示す。このモジュレーションカーブから、25 keV の時のモジュレーションファクタは $33.8 \pm 0.7\,\%$と求められた。これはシミュレーションによる予想値と 10 %以内 (相対値) で一致している。

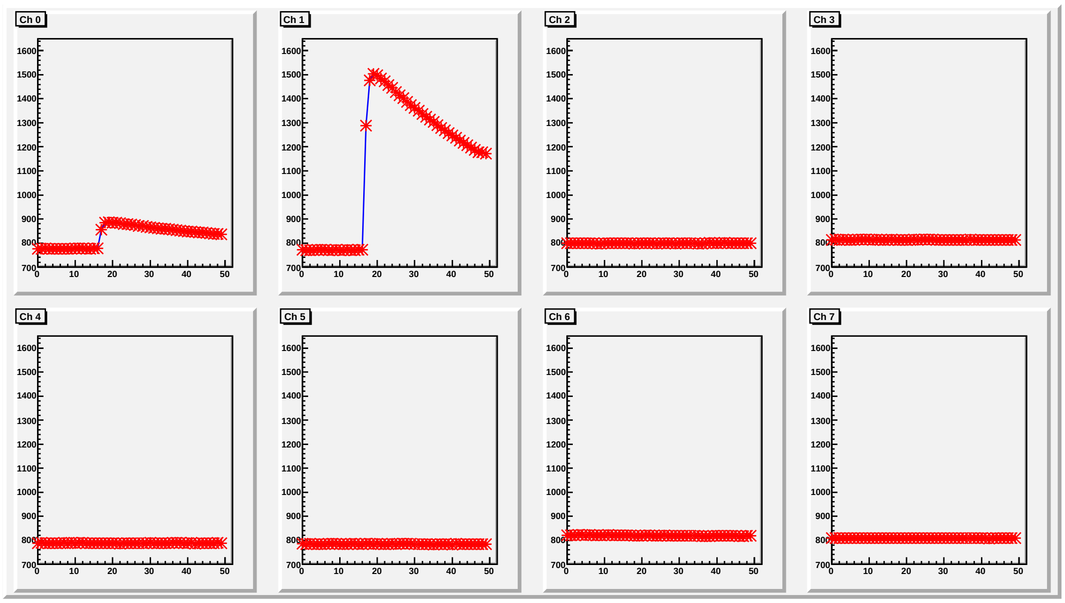


図 3.33: KEK ビーム試験で得られた波形データその 1。入射 X 線光子は中心の PDC(ch 0) でコンプトン散乱を起こし、その周りの 1 本 (ch 1) で光電吸収された。

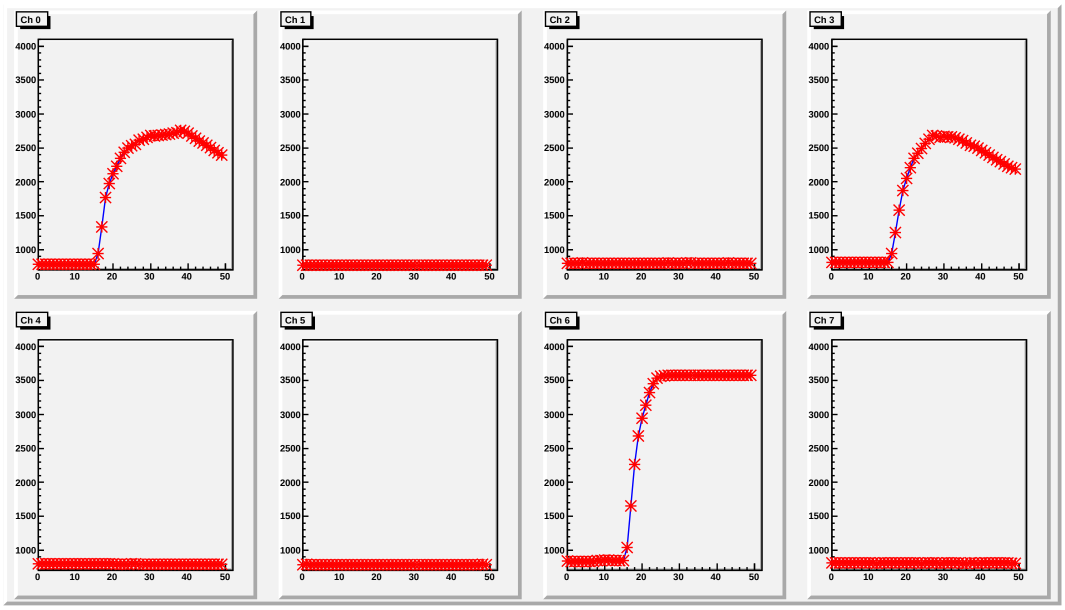


図 3.34: KEK ビーム試験で得られた波形データその 2。ch 0, 3, 6 の slow plastic または bottom BGO を宇宙線が貫いた。

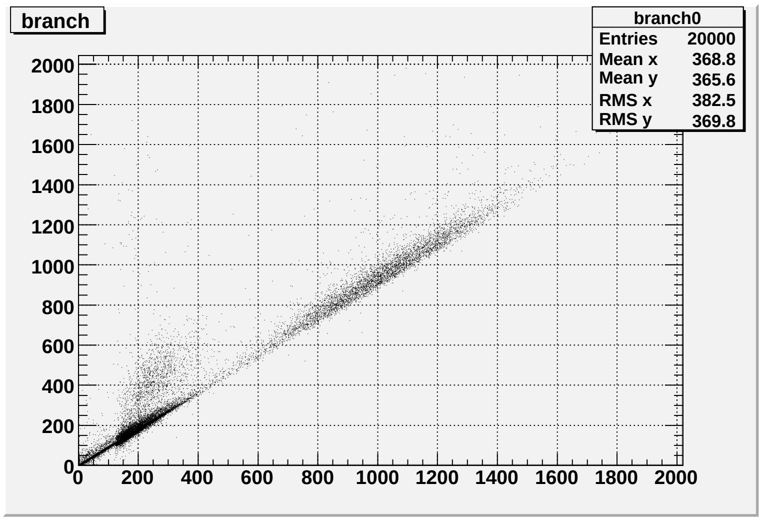


図 3.35: KEK ビーム試験で得られた 2 次元プロット (50 keV)。ほぼ $y = x$ の直線に乗っているイベントが fast plastic によるイベントで、枝分かれしているイベントが slow plastic/BGO によるイベントである。

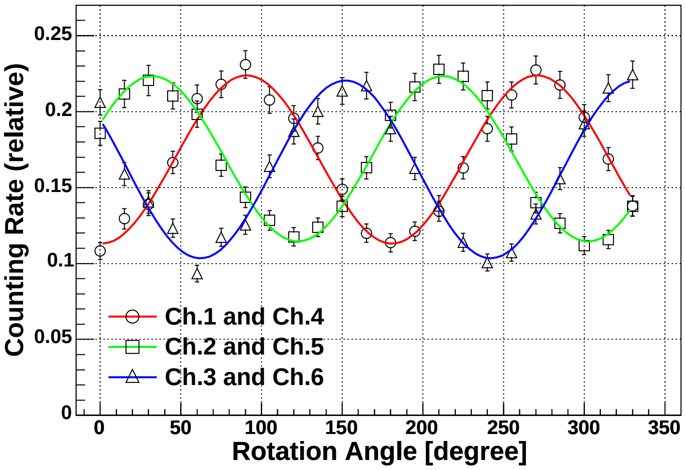


図 3.36: KEK ビーム試験で得られたモジュレーションカーブ (25 keV)。モジュレーションファクタは 33.8 ± 0.7 %と求められた。

以上のように、プロトタイプの検出器と SpaceWire ベースのデータ収集システムを用いて偏光を測定することに成功した。よって、我々が開発中の SpaceWire ベースのデータ収集システムのコンセプトが正しいことを確認できた。

3.8 PoGOLiteのデータ収集システム開発のまとめと今後

現在我々はSpaceWireベースのPoGOLite用データ収集システムの開発を進めており、広島大学では特にFADC Boardの初期の立ち上げおよびSAS用FADC Boardの開発を進めてきた。

SASのバックグラウンドモニタ用スペクトル生成ロジックの開発は完了しており、大阪大学RCNPで行われた陽子ビーム照射試験において、不具合が発見されたものの良好に動作することが確認され、不具合についても既に解決されている。また、フライト品とほぼ同じ構成のFADC Boardが製作され、動作のために最低限必要となる機能をUser FPGAに実装し、初期段階での立ち上げ作業を行った。そして、フライト用と同じ構成のデータ収集システムを構築し、KEK-PFにおけるプロトタイプ検出器を用いた偏光測定実験に成功している。

現在、プロトタイプボードでの試験結果を反映してフライト品のFADC Boardが製作されている。フライト品ではローパスフィルタの時定数が最適化された他、User FPGAがより大規模なもの(XC3S400 → XC3S1000)に変更されている。また、プロトタイプの検出器もPDCが19ユニットになったものが製作されており、2008年2月にKEK-PFでビーム試験が行われる予定である。そのため、現在PDC用FADC Board 2枚とSAS用FADC Board 1枚で構成される、より大規模なデータ収集システムの開発が進められている。また、新たにSpaceWire Routerも使用されるなど、フライト時の構成にかなり近い状態で試験が行われる予定である。

このように、PoGOLiteのデータ収集システムで核となる機能の実装は順調に進んでおり、試験結果も良好である。今後はハードウェア(FPGA)での波形弁別など、未実装の機能を開発するとともに、最終的に217本のPDCと54本のSASを同時に処理できるよう、システムの規模を拡大してゆくことが必要である。また、SpaceWire自体も開発途上であるため、SpaceWireコミュニティと連携して開発を進め、SpaceWireの実証という役割を果たしていかなければならない。

第4章　半導体検出器多チャンネル読み出しシステムの開発

我々が開発に参加しているもう一つの計画に、次期X線天文衛星NeXTがある。我々はNeXT衛星に搭載される観測装置のうち、HXIおよびSGDの開発を担当しており、ISAS/JAXA、東京大学、SLACなどと共に開発を進めている。HXIおよびSGDでは多チャンネルの半導体検出器が使用され、またNeXT衛星ではSpaceWireが本格的に採用されるため、SpaceWireをベースにした半導体検出器多チャンネル読み出しシステムの開発が必要である。本章では、SpaceWireを用いた半導体検出器多チャンネル読み出しシステムの開発について述べる。

4.1　半導体検出器

X線やガンマ線の検出器には、PoGOLiteで用いられたようなシンチレータの他に、半導体検出器が良く用いられる。半導体検出器はシンチレータに比べて阻止能は大きく無いが、優れたエネルギー分解能を持ち、半導体プロセス技術を用いることで微細加工を施すことができるため、位置分解能を持たせたり、様々な形状の検出器を製作したりすることができる。

半導体検出器には、シリコンやゲルマニウム、CdTeなどが用いられる。これらの半導体材料を用いて、p型半導体とn型半導体が接合したダイオードの構造を作ると、接触電位により接合面付近には電子や正孔といったキャリアがほとんど存在しない空乏層と呼ばれる領域ができる。空乏層にX線やガンマ線が入射すると、検出器の物質との間で光電吸収、コンプトン散乱、電子対生成の3つの相互作用を起こす。これらの相互作用によって物質中の束縛電子がエネルギーを受け取るなどして高エネルギーの電子が生じ、この高エネルギー電子が空乏層内に電子・正孔対を生成する。1対の電子・正孔対を生成するのに必要なエネルギーは、シリコンの場合およそ3.65 eVである。そのため、入射した放射線が半導体検出器内で失ったエネルギーに比例した電荷が出力される。このように半導体検出器では空乏層が検出領域となるが、実際に使用する際は接触電位で生じた空乏層では厚さが非常に小さく、電子・正孔対が捕獲や再結合によって消滅し、電荷収集が不完全になり易い。また、空乏層が小さいと検出器の持つ静電容量が大きくなるため、電荷有感型増幅器(CSA)に接続したときの雑音特性が悪くなる。そのため、使用する際はn側が高電位になるようにバイアス電圧が掛けられる。バイアス電圧により検出器内に新たな電場が生じ、キャリアが電極側に移動することで空乏層が厚くなり、電子・正孔対も速やかに電極に収集されるようになる。図4.1に半導体検出器の原理を示す。

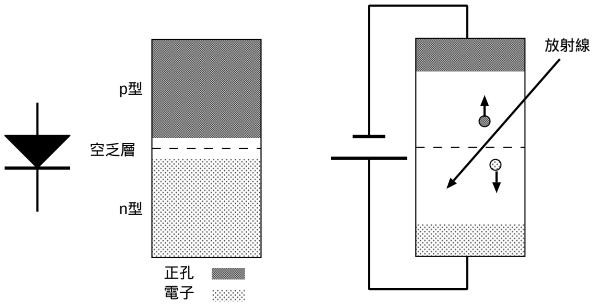


図 4.1: 半導体検出器の原理。

4.1.1 Double-sided Silicon Stric Detector

多チャンネルの信号出力を持った半導体検出器の 1 つに、両面シリコンストリップ検出器 (Double-sided Silicon Strip Detector :DSSD) がある。DSSD はシリコンストリップ検出器 (Silicon Strip Detector :SSD) を元に開発されたもので、SSD は元々加速器実験の分野で短命粒子の検出のために開発された。SSD は n 型シリコン基板上に短冊状の p+領域（ストリップ）を並べたもので、細長い多数のダイオードが並んだ構造をしている。それぞれのダイオードが放射線検出器として働き、放射線により生成された電子・正孔対のうち正孔が最も近くの p+ストリップで収集される。ストリップの幅は数 10-数 100 μm であるため、放射線の 1 次元での反応位置を高い精度で測定することができる。また、SSD のもう 1 つの特徴として、高速応答性が挙げられ、典型的な 300 μm 厚の SSD の場合、そのデッドタイムは 30 ns 程度で、プラスチックシンチレータに匹敵する速さである。DSSD は p+ストリップに加え、裏面に n+ストリップを p+ストリップと直交するように形成したもので、正孔に加えて n+ストリップで電子を収集する。図 4.2 に DSSD の構造を示す。このように両サイドで電荷を収集することで、放射線の反応位置を 2 次元で知ることができる。また、同じピクセル数を読み出す場合、CCD のようにピクセル数分の出力チャンネルを読み出す必要がなく、ストリップ数分のチャンネルを読み出すだけで良いといった特徴がある。

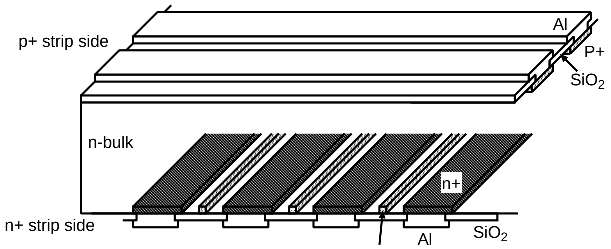


図 4.2: DSSD の構造。n 型半導体基板上に短冊状の n+領域と p+領域が直交するように形成される。

4.2 NeXT 計画と HXI/SGD 検出器

NeXT(Non-thermal energy eXploration Telescope) 衛星は現在活躍中の X 線天文衛星「すざく」の後継として開発されている衛星で、2013 年頃の打ち上げを目指している。開発には広島大学の他、ISAS/JAXA、東京大学、名古屋大学、SLAC、NASA など国内外の多数の大学や研究機関、企業が参加している。NeXT 衛星では 80 keV までの硬 X 線領域での撮像観測が初めて可能になり、さらに 300 keV までの軟ガンマ線領域ではかつてない高感度での観測が可能となる。このように NeXT 衛星は硬 X 線から軟ガンマ線領域での観測をかつてない精度で行う衛星となる。現在、このようなエネルギー帯域での放射は、相対論的エネルギーにまで加速された荷電粒子による非熱的な放射によるものが支配的と考えられており、NeXT 衛星は非熱的な宇宙の研究を大きく進めるものと期待されている。NeXT 衛星ではこの他に、すざく衛星に搭載されたものの、液体ヘリウムの喪失で観測不能となってしまった X 線マイクロカロリメータ (XRS) の後継品が搭載され、軟 X 線領域での非常に高い分解能での分光観測も行われる予定である。また、SpaceWire が本格的に採用されることが決まっており、搭載機器には SpaceWire インターフェイスが搭載される。

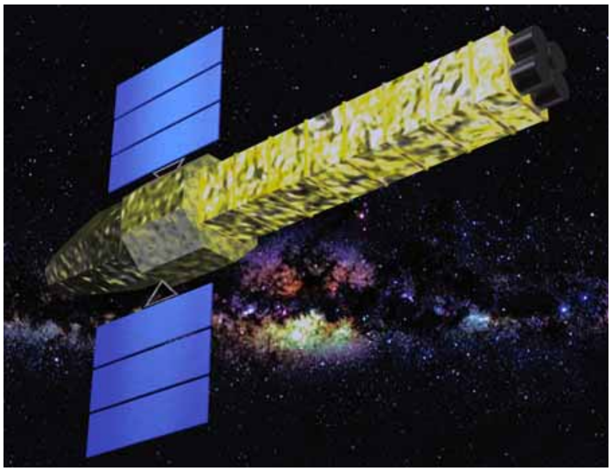


図 4.3: NeXT 衛星の想像図。

4.2.1 HXI

NeXT 衛星に搭載される観測装置のうち、我々のグループが深く関わっているものの 1 つに硬 X 線撮像装置 HXI がある。HXI は名古屋大学などで開発中の 80 keV までの硬 X 線を集光できる多層膜スーパーミラーによる X 線望遠鏡の焦点面検出器で、DSSD および CdTe ピクセル検出器で構成される。図 4.4 に HXI の構造を示す。HXI では CdTe 検出器が最下層に置かれ、その上に 4 層の DSSD が重ねられており、その周囲を BGO による井戸型アクティブシールドが囲んでいる。そのため、半導体検出器の読み出し回路を狭い空間に収める工夫が必要となる。CdTe 検出器は CsI を超える阻止能を持ちながら、シリコンと同程度のエネルギー分解能を持った検出器で、CdTe 検出器に 2 次元位置分解能を持

たせたピクセル検出器が近年実用化された。CdTe 検出器は高い原子番号 Z により高い阻止能を実現しているが、反面宇宙線により放射化されやすく、それ自体が低エネルギー領域でのバックグラウンド源となる。そのため、HXI では CdTe 検出器に加えて DSSD が組み合わされ、10-80 keV の高エネルギー側を CdTe 検出器が、5-30 keV の低エネルギー側での撮像を DSSD が受け持つ。シリコンは Z が比較的小さく、放射化のリスクは CdTe と比べて遥かに小さい。このように HXI では高いエネルギー領域まで感度のある CdTe 検出器と低エネルギー側でバックグラウンドの少ない DSSD、さらにすざく HXD 検出器で実証された BGO による井戸型アクティブシールドを組み合わせることで、極めて低いバックグラウンドを達成し、高感度での硬 X 線撮像観測を実現する。広島大学では HXI に使用される DSSD の開発・評価を担当しており、現在フライト品が納入され、西野らによって評価が進められている [17]。

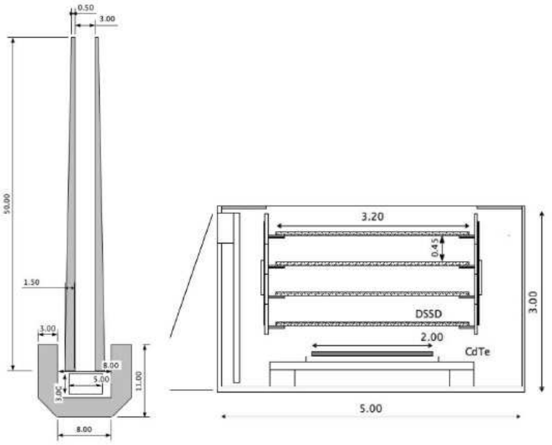


図 4.4: HXI の構造。

4.2.2 SGD

NeXT 搭載の観測装置で、我々が深く開発に関わっているもう 1 つの装置が、軟ガンマ線検出器 SGD である。1 MeV 程度の軟ガンマ線領域では、光子と物質の相互作用はコンプトン散乱が支配的となる。また、天体からやってくる光子自体の数も少ないため、観測するには巨大な検出器が必要であった。我々はコンプトンカメラと呼ばれる検出器と、井戸型アクティブシールドを組み合わせることで、狭い視野を持ったコンプトンカメラという新たなコンセプトの基で、徹底的なバックグラウンド除去により従来の大型検出器を越える感度を持った検出器を実現した。この新しい技術により生まれた観測装置が SGD である。

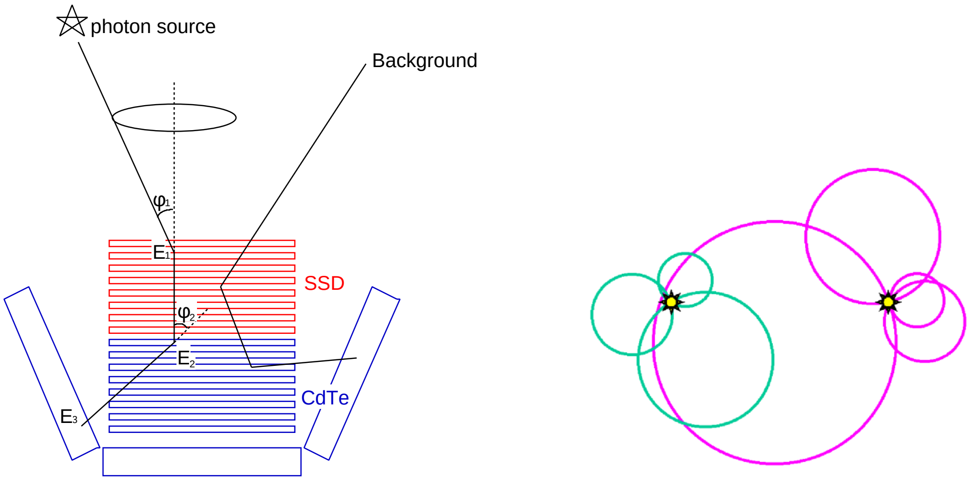
まず、コンプトンカメラの原理を図??に示す。検出器は DSSD やピクセル検出器など、2 次元位置分解能を持った半導体検出器が多数重ねられた構造をしている。ガンマ線が検出器に入射すると、コンプトン散乱により持っていたエネルギーの一部を検出器内の電子に与え、検出器から出て行き、次の検出器に入射する。このようなプロセスを繰り返し、

ガンマ線光子はエネルギーを失ってゆき、最後には光電吸収される。それぞれの検出器でガンマ線光子が落としたエネルギーと反応位置を測定することで、コンプトン散乱を再構成し、元々のガンマ線光子が持っていたエネルギーとその到来方向を知る。ここで、入射したガンマ線が 2 回コンプトン散乱し、光電吸収された場合を考える。入射ガンマ線がコンプトン散乱で検出器に落としたエネルギーを E_1, E_2 とし、散乱された角度を ϕ_1, ϕ_2、光電吸収されたエネルギーを E_3 とすると、エネルギー保存則と運動量保存則から、

$$\cos\phi_1 = 1 + \frac{m_\mathrm{e}c^2}{E_1 + E_2 + E_3} - \frac{m_\mathrm{e}c^2}{E_1 + E_2} \tag{4.1}$$

$$\cos\phi_2 = 1 + \frac{m_\mathrm{e}c^2}{E_2 + E_3} - \frac{m_\mathrm{e}c^2}{E_3} \tag{4.2}$$

となる。ここで、m_e は電子質量、c は光速である。このようにして ϕ_1 を求めることで、ガンマ線の到来方向を頂角 ϕ_1 の円錐面に制限することができる。そして複数のイベントを重ね合わせることで、ガンマ線の到来方向を 1 点に特定することができ、バックグラウンド除去も可能となる。



(a) コンプトンカメラの概念図

(b) 複数イベントの重ね合わせ

図 4.5: コンプトンカメラの原理 [16]

コンプトンカメラの位置分解能は、検出器のエネルギー分解能に大きく依存している。また、検出器内の電子は静止しておらず、持っている運動量が不定であるため、散乱角が広がりを持ってくる。この効果は Doppler Bloadening と呼ばれ、検出器の原理上避けることができない。半導体に使用される物質では Doppler Bloadening が比較的小さく、その中でも特にシリコンが最も有利である。コンプトンカメラでは、エネルギー分解能による角分解能の劣化を、Doppler Bloadening による影響に対して十分に下げておかなければならない。

SGD では、当初 DSSD と CdTe 検出器によるコンプトンカメラを構成する予定であったが、シミュレーションにより角分解能に与える影響は検出器のエネルギー分解能が支配的

であり、DSSD ほどの高い位置分解能は必要ないことが分かった。そのため、現在 DSSD の代わりにシリコン基板上にパッド状の検出器を形成した Si-Pad 検出器の使用が考えられている。DSSD の場合両面にストリップ構造を形成しなければならず、片面の構造を形成してからシリコンウェハーを裏返し、もう一方の面を作るといった工程が必要になり、このような工程を実現するには高い製造技術が要求される。それに対して Si-Pad 検出器は通常の半導体プロセス技術で製造が可能であることから、DSSD と比べて歩留まり、製造コストの面で有利となる。図 4.6 に SGD の外観図を示す。SGD はコンプトンカメラを BGO による井戸型アクティブシールドの中に入れた構造になっており、HXI と同様に半導体検出器の読み出し回路を狭い空間に収める工夫が必要となる。

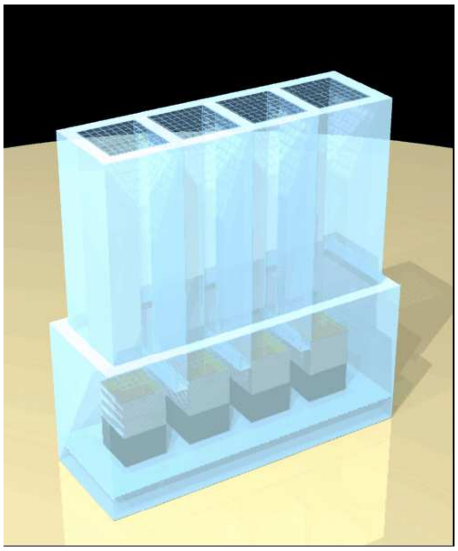


図 4.6: SGD の概観。

4.3 半導体検出器読み出し ASIC

半導体検出器からの信号を読み出すには、電荷信号を電圧信号に変換する CSA、波形を整形する Shaing Amplifer、トリガ信号を生成する Discriminator などが必要である。数 ch の出力信号しか無い場合は、これらの機器を個別に用意することで対応できるが、DSSD などのように数十から数千 ch にも上るような出力信号を読み出す場合、個別に用意していたのでは対応できない。特に、衛星に搭載する場合スペース、消費電力の点で現実的ではない。そこで、従来よりこれらの必要な機能について数 10 ch 分の回路をまとめた ASIC が開発されている。

4.3.1 VA32TA

VA32TA はノルウェーの IDE 社、SLAC、ISAS/JAXA により開発された半導体検出器読み出し用のアナログ ASIC で、32 ch 分の CSA、Shaping Amplifer、Discriminator、 Sample Hold 回路、マルチプレクサ、トリガ出力を持っている。図 4.7 に VA32TA の写真を示す。VA32TA は 0.35 μm の CMOS プロセスで製造されており、大きさは $7.035 \times 3.385 \times 0.725$ mm と小型である。また、1 チャンネルあたりの消費電力は 6.3 mW と低消費電力である。VA32TA はダイの状態で提供され、検出器からの出力はチップ上のパッドに直接ワイヤーボンディングにより接続される。VATA チップにはこの他にも、64 ch の入力に対応した VA64TA や低消費電力版など、いくつかのバリエーションが存在するが、基本的な構造はどれも同じである。

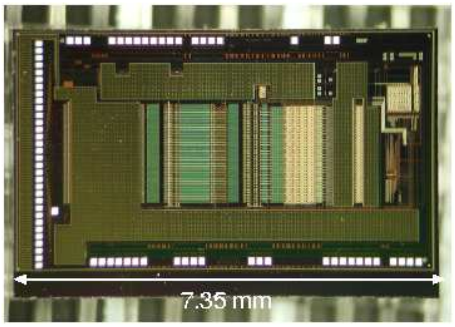


図 4.7: VA32TA の写真 [16]。

VA32TA は内部で VA part と TA part の 2 つの部分に分かれている。図 4.8 に VA32TA のブロック図を示す。VA part には CSA、slow shaper、sample hold 回路が含まれており、TA part には fast shaper、Discriminator が含まれている。各チャンネルの Discriminator から出力されるトリガ信号は OR されて 1 つのトリガ信号としてチップ外に出力される。VA32TA の各回路の動作に必要なバイアス電流や Discriminator の threshold などの値は、チップ上のパッドから直接入力することもできるが、チップ内部の DAC で生成することもできる。DAC の設定値やトリガのマスク情報、各機能のフラグ情報などはシリアル信号でチップに入力され、チップ内の 199 bit のシフトレジスタに書き込むことで設定できる。また、宇宙空間では高いレートで宇宙線が入射してくるため、レジスタのビットが反転する Single Event Upset (SEU) が起こりやすくなる。そのため、レジスタの各ビットにはそれぞれ 3 つの回路が用意され、多数決を取る事で SEU の影響を防いでいる。

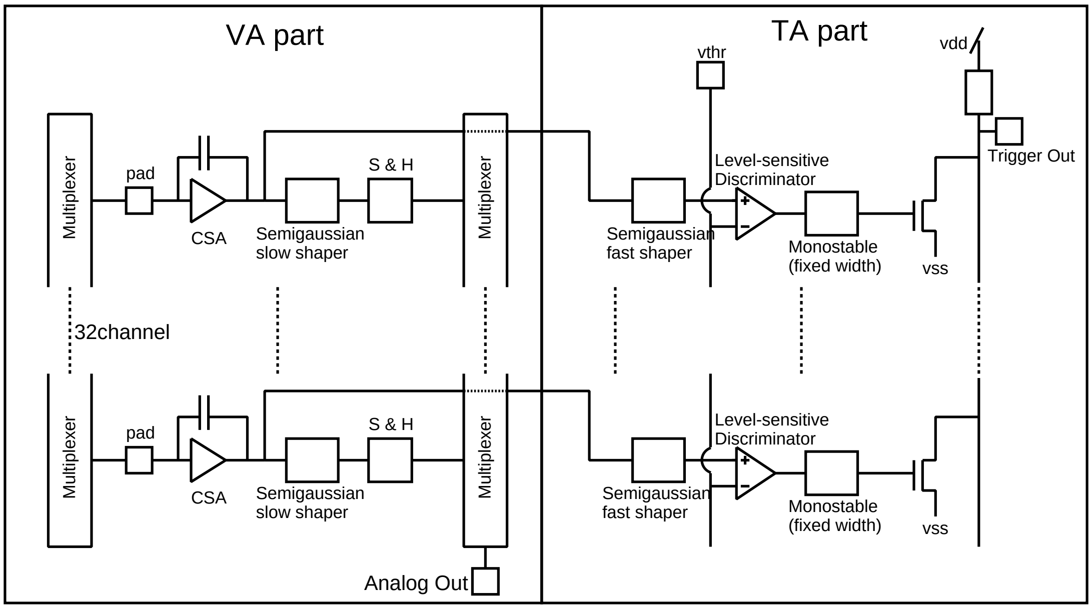

VA part
TA part
vthr
vdd
Multiplexer
pad
CSA
Semigaussian
slow shaper
S & H
Multiplexer
Semigaussian
fast shaper
Level-sensitive
Discriminator
Monostable
(fixed width)
vss
Trigger Out
32channel
Multiplexer
pad
CSA
Semigaussian
slow shaper
S & H
Multiplexer
Semigaussian
fast shaper
Level-sensitive
Discriminator
Monostable
(fixed width)
vss
Analog Out

図 4.8: VA32TA のブロック図 [16]。VA part と TA part に分かれている。

CSA に電荷信号が入力されると、電圧信号に変換されて fast shaper、slow shaper に送られる。fast shaper の出力は Discriminator に入るが、fast shaper の時定数は slow shaper よりも小さく、slow shaper よりも信号が速く立ち上がる。そのため、slow shaper の信号が完全に立ち上がる前にトリガ信号が出力される。そして、sample hold 回路で slow shaper の波高値が hold され、アナログマルチプレクサを通して出力される。図 4.9 に VA32TA の読み出しシーケンスを示す。トリガ信号は一旦チップの外に出力され、そのトリガ信号を元に外部の回路で hold 信号が作られてチップに入力される。トリガが立ってから hold 信号が立つまでの時間を peaking time と呼ぶが、peaking time を slow shaper の出力波形のピークが来る時間に設定しておくことで、波高値を正確に測定できる。また、テスト信号を入力し slow shaper 出力が常に一定の大きさになるように調整した状態で、peaking time を少しずつずらして何点か測定すると、slow shaper の出力波形を得る事ができ、チップのパラメータ調整などで利用することができる。hold 信号が入力されアナログ電圧値が hold された後、shift_in_b 信号が入力されると、チップは読み出し状態となり、Clkb 信号に合わせて内部のアナログマルチプレクサが順次切り替わり、analog out に hold されたアナログ電圧値が出力される。そして、32 ch 分の出力が終わると shit_out_b 信号が出力される。なお、アナログ出力は、実際には作動電流出力となっている。

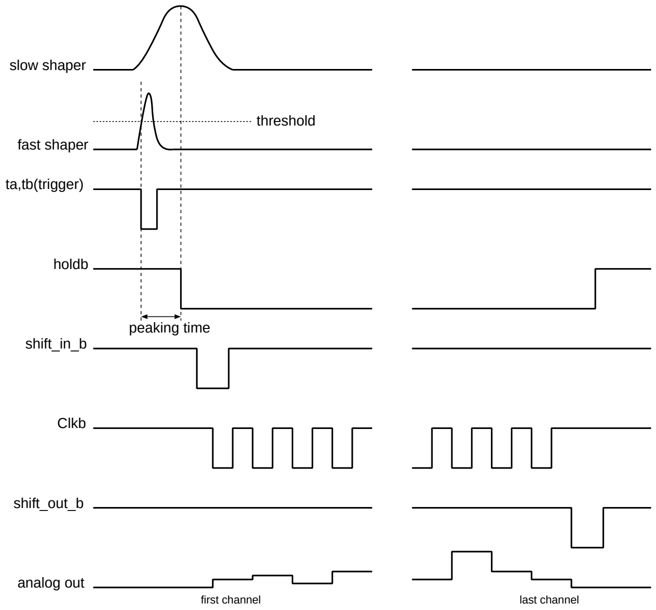

slow shaper
threshold
fast shaper
ta,tb(trigger)
holdb
peaking time
shift_in_b
Clkb
shift_out_b
analog out
first channel
last channel

図 4.9: VA32TA の読み出しタイミングチャート。

4.3.2 フローティング読み出し

半導体検出器にはバイアス電圧を掛ける必要があるが、DSSD のように n 側からも信号を読み出す場合、VA32TA の入力パッドは検出器の n 側と同じ電位になる。そのため、VA32TA のグラウンドと検出器のグラウンドが共通の場合、VA32TA に高い電圧がかかりチップが破損してしまう。これを防ぐため、従来は検出器の n 側出力と VA32TA の間に RC-chip と呼ばれるチップを入れ、検出器出力と VA32TA の入力をコンデンサーで接続する AC 結合と呼ばれる方式が用いられてきた。

RC-chip は多チャンネルの半導体検出器の読み出しのため、バイアス抵抗とカップリングコンデンサをシリコン基板上に多数形成したものである。図 4.10 に、RC-chip を使った場合の等価回路を示す。AC 結合にするとコンデンサーにより絶縁されるため、VA32TA の入力には高電圧がかからなくなり、チップは破損しない。しかしながら、AC 結合では検出器の持っている容量 C_d に加え RC-chip の容量 C_{rc} が加わるため、CSA にロードされる容量が大きくなり、雑音特性を悪化させることになる。また、検出器と VA32TA を直接つなぐ DC 結合では電荷収集効率 ρ は 1 になるが、AC 結合の場合は

$$\rho = \frac{C_c}{C_c + C_d + C_{rc}} \tag{4.3}$$

となる。通常、AC 結合をする場合、カップリングコンデンサの容量 C_c を数 1000 pF 程度と十分大きくして電荷収集効率を 1 に近くするが、RC-chip に作ることのできるコンデンサの容量は数 10 pF 程度と小さく、電荷収集効率を十分高くすることができない。そのため、RC-chip を使用すると CSA の雑音特性が悪化するだけでなく、電荷収集効率の低下によりさらに S/N を悪くしてしまう。

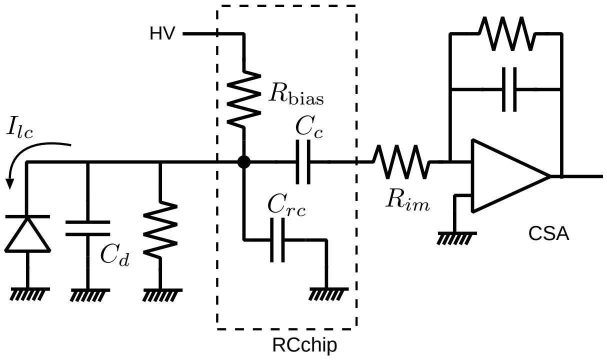


図 4.10: AC 結合の等価回路。検出器出力と VA32TA の入力はコンデンサーにより絶縁される。

RC-chip を使った AC 結合では、半導体検出器の n 側のノイズを大きくしてしまい、エネルギー分解能を悪化させるという問題があった。そこで、現在では検出器のグラウンドと VA32TA のグラウンドを絶縁し、n 側でも DC 結合できるようにするフローティング読み出しと呼ばれる方式が用いられるようになっている。図 4.11 に、DSSD をフローティング読み出しするときの模式図を示す。DSSD に 100 V のバイアス電圧を掛ける場合、高圧電源のグラウンドから見ると、VA32TA のグラウンドが 100 V となり、Vdd が 101.5 V、Vss が 98.0 V になっているように見える。VA32TA から見れば、Vdd が 1.5 V、Vss が-2 V となり、入力パッドの電位は VA32TA のグラウンドと同じになるため、VA32TA が破損することは無い。ただし、フローティング読み出しをする場合は VA32TA を外部の回路と絶縁するため、信号の入出力にアイソレータを入れたり、チップに電源を供給するために電池や DC-DC コンバータを使用する必要があるなど、従来と比べて周辺回路がやや大掛かりになってしまう。

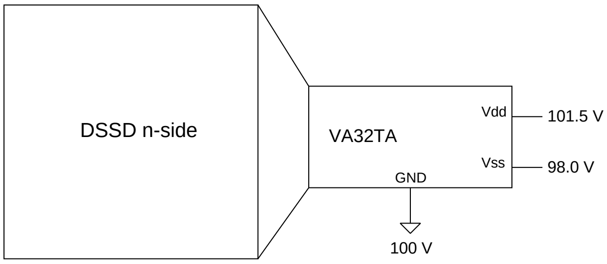


図 4.11: DSSD をフローティング読み出しする場合の模式図。

4.4 VA32TA6 読み出しシステムの開発

半導体検出器から読み出されたデータは、コンピュータなどに送られ処理されるが、そのためにはデータがディジタル信号になっていなければならない。VA32TA では sample hold 回路で hold された波高値がアナログ信号として出力されるため、チップ外部の回路に搭載した ADC によりディジタル信号へと変換しなければならない。そのため、周辺回路

が複雑になり、前述のフローティング読み出しを実現するためのシステムが大掛かりになるなどの問題があった。そこで新たに VA32TA をベースに ADC を内蔵した半導体検出器読み出し ASIC の VA32TA6 が開発された。図 4.12 に VA32TA6 の写真を示す。VA32TA6 の内臓 ADC を使った読み出しには従来と異なったインターフェイス、制御信号の生成が必要となるため、チップの評価、検出器と接続しての読み出しをするためには、新たに読み出しシステムを開発しなければならない。そこで、新たに VA32TA6 を制御、読み出しするシステムを私が初めて SpaceWire ベースで開発した。

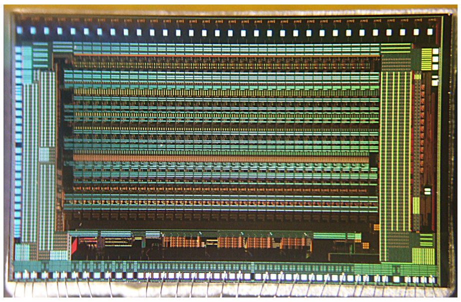


図 4.12: VA32TA6 の写真。

4.4.1 VA32TA6

VA32TA6 は VA32TA の低消費電力版に 10 bit ウィルキンソン型 ADC を内蔵したものである。基本的な構成は VA32TA と同じであるが、slow shaper 出力にチャンネル数分の ADC が接続されている。そのため、データはディジタル信号としてシリアルインターフェイスから出力される。また、従来と同じアナログ出力も残されているため、VA32TA と同じように使うことも可能である。アナログ出力を用いた場合の読み出しシーケンスは前述した VA32TA の場合と同じである。また、VA32TA と同様にチップの設定を行うレジスタも存在するが、ADC の設定などが追加されたため、全部で 254 bit となっている。表 4.1 にレジスタの各ビットの役割を示す。

Name	Description	Number of bits
Slew_on_b	Slew rate limited fast shaper, positive charges.	1
Nside	Used to set correct trigger polarity, and threshold generation for negative charges.	1
CC_on	Enable leakage current compensation.	1
Test_on	Enable cal-pulse testing.	1
Low_gain	Choose between low and high gain for the VA32TA6 slow shaper.	1
negQ	Signal polarity selection for the ADC.	1

Last_ASIC_b	If bit is low, digital data is routed out on O6/O7, otherwise routed out on O5.	1
ADC_on_b	Enable/disable ADC. If disabled, the ADC power is turned off.	1
VA_RO	Enable VA-type analog read-out with the reduced pin interface.	1
Iramp_slow	Halves the ramp voltage for the ADC.	1
Ileak_offset	Turns on the per channel positive leakage current constant current source.	1
ADC_test1		1
ADC_test2		1
Channel Disable	Channel disable mask.	32
Channel trim DACs 4x32	Threshold fine trim DAC.	128
Test enable	Test enable mask.	32
Shabi_lg		1
Pos_Il_1	Positive Leakage current offset for all channels:+20 pA	1
Pos_Il_2	Positive Leakage current offset for all channels:+40 pA	1
Bias DAC, vthr		5
Bias DAC, ifp		4
Bias DAC, Iramp		4
Bias DAC, twbi		3
Bias DAC, sha_bias		3
Bias DAC, ifss		3
Bias DAC, ifsf		3
Bias DAC, vrc		3
Bias DAC, sbi		3
Bias DAC, pre_bias		3
Bias DAC, ibuf		3
Bias DAC, obi		3
Bias DAC, Ioffset		3
Bias DAC, disc3_bi		3

表 4.1: VA32TA6 の設定レジスタ [18]。

VA32TA6 の新しいインターフェイスでは、表 4.2 の 9 本の入出力ピンを使う。このうち、チップの出力は 2 つで、残りは全て入力ピンである。VA32TA6 には、1-5 の Mode が存在し、各 Mode での動作は表 4.3 のようになっている。また、Mode を設定する際のタ

イミングチャートを図4.13に示す。Modeの設定には、S0, S1, S2, S_LATCHの4つの入力ピンを使用する。実際にチップを動作させるには、まずModeをM1に設定し、設定レジスタの書き込みを行わなければならない。レジスタに正しく書き込めているか確かめるためにRead-backを行う場合には、ModeをM2にする。M1, M2でのレジスタ設定、読み出しのタイミングチャートを図4.14に示す。次に、ModeをM3にするとイベント待ちの状態となり、レジスタで設定したthresholdを超える信号が入力されるとO6ピンからトリガが出力される。イベント待ちからA/D変換、データの読み出しまでのタイミングチャートを図4.15に示す。トリガが出力されたことを外部の回路が検知し、peaking time後にhold信号に相当する信号をI0ピンに入力すると内部でslow shaperの信号がholdされる。そしてModeをM4にするとA/D変換が始まり、I0ピンに入力したconversion clockによって変換が行われる。A/D変換が終了したのちModeをM5にするとA/D変換したデータの読み出しが始まり、I0に入力したclockに合わせて376 bitのデータがO5ピンからシリアル出力される。データの出力フォーマットを表4.4に示す。データの読み出しが完了した後、再びModeをM3にすることで、次のイベントを待つことができる。

PIN number/name	Direction	Usage of shared communication lines
I1/I2	IN	CK/CKb(Mode 1,2,4,5),SH/SHb(3)
I3	IN	REGIN(1,2), CONV_DONE_IN(4), DATA_IN(5)
I4	IN	LOAD(1), RESET(3,4,5), READ_BACK(2)
O5	OUT	REGOUT(1,2), CONV_DONE(4), DATA_OUT(5)
O6/O7	OUT	TRIGGER/TRIGGERb(3) and SEU/SEUb(1,2,3,4), DATA_OUT(5)
S0	IN	Signal to I/O mode decoder.
S1	IN	Signal to I/O mode decoder.
S2	IN	Signal to I/O mode decoder.
S_LATCH	IN	Signal to latch the I/O mode decoder.

表4.2: VA32TA6の新しいインターフェイスに使用するピン[18]。

Mode	S2	S1	S0	Description
1	0	0	0	Slow Control loading
2	0	0	1	Slow Control Read-back
3	0	1	0	Acquisition
4	0	1	1	Conversion
5	1	0	0	Read-out

表4.3: VA32TA6のMode[18]

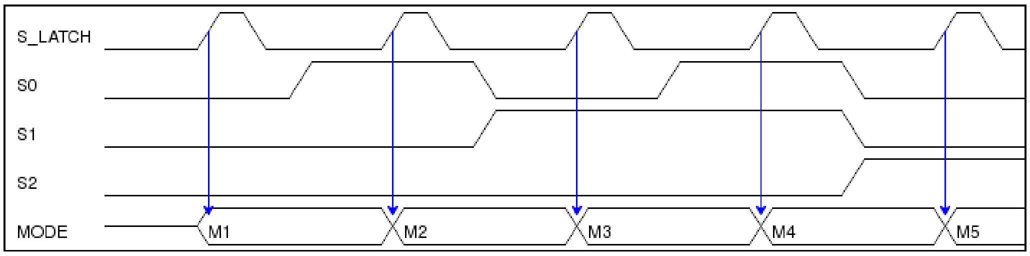

S_LATCH
S0
S1
S2
MODE
M1
M2
M3
M4
M5

図 4.13: VA32TA6 の Mode 設定のタイミングチャート [18]。

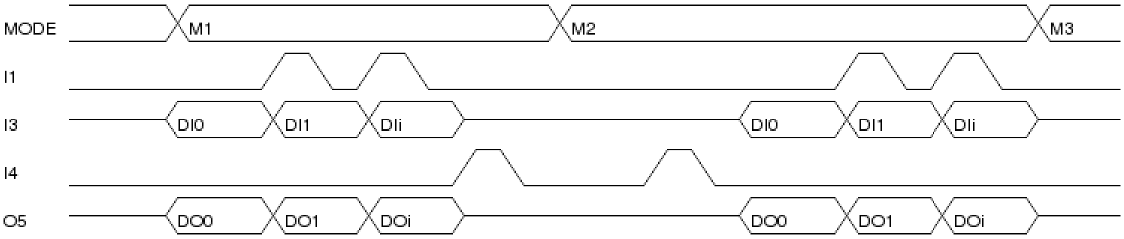

MODE
I1
I3
I4
O5
M1
M2
M3
DI0
DI1
DIi
DI0
DI1
DIi
DO0
DO1
DOi
DO0
DO1
DOi

図 4.14: VA32TA6 のレジスタ設定、Read-back のタイミングチャート [18]。

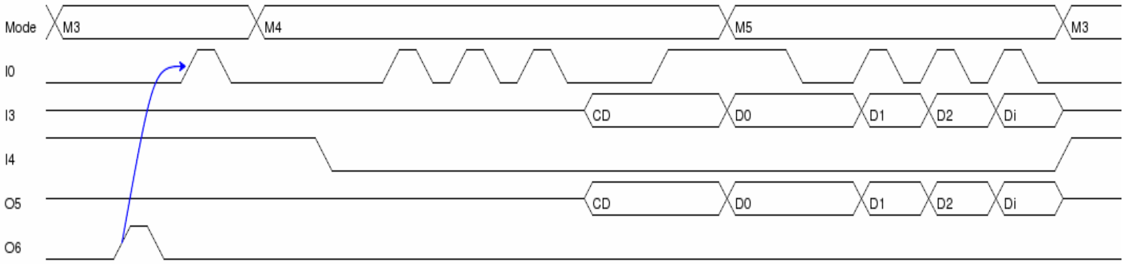

Mode
I0
I3
I4
O5
O6
M3
M4
M5
M3
CD
D0
D1
D2
Di
CD
D0
D1
D2
Di

図 4.15: VA32TA6 のイベント待ち、A/D 変換、データ読み出しのタイミングチャート [18]。

Name	# of bits	Contents
Start bit	1	Always 1, which indicates the start of the chip data.
Chip data bit	1	1 if there is any data in the chip, 0 if no data.
SEU bit	1	1 if a SEU event occurred since the last lead-out.
Channel data bit	1 per channel	In the current ASIC, these will all be 1. In a future version of the ASIC, this bit will be 1 if there is any data in the channel, 0 if no data. All 32 channel bits come before the Channel ADC bits.
Common mode noise data	10	Contents of common mode noise register.
Channel ADC bit	10 per readout channel	ADC counts. All 32 channels.
Reference channel	10	Dummy channel pedestal, to monitor pedestal shifts due to temperature etc.
Stop bit	1	Always 1, which indicate the end of the chip data.

表 4.4: VA32TA6 の出力データフォーマット [18]。

4.4.2 読み出しシステムの実際

VA32TA6 は Front-End Card (FEC) と呼ばれる基板に実装して使用する。FEC には VA32TA6 と、バイアス電流を供給する回路、電源用バイパスコンデンサなどが実装されている。現在三菱重工業 (MHI) で製作されている VA32TA6 用の FEC では、VA32TA6 を 2 チップ搭載することができるが、まずは 1 チップの VA32TA6 が搭載されている FEC を用いて読み出しシステムの開発を行った。図 4.16 に FEC の写真を示す。また、将来的に SpaceWire をベースにしたシステムを構築することになるため、読み出しシステムは SpaceWire Digital I/O Board を利用して作成した。

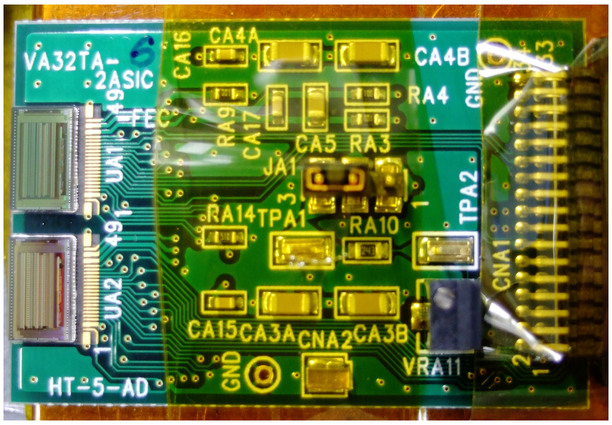

VA32TA-
2ASIC
FEC
UAT1
UA2
HT-5-AD
CA16
CA4A
CA4B
GND
RA4
RA9
CA17
CA5
RA3
JA1
TPA2
RA14
TPA1
RA10
CNA1
CA15
CA3A
CNA2
CA3B
VRA11
GND

図 4.16: VA32TA6 が搭載された FEC の写真。この FEC には VA32TA6 が 2 チップ搭載されている

VA32TA6 のディジタルインターフェイスは、通常の 5 V や 3.3 V の CMOS レベルとは異なり、チップの電源電圧である-2 V から+1.5 V の範囲で動作する。そのため、FPGA などのデバイスと接続するためには、電圧レベルを変換する必要がある。FEC にはそのような機能は搭載されていないため、Digital I/O Board と接続するために、信号変換基板が必要になる。今回使用した信号変換基板は、汎用の SpaceWire FADC Board と組み合わせて VA32TA などを読み出すために製作された基板であるが、VA32TA6 の新しいインターフェイスにも流用することができる。また、信号変換基板には、チップに供給する電源を生成する回路や、テスト信号を生成する回路なども搭載されている。汎用 FADC Board にはこの信号変換基板と直接フラットケーブルで接続できるコネクタが搭載されていたのだが、今回は諸事情から Digital I/O Board を使用したので、信号変換基板と直接接続することができなかった。そこで、コネクタ変換基板を用いて、DIgital I/O Board の Lemo コネクタに接続できるようにした。図 4.17 に、信号変換基板とコネクタ変換基板の写真を、図 4.18 に全体のセットアップを示す。

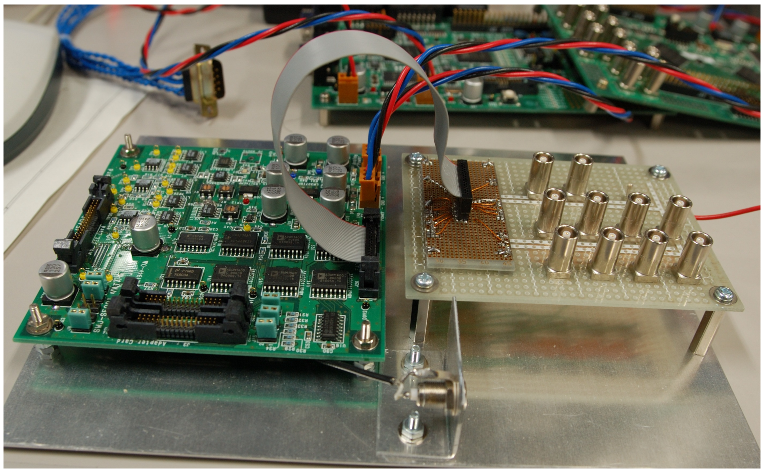


図 4.17: 信号変換基板とコネクタ変換基板。

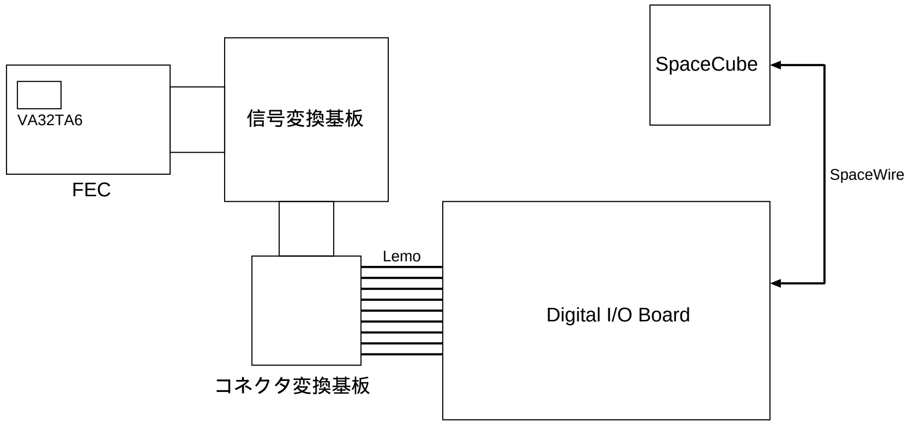

VA32TA6
FEC
信号変換基板
SpaceCube
SpaceWire
Lemo
Digital I/O Board
コネクタ変換基板

図 4.18: VA32TA6 読み出しシステム。FEC、信号変換基板、コネクタ変換基板、Digital I/O Board、SpaceCube で構成されている。

以上のようなセットアップを組み、前述の読み出しシーケンスを行う回路を Digital I/O Board 上の User FPGA に実装した。しかしながら、VA32TA6 のマニュアルにはあいまいな部分や実際の動作と異なった記述があったため、実際に FPGA に実装した読み出しシーケンスは前述のものと若干異なっている。まず、設定レジスタに書き込む際、データをラッチするタイミングがクロックの立上りなのか立ち下がりなのかがあいまいであったため、データがホールドされている間にクロックの立上りと立ち下がりが両方来るようにした。また、データを収集する際にも、信号の極性などが一部異なっていたため修正した。最終的に実装したロジックのタイミングチャートを図 4.19 と図 4.20 に示す。開発した読み出しシステムでは、チップのレジスタ値、peaking time などを全て SpaceWire を通して SpaceCube で設定できる。また、読み出されたデータは、現在のところバッファリングなどせずに 1 イベントごとに SpaceCube から読みに来る仕様となっている。

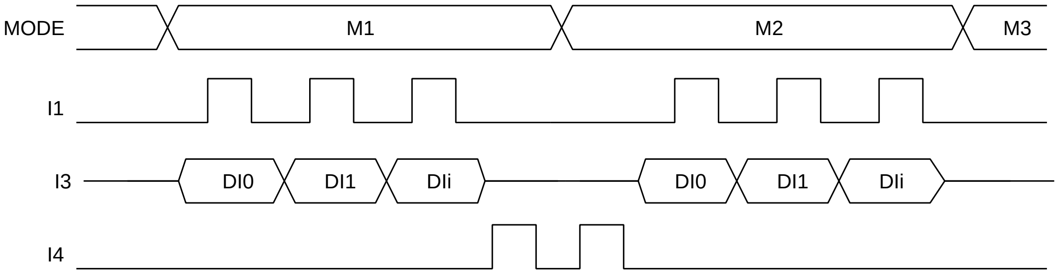

MODE
M1
M2
M3
I1
I3
DI0
DI1
DIi
DI0
DI1
DIi
I4

図 4.19: 実際に実装された VA32TA6 のレジスタ設定、リードバックタイミングチャート。

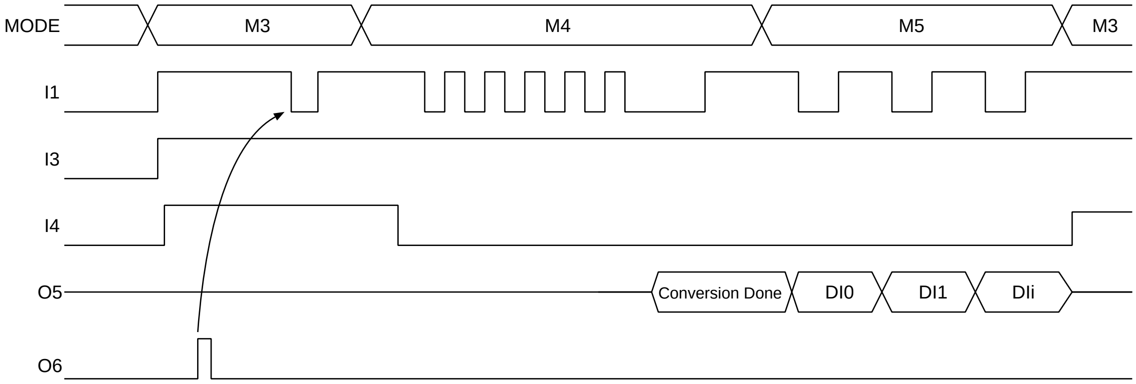


図 4.20: 実際に実装された VA32TA6 のイベント待ち、A/D 変換、データ読み出しのタイミングチャート。

4.4.3 半導体検出器の読み出し

ISAS/JAXA 高橋研の渡辺らによって、私が開発した FPGA の回路を元に、広島大学で構築した読み出しシステムと同じ物が構築され、VA32TA6 の評価に使用された。ここでは ISAS で行われた VA32TA6 の評価で、実際に CdTe Pad 検出器を接続し、信号を読み出した例を示す。

まず、図 4.21 に ^{241}Am と ^{57}Co のスペクトルを示す。10 bit の ADC なので 1023 ch まであるため、ややゲインが不足しているが、今回はこれ以上ゲインを上げることができなかった。ウィルキンソン型 ADC の場合は Conversion clock にゲインが比例するので、Conversion clock の周波数を上げれば良いのだが、今回は 7.4 MHz が上限で、これ以上の周波数を入力すると正しく A/D 変換できなかった。次に、^{241}Am、^{133}Ba、^{109}Cd、^{57}Co の横軸をエネルギーに直したスペクトルを図 4.22 に示す。このスペクトルからエネルギー分解能が、14.4 keV で 1.2 keV、59.5 keV で 1.4 keV、122 keV で 1.9 keV などと求められた。これは従来の読み出しシステムで得られていた値と同等の結果である。また、図 4.23 のようにリニアリティも測定されており、ゲインがやや小さ過ぎるものの、リニアリティに大きな問題は見られなかった。

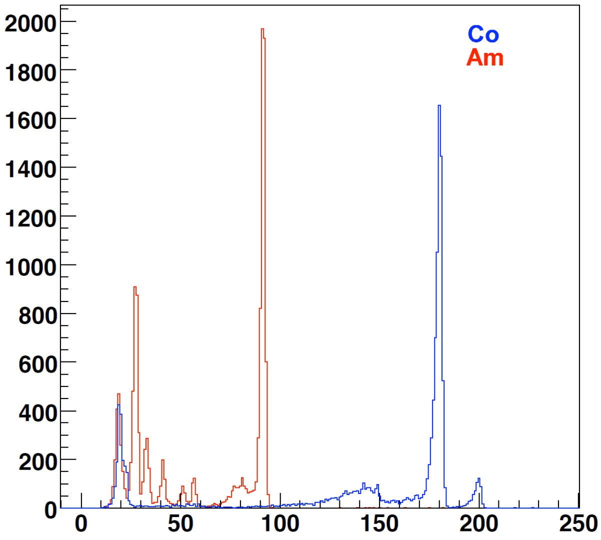


図 4.21: VA32TA6 と CdTe Pad 検出器により得られた ^{241}Am と ^{57}Co のスペクトル (1 ch 分)。

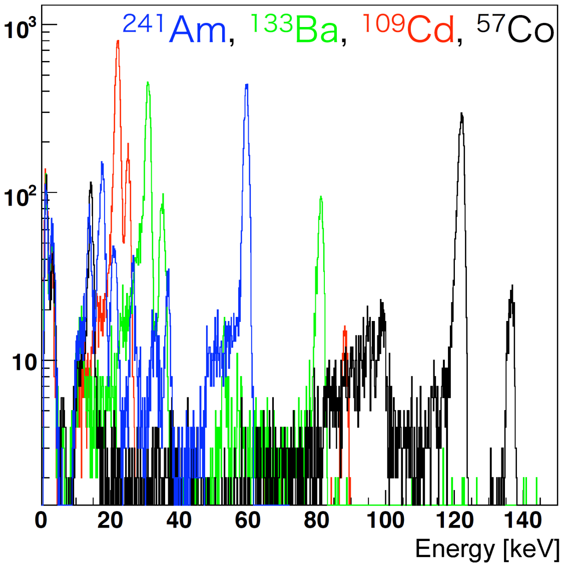


図 4.22: VA32TA6 と CdTe Pad 検出器により得られた ^{241}Am、^{133}Ba、 ^{109}Cd、^{57}Co のスペクトル。横軸はエネルギーに直してある。

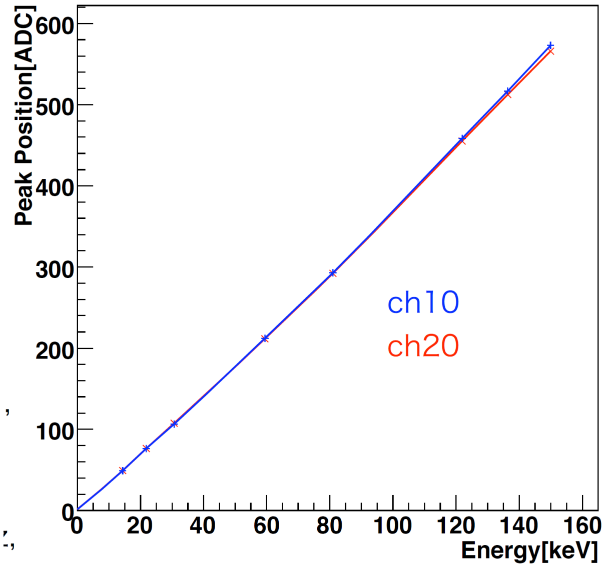


図 4.23: VA32TA6 のリニアリティ。ゲインが不足気味だがリニアリティに大きな問題は無い。

4.4.4 Xilinx 版 FADC Board への移植

これまで Digital I/O Board を用いて VA32TA6 の読み出しシステムを開発してきたが、Digital I/O Board と信号変換基板との間にコネクタ変換基板が必要であった。そこで、新たに直接信号変換基板に接続できるコネクタを備えた Xilinx 版 FADC Board と呼ばれるボードが製作された。そこで、Digital I/O Board で動作していた読み出しシステムを、新しいボードに移植する作業を行った。なお、このボードには ADC も搭載されているが、VA32TA6 の読み出しでは Digital I/O の機能だけを使うため、ADC は使用しない。図 4.24 に Xilinx 版 FADC Board を使用したセットアップの全体写真を示す。今回は基本的に FPGA のピンアサインの変更のみで対応できるため、回路に大きな変更は加えられていない。ただ、今まで Digital I/O Board から信号変換基板への配線を減らすために VA32TA6 の制御信号以外の配線は接続されていなかったが、今回から全ての配線が FPGA に接続されたたため、今まで使用できなかった信号変換基板上の回路を制御できるようになった。そこで、テスト信号を生成する DAC の制御回路を新たに User FPGA に実装した。図 4.25 に DAC を FPGA から制御して生成した波形を示す。

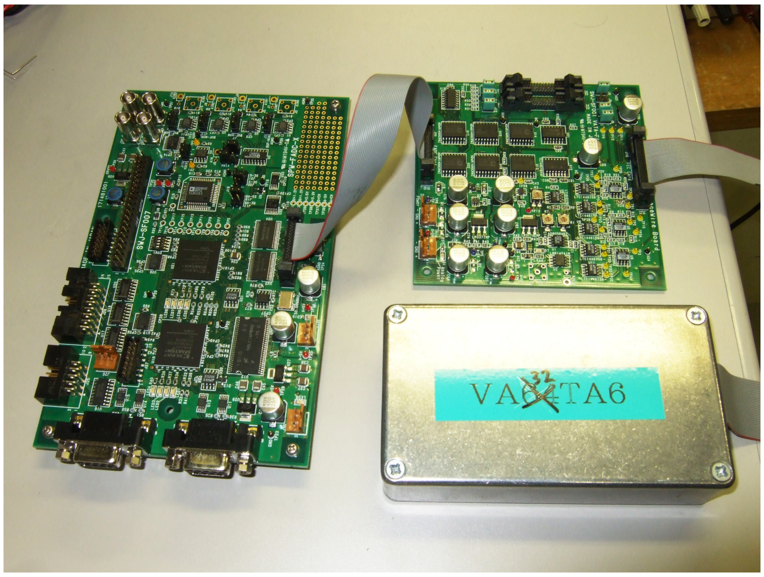
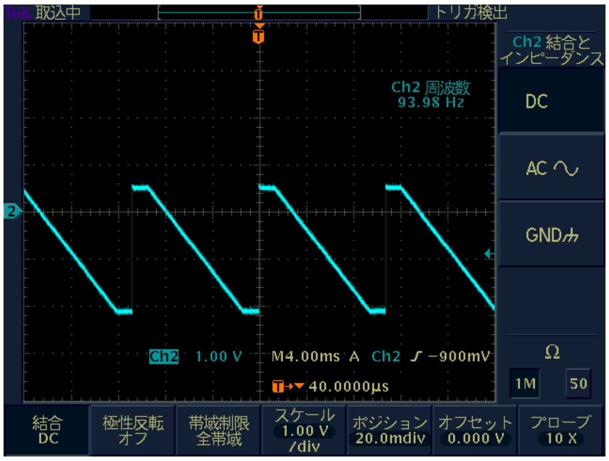


図 4.24: Xilinx 版 FADC Board を使用した VA32TA6 読み出しシステム。



Ch2 周波数 93.98 Hz

Ch2 1.00 V M4.00ms A Ch2 ⨍ −900mV

T→▼ 40.0000µs

結合 DC

極性反転 オフ

帯域制限 全帯域

スケール 1.00 V /div

ポジション 20.0mdiv

オフセット 0.000 V

プローブ 10 X

図 4.25: 信号変換基板上の DAC で生成したテスト信号波形。

4.4.5 まとめと今後

以上のように、今回新たに VA32TA6 の読み出しシステムを開発した。開発した読み出しシステムは実際に ISAS/JAXA にて VA32TA6 の評価試験で使用され、正しく動作することが確かめられた。本システムを用いて行われた評価試験の結果は、既にチップの製造元である IDEAS 社に報告され、次のバージョンの ASIC 開発に反映される予定である。

現在、このシステムでは 1 チップの VA32TA6 しか読み出せないが、数千チャンネルにも及ぶ半導体検出器の読み出しに使用するには、多数のチップを同時に読み出す必要がある。VA32TA6 自体は、ディジーチェーン接続と呼ばれる方法でチップを複数個接続することができ、さらに多チャンネルの読み出しに対応することができるが、今回開発した

VA32TA6の読み出しシステムではディジーチェーン接続による読み出しには対応していない。そこで、今後の課題としては2チップ以上のチップを読み出せるようにシステムに改修を加えなければならない。1チップの時と複数チップの時で基本的な読み出しシーケンスは変わらないため、それほど大きな改修をすること無く多チップに対応できる見込みで、今後早急に作業を開始したい。

第5章　まとめと課題

本研究では、現在開発が進められている衛星搭載機器間通信インターフェイスの世界統一規格であるSpaceWireを用いて、2つのデータ収集システムの開発を行った。1つは世界初の本格的X線偏光観測を目指す、気球搭載用硬X線偏光計PoGOLiteのデータ収集システム。もう1つは、NeXT衛星搭載のHXI/SGD検出器に使用される半導体検出器多チャンネル読み出しASICの試作品、VA32TA6の読み出しシステムである。

PoGOLiteについては、SpaceWireベースのデータ収集システムで最も重要なハードウェアであるSpaceWire FADC Boardの立ち上げを行い、PDCとSASで共通に必要となる機能のFPGAへの実装を行った。また、SASの重要な機能の1つであるガンマ線バックグラウンドモニタ用のヒストグラム生成ロジックの開発を行い、大阪大学RCNPにて、上空で予想される荷電粒子バックグラウンド中での動作を確認するための陽子ビーム照射試験を行った。その結果、不具合が発見されたもののソフトウェアによるシミュレーションで不具合原因を突き止め、ロジックに修正を加えることで荷電粒子中でも問題無くガンマ線バックグラウンドスペクトルを生成できることを確認した。また、新たに製作されたプロトタイプ検出器と、私が立ち上げたFADC Boardに、植野らがPDC用の個別機能を実装したデータ収集システムを用い、KEK-PFにてX線偏光測定試験を行った。このビーム試験はフライト用とほぼ同じ構成のデータ収集システムを使った初めての試験であったが、システムは良好に動作し、X線偏光を測定することに成功した。測定結果はシミュレーションや過去に市販のデータ収集装置を使って得られていた結果と比較しても遜色無く、我々が開発しているSpaceWireベースのデータ収集システムのコンセプトが正しいことが確かめられた。このようにPoGOLiteのデータ収集システムで核となる技術については順調に開発が進んでいるが、今後はユニット数を増やした検出器での試験が予定されており、データ収集システムの規模を拡大してゆくとともに、未実装の機能に付いても開発を進めてゆかなければならない。

もう一方のVA32TA6の読み出しシステムであるが、SpaceWire Digital I/O Board上のFPGAに読み出しシステムを実装し、1つのVA32TA6の制御、読み出しを行うことに成功した。この読み出しシステムはISAS/JAXAでVA32TA6の評価に用いられ、その結果は新たなバージョンの半導体検出器読み出しASIC開発に反映される予定である。現在、このシステムでは1つのチップしか読み出すことができないが、数千チャンネルにも及ぶ半導体検出器の読み出しには、複数のチップを同時に読み出す必要がある。そのため、2つ以上のチップ読み出しに対応したシステムに改修し、今後行われるASIC、検出器の評価に備えておく必要がある。

謝辞

本研究を進めるにあたり、大杉教授には私たちが快適に研究活動ができるよう御尽力していただき、大変御世話になりました。また、指導教官である深澤准教授には、お忙しい中にもかかわらず毎回丁寧に指導していただき、深く感謝します。水野さんにはPoGOについて大変熱心に指導していただくとともに、海外出張中はまともなご飯を食べられるところに連れていっていただきました。ひろたかさんには毎回的確なアドバイスをいただくとともに、ポケモンジェットやSASの絵はがきをいただきました。ありがとうございました。安田さんには、4年生の時からDSSDの基礎に始まり、ロッジの宿泊予約まで教えていただきました。秋葉原のKFCに行ったことはなぜか忘れることができません。ありがとうございました。西野君には研究関連で何かとお世話になったりなられたりしましたが、お世話になられた方が多かったような気がします。一人でも無事に飛行機に乗れることを祈っています。ありがとうございました。吉田君には、特にPoGO関連で何かとお世話になりました。また、芋羊羹いつもありがとうございました。研究を引き継いでもらう松岡君には、大変熱心に取り組んでもらえました。今後に期待します。また、PoGOのテーマソングにも期待しています。

ISAS/JAXAの高橋教授には、研究面で熱心に指導して頂くとともに、ISAS滞在中は何かと気に掛けていただきました。深く感謝します。また、渡辺さんにはVA32TA6の読み出しで大変御世話になりました。国分准教授、武田さん、小高君にも研究面で様々なアドバイスを頂きました。ありがとうございました。そのほか、岸下さん、牛尾さん、勝田さんを始め、高橋研のみなさんには本当にお世話になりました。特に小高君、武田さんをトリガーとして、しょっちゅう飲み会に連れていってもらったような気がします。ありがとうございました。また、秘書の梶山さんには事務手続きで大変御世話になりました。深く感謝します。

東工大河合研の片岡さん、植野さん、有本さん、金井さんには、PoGOの実験で大変御世話になりました。特に植野さんにはDAQ開発でお世話になるとともに、東工大周辺のおいしいお店に連れていって頂きました。深く感謝します。そのほか、河合研のみなさまには大変お世話になりました。ありがとうございました。また、SLACの田島先生、大阪大学の能町教授、東京大学牧島研の湯浅君には、研究面において大変お世話になりました。深く感謝します。

最後になりましたが、研究室のみなさまには冒頭に挙げた以外にも、公私ともども大変御世話になりました。深く感謝します。

参考文献

[1] European Cooperation for Space Standardization, Standard ECSS-E-50-12A, “SpaceWire - Links, nodes, routers and networks,” January 2003

[2] Barry M Cook, C Paul H Walker, “SpaceWire and IEEE 1355 Revisited,” International SpaceWire Conference 2007

[3] European Cooperation for Space Standardization, Standard ECSS-E-50-11 Draft F, “Remote memory access protocol,” December 2006

[4] Steve Parkes, Chris McClements, “SpaceWire Remote Memory Access Protocol,” DASIA 2005 Data Systems in Aerospace

[5] シマフジ電機株式会社,“SPW Digital I/O ボード 取扱い説明書,” Ver 0.2

[6] Hirokazu Odaka, Takayuki Yuasa, “SpaceWire のつなげかた TRON 版 SpaceCube 編,” 第 1.0 版, November 2006

[7] Texas Instruments, “8-Channel, 12-Bit, 50MSPS Analog-to-Digital Converter with Serial LVDS Interface,” ADS5271 data sheet

[8] T. Takahshi et al., “Space Cube 2 - an Onboard Computer based on Space Cube Architecture,” International SpaceWire Conference 2007

[9] T. Kamae et al., “PoGOLite - A High Sensitivity Balloon-Borne Soft Gamma-ray Polarimeter,” 2007

[10] T. Mizuno et al., “High Sensitivity Balloon-Borne Hard X-Ray/Soft Gamma-Ray Polarimeter PoGOLite,” 2007 IEEE Nuclear Science Symposium Conference Record

[11] Y. Kanai, “Performance Evaluation of Phoswich Detector Cell for the Balloon-Borne Astronomical Soft Gamma-Ray Polarimeter PoGOLite,” 2007 Master thesis, Tokyo Institute of Technology

[12] T. Kamae et al., 2008 in preparation (overview paper)

[13] 山本 和英,“気球搭載宇宙硬 X 線偏光検出器 PoGOLite の主検出部の開発と性能評価,” 2007 広島大学修士論文

[14] Y. Kanai et al., “Beam test of a prototype phoswich detector assembly for the PoGOLite astronomical soft gamma-ray polarimeter,” 2007

[15] T. Tanaka et al., “Data Acquisition System for the PoGOLite Astronomical Hard X-ray Polarimeter,” 2007 IEEE Nuclear Science Symposium Conference Record

[16] 沢本 直之, “シリコンストリップ検出器のX線応答と多チャンネル読み出し回路のパラメータ調整,” 2004 広島大学 卒業論文

[17] 西野 翔, “NeXT衛星搭載硬X線撮像用両面シリコンストリップ検出器の性能評価,” 2006 広島大学 卒業論文

[18] Gamma Medica-Ideas, “VA32TA6 DOCUMENTATION,” V1R5