かなた望遠鏡用近赤外検出器の読み出しシステムの開発

広島大学 理学研究科 物理科学専攻 M114966 宇井崇紘 高エネルギー宇宙・可視赤外線天文学研究グループ 主査: 川端弘治 副査: 石川健一

2013年02月08日

近年トランジット法を用いた観測によって太陽系外惑星の研究が大きく進展してい る。トランジット法は主星の前を惑星が通過する一次食の観測や、惑星が主星の裏側に 隠れる事による二次食の観測の事で、その食の光度変動や食のタイミングから惑星の半 径や温度、軌道周期などが求められる。しかし、食による光度変動は1%程度以下と小 さく、食のタイミングを正確に求める為には、測光精度と時間分解能の良い観測が必要 となる。我々は 2006 年度より可視近赤外線同時カメラ「HONIR」の開発を行ってき た。HONIR は可視バンドと近赤外バンドでの同時観測が可能な装置で、系外惑星トラ ンジットなどの時間変動天体に対して有効である。これまで、近赤外線検出器の読み出 しは名古屋大学で開発された「MACS2」を介して行っていたが、高速読み出し(16ch) に対応していないこと、および開発後10年以上が経過しており運用面で懸念があるこ とから、我々は新しい近赤外線検出器読み出しシステムの開発に着手した。新しい読み 出しシステムは、東京大学天文学教育研究センターで開発され、木曽観測所で運用実績 のある CCD 読み出しシステム「KAC (Kiso Array Controller)」をモデルとし、それ を我々が所有する近赤外線検出器用に改修するという方針で設計に着手した。新しいシ ステムでは16ch 出力に対応し、高速読み出しが可能となる。これにより約4倍の読み 出し速度を実現する。また、本システムでの新たな試みとして 16ch すべての FET に 定電流を供給するカレントミラー回路も導入している。これにより、検出器の出力信号 に対して広いダイナミックレンジに亘り良好な A/D 変換の線形性を保つことが可能と なる。私はこれらの機能を実現する読み出しシステムを設計、製作した。組み上がった いくつかの基板について、定電流回路の特性や AD 変換のタイミングなどの実測を行 い、設計仕様を満たすことが確認できている。そして 2013 年度中に HONIR へ実装し て、よりよい効率での可視近赤外線観測を実現する予定である。

概 要

目 次

1	序論	ĥ 8
	1.1	サイエンス
		1.1.1 太陽系外惑星
		1.1.2 惑星形成メカニズム 11
		1.1.3 惑星進化モデル 14
	1.2	東広島天文台とかなた望遠鏡15
		1.2.1 概要
		1.2.2 かなた望遠鏡の観測装置と仕様 16
	1.3	可視赤外同時カメラ HONIR
	1.4	近赤外線検出器読み出しシステムの問題点と本研究の目的 19
	1.5	新しい赤外線検出器読み出しシステムの開発 21
2	近赤	外線検出器 VIRGO の読み出しシステムの開発 22
	2.1	必要性能
	2.2	新読み出しシステムの概要 23
	2.3	VIRGO 検出器の動作原理と駆動方法 23
		2.3.1 検出器駆動原理 23
		2.3.2 検出器の駆動方法
		2.3.3 検出器の出力信号 27
		2.3.4 4ch 読み出しと 16ch 読み出し 27
		2.3.5 Output Source Follower の駆動方法 28
	2.4	新読み出しシステムの設計 33
		2.4.1 preamp ボードの設計 34
		2.4.2 AD ボードの設計 42
		2.4.3 DRV ボード
		2.4.4 Mother Board \succeq Backplane board $\ldots \ldots \ldots \ldots \ldots \ldots 45$
3	新読	もの出しシステムの評価試験 49
	3.1	PAD Mother Board 単体の動作試験 49
	3.2	preamp ボードの動作試験 50
		3.2.1 preamp ボード入力動作試験 50
		3.2.2 preamp ボード特性 53
		3.2.3 定電流機構の動作試験 55
	3.3	AD ボードの動作試験 57
		3.3.1 3次ベッセルローパスフィルタ特性 58
	3.4	Backplane ボードの出力試験 61
	3.5	DIF Mother Board 単体の出力試験 62

	3.6 3.7 3.8	クロックと DRV ボード出力試験 AD 変換試験	63 65 66
4	まと	めと今後	69
A	アペ	ペンディックス	73
	A.1	現近赤外線検出器読み出しシステム	73
		A.1.1 Messia5	73
		A.1.2 MACS2	74
	A.2	KAC と本読み出しシステムで同様の部分	74
		A.2.1 デジタル処理部の概要	74
		A.2.2 DIO ボード	75
		A.2.3 LVDS ボード	75
	A.3	アナログ処理部	76
	A.4	AD 変換器	77
	A.5	DRV ボード	78
		A.5.1 IF $\vec{x} - \vec{F}$	80
в	回路		82
	2.1	仕様部品と選定部品一覧	94

図目次

1	視線速度法の概念図	9
2	トランジット法の概念図	10
3	GJ758 の周りで発見された惑星候補天体	11
4	重力不安定により惑星が形成されるシミュレーション	12
5	core accretion モデルにより惑星が形成されるシミュレーション	13
6	系外惑星のメカニズム毎の有効温度の惑星進化モデル	14
7	東広島天文台	15
8	かなた望遠鏡	16
9	かなた望遠鏡に取り付けられた装置...........................	17
10	HONIR の筐体内部	18
11	HONIR の図面	18
12	完全空乏層型 CCD(浜松ホトニクス社)	18
13	VIRGO-2k(Reytheon 社)	18
14	近赤外線検出器の読み出し画像 (正常時)	20
15	近赤外線検出器の出力画像 (不具合時)	20

16	ROIC の構造	24
17	Output Source Follower の概略図	25
18	Source Follower による読み出しの概念図	27
19	4ch 読み出しのモードのクロックパターン	28
20	MOSFET の概念図	29
21	Gate 電圧が印加され channel が形成された状態の MOSFET	30
22	MOSFET の channel 形成によって流れるドレイン電流	30
23	FET の特性	31
24	MOSFET が飽和状態となった時の概念図	32
25	読み出しシステム全体の概略図	34
26	preamp ボード写真	35
27	差動入力増幅回路の回路図	36
28	非反転増幅回路	37
29	完全差動化回路	37
30	定電流回路	39
31	カレントミラー回路の概念図	41
32	FET の I_{ds} - V_{ds} 特性曲線	42
33	AD ボードの写真	43
34	3次ベッセルフィルターの回路図	44
01		
35	PAD Mother Board と DIF Mother Board の入力試験	45
35 36	PAD Mother Board と DIF Mother Board の入力試験	45
35 36	PAD Mother Board と DIF Mother Board の入力試験	45 46
35 36 37	PAD Mother Board と DIF Mother Board の入力試験 +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値	45 46 47
35 36 37 38	PAD Mother Board と DIF Mother Board の入力試験 +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値	45 46 47 47
35 36 37 38 39	PAD Mother Board と DIF Mother Board の入力試験 +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値	45 46 47 47 49
35 36 37 38 39 40	PAD Mother Board と DIF Mother Board の入力試験	45 46 47 47 49 50
35 36 37 38 39 40 41	PAD Mother Board と DIF Mother Board の入力試験	45 46 47 47 49 50 51
35 36 37 38 39 40 41 42	PAD Mother Board と DIF Mother Board の入力試験 +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値 電圧モニタの回路図 backplane board の外観図 PAD Mother Board の試験セットアップ preamp ボードの駆動試験のセットアップ ジェネレータ入力電圧と preamp 出力電圧のオシロスコープでの値	45 46 47 47 49 50 51 52
35 36 37 38 39 40 41 42 43	PAD Mother Board と DIF Mother Board の入力試験	45 46 47 47 49 50 51 52 53
35 36 37 38 39 40 41 42 43 44	PAD Mother Board と DIF Mother Board の入力試験	45 46 47 47 49 50 51 52 53 54
 35 36 37 38 39 40 41 42 43 44 45 	PAD Mother Board と DIF Mother Board の入力試験	45 46 47 47 49 50 51 52 53 54 54
35 36 37 38 39 40 41 42 43 44 45 46	PAD Mother Board と DIF Mother Board の入力試験	45 46 47 47 49 50 51 52 53 54 54 55
 35 36 37 38 39 40 41 42 43 44 45 46 47 	PAD Mother Board と DIF Mother Board の入力試験 + +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値	$\begin{array}{c} 45\\ 46\\ 47\\ 47\\ 49\\ 50\\ 51\\ 52\\ 53\\ 54\\ 54\\ 55\\ 56\end{array}$
35 36 37 38 39 40 41 42 43 44 45 46 47 48	PAD Mother Board と DIF Mother Board の入力試験	$\begin{array}{c} 45\\ 46\\ 47\\ 49\\ 50\\ 51\\ 52\\ 53\\ 54\\ 54\\ 55\\ 56\\ 56\\ 56\end{array}$
35 36 37 38 39 40 41 42 43 44 45 46 47 48 49	PAD Mother Board と DIF Mother Board の入力試験 + +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値 電圧モニタの回路図 backplane board の外観図 PAD Mother Board の試験セットアップ preamp ボードの駆動試験のセットアップ preamp ボードの入出力試験のセットアップ ジェネレータ入力電圧と preamp 出力電圧のオシロスコープでの値 preamp ボードの周波数別の波形 preamp ボードの周波数特性 定電流回路駆動試験のセットアップ 定電流回路特性 4ch 全ての定電流特性	$\begin{array}{c} 45\\ 46\\ 47\\ 49\\ 50\\ 51\\ 52\\ 53\\ 54\\ 55\\ 56\\ 56\\ 56\\ 57\\ \end{array}$
35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50	PAD Mother Board と DIF Mother Board の入力試験 +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回 路図と仕様値 ::::::::::::::::::::::::::::::::::::	$\begin{array}{c} 45\\ 46\\ 47\\ 49\\ 50\\ 51\\ 52\\ 53\\ 54\\ 54\\ 55\\ 56\\ 56\\ 57\\ 58\end{array}$
35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51	PAD Mother Board と DIF Mother Board の入力試験	$\begin{array}{c} 45\\ 46\\ 47\\ 49\\ 50\\ 51\\ 52\\ 53\\ 54\\ 55\\ 56\\ 56\\ 56\\ 56\\ 57\\ 58\\ 59\end{array}$

53	フィルタを通した出力波形	60
54	フィルタの周波数特性	61
55	backplaen ボード試験のセットアップ...............	62
56	DIF Mother Board 試験のセットアップ.............	63
57	IF ボード試験のセットアップ	64
58	IF ボードと DRV ボードの出力波形	65
59	AD 変換試験のセットアップ	65
60	AD 変換の入力値とカウント	66
61	デジタル画像とカウントスケール	67
62	DSP ボードと CMC ボード	73
63	MACS2 の写真	74
64	DIO ボード	75
65	LVDS ボードの写真	76
66	AD 変換器の回路図	77
67	AD 変換の動作原理	78
68	DRV ボードの写真	78
69	基準電圧より高い電圧を生成する為の回路	79
70	基準電圧より低い電圧を生成する為の回路	79
71	基準電圧と同電圧を出力する回路	80
72	IF ボード	80
73	preamp ボード回路図 1	83
74	preamp ボード回路図 2	84
75	ad ボード回路図	85
76	drv ボード回路図1	86
77	drv ボード回路図 2	87
78	drv ボード回路図 3	88
79	PAD Mother Board 回路図 1	89
80	PAD Mother Board 回路図 2	90
81	DIF Mother Board 回路図 1	91
82	DIF Mother Board 回路図2	92
83	backplane board 回路図	93

表目次

1	かなた望遠鏡の仕様・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	16
2	CCD 検出器の仕様	19
3	VIRGO 検出器の仕様	19
4	HONIR の仕様	19

5	VIRGO 検出器のバイアス電圧と仕様	26
6	PreAmp ボードで使用した製品一覧	94
7	AD ボードで使用した製品一覧	95
8	Mother Board (ADC) で使用した製品一覧	96
9	Mother Board(DRV)で使用した製品一覧	97
10	DRV ボードで使用した製品一覧	98
11	back plane ボードで使用した製品一覧	99
12	カレントミラー回路に用いる MOSFET の選定品一覧	99

1 序論

私は広島大学宇宙科学センター附属の施設である東広島天文台のかなた望遠鏡を用いて、 太陽系外惑星の観測を目指している。次節ではその目指すサイエンスをその次以降の節で観 測設備についてそれぞれ述べる。

1.1 サイエンス

1.1.1 太陽系外惑星

太陽系外の探査は 1940 年代から行われ、地球がどのようにして誕生したのか、地球の様 な星は宇宙に存在するのか、など一般にも興味深い分野で多くの人々により観測が行われて きた。初めて系外惑星が発見されたのは 1995 年で、ペガサス座 51 番星を主星とする惑星 51Peg b である [1]。この惑星は木星と同じくらいの質量を持ち恒星から非常に近い距離 (太 陽-地球間の距離の 1/200 程度) を公転しているという事が観測から導かれた。このような主 星と惑星とのの位置関係は太陽系とは大きく異なり、観測者達の好奇心を駆り立てた。これ を皮切りに太陽系外惑星の探査は活発に行われるようになり、2013 年 2 月現在では 824 天 体の系外惑星が発見されている [2]。太陽系外惑星の観測方法は (1) 視線速度法、(2) トラン ジット法、(3) 直接撮像法などがある。

視線速度法

現在までに発見されている系外惑星の半分以上が視線速度法によるもので、一番最初に発見 された惑星も視線速度法によるものであった。視線速度法は、主星と惑星が共通重心の回り を運動することにより主星の視線速度の変化を検出する方法である。主星の視線方向の運動 速度に応じて放射される光がドップラーシフトする。その波長のずれを非常に波長分解能の 良い分光観測を行う事で検出する方法である。図1に視線速度法の概念図を示す。



図 1: 視線速度法の概念図 [3]

ドップラーシフトのプロファイルや、周期、主星の質量を用いて、ケプラーの法則などか ら、惑星の質量下限値、軌道長半径、軌道離心率が求められる。

トランジット法

この手法は視線速度法に次いで多く系外惑星が発見されている方法である。トランジット法 は視線方向に対して主星の表面を惑星が掩蔽することによる一次星食や、惑星が主星に掩蔽 され引き起こされる2次惑星食による減光を、測光観測によって捕らえる方法である。以下 にトランジット法の概念図を示す。



図 2: トランジット法の概念図 [3]

このトランジットの起こる周期や、減光率から軌道周期と惑星半径が推定でき、さらに視線速度法と合わせると惑星の質量、軌道傾斜角が決定できることから、惑星の正確な半径や密度が分かり惑星の内部組成を推定することができる。また2次惑星食の減光を観測すると、惑星由来の放射を間接的に推測し、惑星温度を求める事ができる。1次星食は主に可視光で観測されるが、2次惑星食の変動は近赤外線から遠赤外線にかけて大きい為、地上からは主として近赤外域でも地球大気を通して観測可能な近赤外線(1-3µm)によって行われる。しかし、このトランジットによる減光は1%程度以下しかなく、精度の良い観測が必要となる。近年、このトランジット法を用いて若い主星の周りを公転している惑星候補が発見された[8]。このような若い惑星は今まで殆ど観測されておらず、惑星形成メカニズムを解明する上で非常に重要な天体となる。私は東広島天文台で系外惑星のトランジット法を用いて若い惑星に絞り研究を行い、惑星形成メカニズムの解明を目指したいと考えている。(惑星形成メカニズムについては次節参照)

直接撮像法

直接撮像法は大型望遠鏡や補償光学系を用いることにより非常に高い分解能を達成し、コロ ナグラフにより、主星からの光を弱める事で惑星の光を直接的に観測する方法である。直接 撮像法は視線速度法やトランジット法などで観測することのできない主星から離れた惑星を 観測することができる。直接観測することにより、惑星のフラックスから温度が推定され、 継続してモニター観測を行う事により惑星軌道が求められる。直接撮像により観測された 天体は現在32天体発見されている[2]。図3に直接撮像法により検出された惑星候補天体を 示す。



図 3: GJ758の周りで発見された惑星候補天体。干渉計を用いて中心の主星からの光を弱めている。図下の矢印に惑星候補天体。上目盛と右目盛は距離 (AU)、下目盛と左目盛は角度 (arcsec)[4]

1.1.2 惑星形成メカニズム

現在においても地球がどのようにして形成されたのか、惑星がどのようにして形成されて いくのかは明確になっていない。これまでに大きく2つの惑星形成メカニズムが提唱されて いる。disk instability モデルと core accretion モデルである。以下にモデルについて記述す る。

Disk instability モデル

1951年にKuiperによって提唱されたモデルである[10]。この形成メカニズムは原始惑星系 円盤内で重力不安定が起こり、その重力不安定によりガスやダストが集積し、惑星が一気に 作られていくモデルである。これは現在恒星が形成されるモデルに似ており、core accretion モデルに比べて主星から離れた場所で惑星形成されると考えられている。また、このモデル ではガスやダストの持つエネルギーをそのまま保持し惑星が形成される為、惑星の持つ初期 熱量は core accretion モデルで形成される惑星よりも多く、hot start model とも呼ばれる。



図 4: 重力不安定により惑星が形成されるシミュレーション。左上から右下に 1500 年ずつ の間隔でのシュミレーション結果を示している。一番右下の図は初めの状態。縦軸と横軸は 距離 (AU) である。[5]

Core accretion モデル

1985年に林忠四郎によって提唱されたモデルである[6]。この形成メカニズムは原始惑星系 円盤内で初めに原始惑星系円盤内にある微粒子から中心核(core)が形成され、その形成 された中心核の重力により周囲のガスが大量に降着することで惑星が形成されるモデルであ る。このモデルは中心核の成長を含む事から、disk instability モデルよりも惑星が形成され るまでの時間がかかると考えられている。さらにガス降着の際にショックを起こしガスの持 つエネルギーが失われてしまう為、一般的に disk instability モデルよりも有効温度が低く なり、半径も小さくなる。この事から cold start model とも呼ばれる。



図 5: core accretion モデルにより惑星が形成されるシミュレーション。左上から右下へ惑 星が形成される様子を示している。core が形成されると一気に周りのガスの降着が起こり 惑星が形成されている様子が見られる。[7]

これら2つの惑星形成メカニズムのモデル計算では、初期状態(温度や半径など)が大き く異なると考えられているにも関わらず、未だに決着がついていない。これには2つの観測 的な理由が考えられる。一つ目に、若い惑星の発見の困難があげられる、惑星は原始惑星系 円盤内で形成されるが、惑星が形成される段階では、円盤内のガスやダストが豊富に存在す るため直接撮像法などの直接的な観測が難しい。さらに若い惑星が付随する主星は主星自身 の年齢も若い事が多く、若い年齢の恒星はフレアや cold スポット(黒点)によって光度変化 を起こす為、視線速度法やトランジット法などによる間接的な観測も困難である。2つ目に 惑星が進化するにつれて初期状態の差異が縮退する事である。disk instability により形成 された惑星は一般的に core accretion で形成された惑星よりも熱量を多く保持し、半径が大 きいとされているが、一方で半径が大きい為に効率的に放熱が起こり、進化が進むにつれそ の初期状態の差は縮退していく。このような効果は惑星進化モデルとして計算が行われてお り、惑星の年齢が経過すると初期状態の差は縮退してしまう[9]。(惑星進化モデルについて は次節参照)

以上で述べたように現在でも惑星がどのようなメカニズムで形成されたのか、全ての惑星 がどちらか一方のメカニズムにより形成されてきたのか、それとも惑星毎に形成メカニズム が異なっているのか等は明確に理解されていない。若い惑星を観測することができれば、惑 星形成メカニズムを理解する糸口となる。

近年、トランジット法と視線速度法によって若い惑星候補天体が発見されたという報告が あった。新しく見つかった天体の年齢はおよそ 3Myr 程度であると考えられており、仮にこ れが太陽系外惑星であれば発見された惑星の中では最も若い天体となる。

私はこの惑星候補天体を東広島天文台のかなた望遠鏡を用いてトランジット観測をするこ とにより惑星形成メカニズムの解明を目指している。この天体を観測することにより惑星形 成メカニズムが解明できるかについて惑星進化モデルを用いて考察を行った

1.1.3 惑星進化モデル

惑星進化モデルを用いる事で初期状態の違いが惑星進化によってどのように変化して いくかを記述することが可能となる。以下に惑星の質量別の有効温度の時間進化について 示す。



図 6: 系外惑星のメカニズム毎の有効温度の惑星進化モデル。それぞれのメカニズムで初 期質量毎に進化と有効温度の関係を示している。縦軸:惑星有効温度 [K]、横軸:惑星年齢 [Myr]、図中の M_i は木星質量。赤: disk instability モデル、青: core accretion モデル [9]

図からもわかる様に初期質量が重い天体ほど、初期状態の差異が大きく、より後期まで継続する。私が東広島天文台で観測を目指す天体は先行研究より惑星質量が約5M_jで、年齢は3Myr程度である為、現在でも初期状態を保有していると考えられる。

私はこの天体に対して2つの観測を考えている。1つ目に可視・近赤外線による1次星食の測光観測である。今回見つかった惑星候補天体は非常に若く、その主星自体若い為、主星自身が変光している。主星の変光は主に cold spot (黒点)と自転によるもので、cold spot は主星の温度よりも低く、可視光域では大きく減光して観測されるが、近赤外領域では殆ど

差が無く観測することができる為、cold spot による影響を少なくする事が出来る。この為、 近赤外線で若いトランジット天体を観測することは有効である。先行研究では可視光のみで 観測が行われており、惑星自身の変動の補正を行う事でトランジットイベントの検出を行っ ている [8]。そのため、実際のトランジットであるのかがまだ明確ではない。そこで私は可 視・近赤外線で同時に1次星食を撮像することにより先行研究で観測されているイベントが 本当に惑星由来の変動であるのかを確認する。2つ目に近赤外線による2次惑星食の観測で ある。2次惑星食の観測を行う事ができれば惑星温度を推定することができ、惑星進化モデ ルと照らし合わせて、形成メカニズムに制限をつける事が出来る。しかし、このような観測 を行うためには、可視・近赤外線において高い測光精度を達成する必要がある。

広島大学宇宙科学センターでは、東広島天文台のかなた望遠鏡用の可視近赤外線同時撮像 カメラ HONIR(Hiroshima Optical Near InfraRed Camera)の開発を2007年より行ってき た。私はこの装置を用いてこのようなトランジット観測を目指している。次節では東広島天 文台とかなた望遠鏡、観測装置について述べる。

1.2 東広島天文台とかなた望遠鏡

1.2.1 概要

東広島天文台

東広島天文台は東広島市や国立天文台の協力で建設された、宇宙科学センター附属の施設で ある。2006年3月にドームが建設され、翌月4月に国立天文台の赤外シュミレータを移設 し2006年10月から本格的な観測が行われてきた。東広島天文台はRバンドの平均 seeing がFWHM 1.10″であり、国内でも有数の大気の良い環境である。天文台は広島大学から車 で約20分の距離に位置しており、アクセスが容易でほぼ毎夜観測が行われている。



図 7: 東広島天文台

かなた望遠鏡

かなた望遠鏡は2006年に国立天文台からすばる望遠鏡搭載装置のシュミレータとして用い られていた望遠鏡を移設した。かなた望遠鏡は国内望遠鏡では最大クラスの主鏡(直径1.5m) を持ち、駆動速度が速い(方位速度5度/秒、高度速度2度/秒)という特徴をもっており、 突発天体観測に有効な望遠鏡である。以下にかなた望遠鏡の写真と、仕様を示す。



図 8: かなた望遠鏡

表 1: かなた望遠鏡の仕様

光学系	リッチー・クレティアン系
主鏡の有効径	$1500\mathrm{mm}$
主鏡材	ULE(超低膨張ガラス)
合成 F 値と焦点距離 f	F=12.2, f=18300mm
視野	15'
架台	経緯台
総重量	約 17 トン

1.2.2 かなた望遠鏡の観測装置と仕様

2013年1月現在、かなた望遠鏡には3つの観測装置、HOWPol(Hiroshima One-shot Wide-field Polarimeter)、高速分光器、可視赤外同時カメラ HONIR(Hiroshima Optical and Near-InfraRed camera) が取り付けられている。

HOWPolはナスミス第一焦点に取り付けられた「一露出型広視野偏光撮像装置」で、1露 出で偏光パラメータがすべて導出できるプリズムを用いており、かなた望遠鏡の機動力を活 かしてガンマ線バーストなどの突発天体の偏光撮像で活躍する。観測モードは広視野撮像、 偏光撮像 (広視野型、狭視野型)、分光撮像、偏光分光撮像がある。

高速分光器はナスミスの第二焦点に取り付けられている。高速読み出しが可能な CCD を 搭載することで、最高で 35.8 frame/s の撮像・分光撮像を可能とし、可視光の短時間変動 を追うことに特化した装置である。以下に HOWPol と高速分光器の写真を示す。



図 9: かなた望遠鏡に取り付けられた装置。左: HOWPol、右: 高速分光器

HONIR は本研究において重要である為次節で詳しく説明する。

1.3 可視赤外同時カメラ HONIR

可視赤外同時カメラ HONIR(Hiroshima Optical and Near-InfraRed camera) は広島大学が 2006 年より開発を行っているかなた望遠鏡用の観測装置で、可視検出器が1か所、近赤 外線検出器が2か所に搭載することができ、2つのダイクロイックミラーを用いることで特定の波長のみを反射させて計3つの波長域で同時観測が可能となる。

2013年現在では可視1素子(完全空乏層型CCD。浜松ホトニクス社)、近赤外検出器1素子(VIRGO-2k。Reytheon社)が搭載され、2バンドでの同時観測が可能となっている。以下にHONIR 筐体内の配置と検出器の仕様を示す。



図 10: HONIR の筐体内部。焦点面 (図上部) に分光を行うスリットホイール、各検出器 (図 左部に可視検出器、図下部に近赤外線検出器) の前にバンドを決定するフィルターホイール、 筐体中央に偏光・分光を決定するプリズムホ イールが設置されている。



図 11: HONIR の図面



図 12: 完全空乏層型 CCD(浜松ホトニクス社)



図 13: VIRGO-2k(Reytheon 社)

	完全空乏層型 CCD
ピクセルサイズ	15μ m \times 15μ m
画素数	2048×4096 pixcel
ノイズ	\leq 5 electrons/rms
転送効率	≥ 0.999995
飽和電荷量	≥ 100000 electrons
暗電流	\leq 5electron/pixcel/hour

表 2: CCD 検出器の仕様 [11][12][13]

	VIRGO-2k
ピクセルサイズ	20μ m $ imes 20\mu$ m
画素数	2048×2048 pixcel
ノイズ	$\leq 5 \sim 15$ electrons/rms
飽和電荷量	≥ 400000 electrons
暗電流	\leq 1electron/s
有効感度波長域	$0.9\sim 2.5~\mu$ m
量子効率	$\geq 70~\%~(1\sim 2.4~\mu$ m)

表 3: VIRGO 検出器の仕様 [15]

	可視	近赤外線
タイプ	CCD	HgCdTe
pixcel scale	0.29"/pix	0.29"/pix
視野	$10' \times 10'$	$10^{\circ} \times 10^{\circ}$
filter	B,V,R_c,I_c,Y	Y,J,H,K_s

表 4: HONIR の仕様 [15]

HONIR は 2011 年 10 月 ~2012 年 1 月にかけてかなた望遠鏡に取り付けられ、可視、近赤 外線の 2 バンドでの試験観測が行われた。その時に見つかった課題の中で特に本研究で関連 のある近赤外線の読み出しシステムの問題について次節で述べる。

1.4 近赤外線検出器読み出しシステムの問題点と本研究の目的

2011年10月から2012年1月にかけて、かなた望遠鏡にHONIRを装着し試験観測が行われた。概ね良好な動作を示したが、近赤外線検出器の読み出しにおいて以下2点の不具合

が見つかった。(1) 近赤外線の読み出しノイズが異常に高い(2) 外気温が低温の場合(~0℃) 近赤外線検出器の出力画像が歪む。

(2) について正常に読み出せた時と、異常時に読み出した時の画像を示す。



図 14: 近赤外線検出器の読み出し画像 (正常時) 図 15: 近赤外線検出器の出力画像 (不具合時)

このような画像が歪んで出力される不具合は近赤外線の読み出しのみで起こることから、 近赤外線検出器の読み出しシステムに不具合があると結論づけた。また、近赤外線検出器の 読み出しボード (MACS2) をヒートガンで温めたところ、検出器からの出力が正常に戻った ことから読み出しボードの問題であることが明らかとなった。この画像の歪みの原因として は読み出しボードに搭載されている FPGA という電子回路が低温下で動作しなくなり、ク ロックパターンが少しずつ遅れ、結果的に出力画像が曲るという事であった。幸い代替の FPGA の素子があったため修復が行われ改善されたが、近赤外線検出器読み出しシステム のアナログ部である MACS2 は 10 年以上前に作成されたもので、既に廃番となっている素 子も多く、今後の安定した運用が懸念される。また、MACS2 では 16ch ポートの同時読み 出しに対応していない為、VIRGOの高速読み出しの機能を使いきれていないという課題も あった。このような運用上の問題を解決するために、広島大学では新しく近赤外線の読み出 しシステムを開発することなった。私はこの読み出しシステムの開発を担当し、開発作業を 進めている。新しく開発する読み出しシステムは、(1)、(2)の不具合を改善するのみでなく、 (3) VIRGO 検出器の高速読み出し、(4) 検出器線形性の向上も併せて行い、検出器性能を十 分発揮出来る様に読み出しシステムを開発し、私の目指すトランジット観測に必要な精度も 満たすように設計を行う。

1.5 新しい赤外線検出器読み出しシステムの開発

新しく作成する近赤外線読み出しシステムは東京大学木曽観測所で運用実績のある汎用 CCD 読み出しシステム KAC(Kiso Array Controller)をベースとして設計を行う。KAC は 可視光用の読み出しシステムである為、開発を行う近赤外線の読み出しシステムとは少し異 なる。そこで、KAC から最小単位の改修を行う事で VIRGO 検出器に対応させ、迅速かつ 確実な開発を目指す。次章では本システムの設計について詳しく述べる。

2 近赤外線検出器 VIRGO の読み出しシステムの開発

HONIR の試験観測の結果、近赤外線検出器の読み出し不具合や原因不明の高ノイズなど 問題が見つかり、我々宇宙科学センターではかなた望遠鏡用観測装置 HONIR に搭載する近 赤外線検出器 VIRGO の読み出しシステムを新しく開発することになった。この新読み出し システムの開発は主に私が担当することになり、トランジット観測に必要な精度を目指して 着手した。

2.1 必要性能

新読み出しシステムは以下4つの方針で開発を行う。(1). 低温下での安定駆動、(2) 高速 読み出し対応、(3) 低ノイズ読み出し、(4) 広いダイナミックレンジに渡る線形性の確保。

低温下での安定駆動

本読み出しシステムは-20 ℃で駆動実績のある汎用 CCD 読み出しシステム KAC をベース として、最小限の改修を行い VIRGO 検出器対応させ低温下での安定駆動が可能なよう設計 した。

高速読み出し対応

VIRGO 検出器の 16ch 高速読み出しに対応させるため、16ch 分の入力を同時に AD 変換処 理できる様設計を行った。高速読み出しに対応させることで、現読み出しシステムの約4倍 の読み出し速度を実現し観測における時間効率改善を行う。

低ノイズ読み出し

KACに用いられている完全差動入力回路、3次ローパスフィルタなどのノイズ除去機構を そのまま導入し、設計に用いる素子も市販されている物の中から低ノイズな素子を選出し開 発を行った。目標値として、読み出しシステム単体のノイズ値が VIRGO 検出器のノイズの 仕様値 5electron~15electron を下回る値を目指した。

広いダイナミックレンジに渡る線形性の確保

検出器からの出力信号は output source follower と呼ばれる MOSFET を介して行われる。 MOSFET は定電流を供給して駆動を行う。本読み出しシステムでは定電流回路を導入し、 MOSFET の駆動が低ノイズで高い線形性を保つよう設計した。広いダイナミックレンジに 渡り線形性が確保されると、検出器の視野内に存在する暗い星から明るい星まで精度の良い 測光が可能となる。

2.2 新読み出しシステムの概要

読み出しシステムでは、主に検出器の駆動電圧の生成・供給、クロック信号の生成・伝達、 検出器からの出力信号の増幅やAD変換を行い、デジタルデータのPCへの出力などを行う。

新しい読み出しシステムは東京大学天文学教育研究センターで開発され、木曽観測所で 運用実績のある汎用 CCD 読み出しシステム KAC(Kiso Array Controller)をベースにして、 VIRGO 用の近赤外検出器読み出しシステムへと改修を行う。KAC をベースとしたのは汎 用読み出しシステムとして開発されており、主に市販された製品を用いて開発が行われてい る為導入が容易である事、さらに完全差動入力方式によるコモンモードノイズ除去や3次 ローパスフィルタが導入されており低ノイズ仕様な事などがあげられる。

VIRGO 検出器の仕様に合わせる為には、VIRGO 検出器がどのように駆動しており(駆動に必要な電圧、クロック)、どのような信号を出力するか(出力電圧の値や振幅、周波数など)を理解しなければならない。以下に VIRGO 検出器の仕様を述べていく。

2.3 VIRGO 検出器の動作原理と駆動方法

このセクションでは VIRGO 検出器の動作原理と駆動方法について説明する。

2.3.1 検出器駆動原理

VIRGO 検出器は Raytheon 社製の 2k × 2k ピクセルの近赤外線検出器アレイである。 VIRGO は HgCdTe 受光部と、ROIC(Readout Integrated Circuit)と呼ばれる回路部がイ ンジウムによりバンプされ形成されている。ROIC は FET で構成された読み出し回路がア レイ状に形成され、HgCdTe 受光部で発生した電荷は Readout Unit Cell のコンデンサに蓄 積される。そして電圧情報は ROIC 内でスイッチされた後に Output Source Follower と呼 ばれる出力回路へ伝達され、読み出しシステムへと出力される。

ROIC (Readout Source Follower)

ROIC は VIRGO の読み出しアレイのスイッチングや読み出しシステムへの出力などを行っている回路部である。ROIC の構造を以下に示す。



図 16: ROIC の構造 [16]

ROIC は Readout Unit Cell と呼ばれるスイッチング回路と Output Source follower と呼 ばれる読み出し回路、さらにそれらを繋いでいるバスラインから構成されている。

Readout Unit Cell は 2 つのスイッチング FET と内部信号を Output Source Follower へ 伝達する FET の計 3 つの FET から構成されている。スイッチングの ON,OFF はマスター クロックに同期して行われ、バスラインを通じて 1 つのピクセルの電荷が Output Source Follower へ出力されると、内部 FET のスイッチが OFF となり次のピクセルのスイッチを ON にする、これを繰り返してそれぞれのピクセルが保持している電荷量を次々と output source follower へ出力する。

Output Source Follower

Output Source Follower は検出器信号を検出器外部 (読み出しシステム) へ伝達する役割を 担う回路で、MOSFET により構成されている。Output Source Follower の概略図を以下に 示す。



図 17: Output Source Follower の概略図

VIRGO 検出器には 16 か所に output source follower が存在し、検出器アレイ 2048 × 2048pixel は Output Source Follower が担当する読み出しブロックに分かれてそれぞれの Output Source Follower を通して読み出しシステムへ出力される。

2.3.2 検出器の駆動方法

VIRGO 検出器の駆動には2つのクロック信号、3つの制御ライン、2つの電流源と13の バイアス電圧が必要となる。以下にその仕様を示す。

クロック

・pmc:マスタークロックで読み出しピクセルの切り替えなどを行う。仕様は200kHzの0V-4Vの50%duty clock。

・FrameStart:読み出しを開始する為のクロック。仕様は0-4Vのクロック。

制御ライン

・reduceOut:4ch・16ch 読み出しを決定する制御ライン。読み出し開始時にこの電圧がlow(0V)の時には16ch 高速読み出し、high(4V)の時には4ch 読み出しを行う。

・ucRstSel:global reset ・row reset を選択する制御線。読み出し開始時にこの電圧が low(0V) の時には Row-by-Row reset となり、high(4V) の時には global reset となる。Row-by-Row reset は1 ピクセルずつリセットが行われるモードで、global reset は一気にすべてのピクセルがリセットされるモードである。

・ucRstEn:読み出しの際にピクセルの電荷をリセットするか、そのまま保持するかを選択 する制御線。読み出し開始時にこの電圧が low(0V) であれば読み出しを行った後もピクセ ルの電荷を保持する、high(4V) の時には読み出しを行った後そのピクセルをリセットする。 電荷を保持する読み出しは非破壊読み出しと呼ばれ、マルチサンプリング法 (同じ電荷値を 複数回読み出し、平均化することによりノイズを下げるデータ取得方法) に用いられる。

電流源

・iIdle:検出器の2048列すべてにiIdle電流を流す為のカレントミラーに供給する電圧。仕 様値は-2.21V で200k Ωの抵抗を用いて約20uAの電流を流す。

・iSlew:検出器の 2048 列すべてに iSlew 電流を流す為のカレントミラーに供給する電圧。 仕様値は-3.12V で 50k Ωの抵抗を用いて約 10uA の電流を流す。

バイアス電圧

13のバイアス電圧について、必要な電圧と簡単な役割を次の表で示す。

名前	電圧値	解説	
Vsub	0 V	検出器のグラウンド	
vpUc	$3.5 \mathrm{V}$	Colum 用の電流源	
vnUc	1.0V	単位セルのリターン	
vnOut	$2.5 \mathrm{V}$	出力ソースフォロアのリターン	
vdetCom	$1.0 \mathrm{V}$	検出器のリファレンス電圧	
vrstUc	0 V	単位セルのリセット電圧	
vpD	4.0V	デジタル電源	
vnD	0.0V	デジタルリターン	
vCas	3.0V	デジタルカスケード電圧	
vhReset	4.0V	デジタル回路 Positive Rail(High)	
vloReset	0.0V	デジタル回路 Negative Rail(Low)	
vhiRowEn	5.0 V	デジタル保護回路の上限電圧	
vloRowEn	1.0 V	デジタル保護回路の下限電圧	

表 5: VIRGO 検出器のバイアス電圧と仕様 [15]

2.3.3 検出器の出力信号

VIRGO 検出器のピクセルに貯められた電荷は検出器の読み出し回路部 ROIC(Readout Integrated Circuit)を通して外部読み出しシステムへ出力される。検出器信号は ROIC を通して約 3V のオフセット電圧がかかり、約 3.4V~4.4V の電圧値となって読み出しシステムへ出力される。検出器信号は一ピクセル毎に pmc(マスタークロック)に同期して出力されるため、検出器信号の周波数は pmc のクロック周波数と同じになる。

2.3.4 4ch 読み出しと 16ch 読み出し

VIRGO 検出器の読み出しは制御線「Reduceout」により 4ch 読み出しと 16ch 読み出しが 決定される。4ch モードが選択された場合には4 つの Output Source Follower を通して 2048 × 2048 pixel の読み出しが行われ、16ch モードの場合には 16 の Output Source Follower により 2048 × 2048 pixel の読み出しが行われる。以下に検出器アレイの読み出しブロック の概念を示す。



図 18: 左: 4ch 読み出しの場合の概念図、右: 16ch 読み出しの場合の概念図

読み出しは「Framestart」クロックが入力されることで開始される。「Framestart」ク ロックは必ず「pmc」クロックの立ち上がりを含む様に入力しなければならない、「Frame start」と「pmc」の両方が high になった時の制御ラインの状態(high or low)を元に読み 出しモードが決定される。「Framestart」クロックが low になった後、「pmc」クロックの立 上がり、立下がり時にピクセルを次々読み出していく。例えば 4ch 読み出しの場合には、1 行の 512pixel を一番左の pixel から右へ読み出していき 512pixel 全てを読み出すと、次の行 に進み一番左の pixel から同じように読み出していく。この時に、1 行の読み出しは 512pixel 以外にも内部的に前2ピクセル、後4ピクセル分に reference pixel と呼ばれる検出器の暗電 流量に相当するデータを出力する。reference pixel の差し引きを行う事で暗電流の効果を補 正することが可能となる。結果、1行で518pixel 分のデータが読み出され、これが2048行 に渡り行われると、最後に2049行目の clamp 回路に接続され読み出しが完了する。以下に 4ch 出力時の読み出しクロックと読み出しの概念を示す。



図 19:4ch 読み出しのモードのクロックパターン [15]

読み出しに必要な時間は output source follower が読み出しを行うピクセル数に「pmc」 クロックの周期をかけ合わせたものとなる。現在我々の設定では、「pmc」クロックの周波 数を約 120kHz に設定しており、4ch 読み出しの為、Output Source Follower の担当ピクセ ル数は 512 である事から約 4.7 秒程度の読み出し時間がかかる。新しく作製する読み出しシ ステムでは 16ch 高速読み出しに対応させることで、Output Source Follower の担当するピ クセル数が 128 に減るため読み出し時間が約 1.2s に向上する。

2.3.5 Output Source Follower の駆動方法

VIRGO 検出器の Output source follower は P-Channel MOSFET を用いた回路構成が とられている。この MOSFET には読み出しシステムから電流を供給し駆動を行う。低ノ イズ読み出し、広いダイナミックレンジに渡る線形性を確保するためには Output Source Follower を適切に駆動する必要がある。このセクションでは Output Source Follower の駆 動原理について詳しく説明する。

MOSFET

MOSFET は Metal-Oxide-Semiconductor Field-Effect Transistor の頭文字で、電界効果ト ランジスタ (FET) の一種である。MOSFET は Output Source Follower で用いられている だけでなく、本読み出しシステムで定電流回路やカレントミラー回路にも使用するため、こ こで詳しく説明する。MOSFET の概念図を次に示す。



図 20: 左: N-Channel MOSFET の概念図、右: P-Channel MOSFET の概念図 [17]

MOSFET は gate、source、drain の 3 つの端子と body と呼ばれる半導体部で構成されて おり、gate 端子は酸化シリコン膜により、source 端子や drain 端子、body とは絶縁されて いる。電子でキャリアの移動を行う N-Channel MOSFET(NMOS) と、正孔によりキャリア の移動を行う P-Channel MOSFET(PMOS) が存在するが、ここでは N-Channel MOSFET について述べていく。NMOS の source, drain 端子は N 型半導体で形成されており body は P 型半導体で形成されている。Body は内部的に source 端子と接続されており body と source は同電位になる。gate に正電圧を印加した場合には source, drain の間に電子キャリ アが集まり channel と呼ばれる電流の通り道を形成する。Channel ができる最小 gate 電圧 をスレッショルド電圧 (Vth) と呼ぶ。



図 21: Gate 電圧が印加され channel が形成された状態の MOSFET

Channel が形成されると、drain 、source 間に電流が流れるようになる、この電流を Drain 電流と呼ぶ。gate 電圧が V_{th} 以上であれば Drain 電流が流れ、Gate 電圧が V_{th} 以下の時に は Drain 電流が流れない。このような性質を利用して MOSFET はスイッチング回路として も利用される。



図 22: 左: Gate 端子に正電圧が印加され、形成された channel に Drain 電流が流れている 様子、右: Gate 端子に電圧がかかっていない場合

Drain 電流 (I_{ds}) と Drain-Source 間電圧 (V_{ds})、Gate-Source 間電圧 (V_{gs})の関係は FET 特性と呼ばれ、以下に示すグラフの様になる。



図 23: 左:ドレイン電流 (I_{ds}) vs ゲート-ソース間電圧 (V_{gs}) 右:ドレイン電流 (I_{ds}) vs ドレイン-ス間電圧 (V_{ds}) 、 V_{th} はスレッショルド電圧

左のグラフは V_{gs} がスレッショルド電圧を超えた時に channel が形成され、電流が流れる 様子が示されている。右のグラフは I_{ds} と V_{ds} の関係を示している。 V_{gs} がスレッショルド 電圧を超えている時に、ドレイン電流は V_{ds} を印加していくと増加していくが、あるところ まで V_{ds} を増加させると飽和状態となりドレイン電流がそれ以上増加しなくなる。これは、 Gate 電圧と Drain 電圧の電位差がスレッショルド電圧 (V_{th}) 以下となった時に channel が gate、drain 端子の部分で消滅してしまう為である。



図 24: MOSFET が飽和状態となった時の概念図。Drain-Gate 間電圧が V_{th} 以下になった時、channel が消滅してしまい電流がそれ以上流れなくなる。)、 V_{th} はスレッショルド電圧

channel が消滅するまでの領域を線形領域、channel が消滅する V_{ds} した後の領域を飽和 状態と呼び、それぞれ条件式は、

線形領域の条件式:
$$V_{ds} - V_{qs} > V_{th}$$

飽和領域の条件式:
$$V_{ds} - V_{qs} < V_{th}$$

と書き表わせる。そしてそれぞれの領域において Drain 電流の方程式は以下の様に記述できる。

線形領域

$$I_{ds} = \frac{W}{2L} \mu C_{ox} [(V_{gs} - V_{th}) V_{ds} - V_{ds}^2/2]$$

飽和領域

$$I_{ds} = \frac{W}{2L} \mu C_{ox} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds})$$

(μ :電子の移動度 Cox:酸化膜容量 W,L:channelの幅と長さ、 λ : 微小項)

飽和領域のドレイン電流は λ 項が微小であるため、 V_{gs} で決定された電流が流れる。この性質を利用し定電流回路に用いられたり、カレントミラー回路に使われたりする。

Output Source Follower 回路は MOSFET の gate に入力した信号を gain~1 で source に 出力するアンプ回路である。(図 2 参照) これは、gate 端子に電圧が入力されると、gate 電 圧に比例して MOSFET の内部コンダクタンス g_m が決定される事によるもので、MOSFET の drain-source 間に一定の電流値 (I_{ds})を供給していれば、MOSFET の内部コンダクタン スに従い、検出器の出力電圧 V_{output} は

$$V_{output} = I_d \times 1/g_m + VnOut$$

として表わされる $(1/g_m \propto V_{gs})$ 。検出器のシグナルはこの VnOut 電圧と V_{output} 電圧の差 分を取ることでコモンモードノイズを除去し読み出す事ができる。今後検出器の Output 電 圧を V_{output} 、VnOut 電圧を $V_{reference}$ とする。

MOSFET に電流を供給する方法は以下2つの方法がある。(1)大きな電圧と抵抗を介し 電流を供給する方法、(2)定電流回路から電流を供給する方法。

大きな電圧と抵抗を介し電流を供給する方法

大きな電圧と抵抗を介して電流を供給する方法の利点は簡単に設計可能な事である。大きな 抵抗値と電圧値を用いることで検出器信号の変動による電流値変化を減少するため、おおよ そ一定の電流を供給できる。現読み出しシステムではこの方法を用いており、10Vの電圧と 33k Ωの抵抗により電流供給を行っている。しかし、この方法は大きな抵抗値を用いる為、 抵抗で発生するジョンソンノイズが大きくなり、さらに現設定では電流値も最大約20%近 く変動することになり、検出器からの線形性は悪化する。

定電流回路から電流を供給する方法

定電流回路から電流を供給する利点は抵抗を介さずに電流供給できるため低ノイズを実現で きる事、さらに検出器信号に影響せず定電流が供給できる為、広いダイナミックレンジに渡 り線形性を確保できる点にある。しかし、定電流回路は OP アンプ、MOSFET などを用い た複雑な回路構成となる。本読み出しシステムは低ノイズ読み出し、線形性の確保の為、定 電流回路により Output Source Follower に電流を供給する設計とした。

2.4 新読み出しシステムの設計

新読み出しシステムはこれまでの VIRGO 検出器の駆動電圧や出力信号の情報などを元 に、KAC から改修を行っていく。以下に KAC と新しく作製する読み出しシステムの概略図 を示す。主に新しい読み出しシステムではアナログ処理部、デジタル処理部に分けられる。 デジタル処理部では汎用 linux PC や DIO ボード、LVDS ボードで構成されており、アナロ グ処理部では preamp ボード+AD ボードの検出器信号を処理する部分と、DRV ボードと IF ボードによる検出器の駆動電圧を処理する部分に分けられる。



図 25: 読み出しシステム全体の概略図。上: KAC システム、下:新しい読み出しシステム。 新しい読み出しシステムの赤枠で囲んだ部分が今回改修を行った部分

KACから VIRGO 検出器に対応させるため改修は大きく4点行った。(1)preamp ボードの改修、(2)AD ボードの改修、(3)DRV ボードの改修、(4)16ch 対応に改修。デジタル処理 部はKAC と同じ物を用いることで迅速かつ高性能な開発を行う。デジタル処理部の説明は APX 参照。以下、4点の改修設計について説明する。

2.4.1 preamp ボードの設計

本読み出しシステムの preamp ボードは検出器信号のオフセット成分を補正する為の差動 入力増幅回路を導入しており、後段回路を低電圧駆動できるように設計を行い、さらに KAC で導入されている完全差動化回路をそのまま導入し、コモンモードノイズの除去を前段アン プで行う。前段アンプの早い段階でノイズを除去することにより回路全体での低ノイズ化を 実現する。また、検出器の出力信号の線形性を改善させるために、Output Source Follower へ供給する定電流回路も導入している。



図 26: 左: preamp ボード表、右: preamp ボード裏

preamp ボードは差動入力増幅回路、完全差動化回路、定電流回路、カレントミラー回路 により構成されている。

差動入力増幅回路

VIRGO 検出器からの Output 信号は 3V 程度の offset 電圧がかかっており、そのまま増幅 すると offset 成分も含めて増幅され、後段回路に高電圧が入力される為、OP アンプでの消 費電力が大きくなり発熱などの問題が発生する。これを解消するために、本読み出しシステ ムでは信号増幅に差動入力増幅回路を用いて offset 電圧を下げた上で増幅を行う。



図 27: 差動入力増幅回路の回路図。Voutput、Vreference はそれぞれ検出器からのシグナル、 Voff1、Voff2 はオフセット電圧

OP アンプは内部回路により、プラス入力の電圧とマイナス入力の電圧が同じになるよう 設計されている。この時電流 I_1 、 I'_1 はそれぞれ V_{output} , V_{off1} , R_1 、 $V_{reference}$, V_{off2} , R'_1 を用いて

$$I = V_{off1} - V_{output}/R_1$$
$$I' = V_{off2} - V_{reference}/R'_1$$

とあらわす事が出来る。また、Vout、Vref はそれぞれの電圧を用いて

$$V_{out} = \frac{R_2}{R_1} \left\{ \left(1 + \frac{R_1}{R_2} \right) V_{output} - V_{off1} \right\}$$
$$V_{ref} = \frac{R'_2}{R'_1} \left\{ \left(1 + \frac{R'_1}{R'_2} \right) V_{reference} - V_{off2} \right\}$$

と記述でき、offset 分が減少して増幅される。 R_1 、 R_2 、 R'_1 、 R'_2 を変更することにより増幅 率の変更を行う事ができるが、コモンモードノイズを除去するためには Vout と Vref が全く 同じ増幅率でないと効果がない為、 $R_1 \ge R'_1$ 、 $R_2 \ge R'_2$ の抵抗値は高精度で同じ値に設定す る必要がある。今回作製した回路の増幅率は AD 変換器の変換レンジ 0~3V に収まる範囲で より大きな増幅率となるよう設定を行った。さらに定抵抗は 0.05% の精密抵抗を用いるこ とで、 $V_{out} \ge V_{ref}$ の増幅率を一致させた。

検出器で発生する offset 電圧は検出器温度などに依存し変動する為、差動入力増幅回路に 入力する Offset 電圧は様々な電圧値が入力できるよう設計を行った。以下に offset 電圧作製 の回路を示す。


図 28: オフセット電圧を作製する OP アンプの非反転増幅回路。OP アンプの+入力に V_+ (基準電圧)を印加する。

この回路で流れる電流 $I_1(A)$ は電圧 $V_-(V)$ と抵抗 $R_1(\Omega)$ を用いて、 $I_1=V_-/R_1=V_+/R_1$ となる。これにより、出力電圧は入力電圧 V_+ と抵抗 R_1, R_2 、可変抵抗 $T_1(\Omega)$ を用いて

$$V_{out} = \left(V_{+} + (R_{2} + T_{1}) \frac{V_{+}}{R_{1}} \right)$$
$$= V_{+} \left(1 + \frac{R_{2} + T_{1}}{R_{1}} \right)$$

と記述できる。可変抵抗により offset 電圧を調整できるよう設計しており、実験によって offset 電圧値(可変抵抗の値)を決定する。

完全差動化回路

完全差動化回路により、前段の差動入力増幅回路から出力された検出器信号 Vout、Vref の差動化を行う。完全差動化を行う事により前段での増幅率を稼ぐ事ができ、さらにコモンモードノイズ除去が可能となる。この回路は2つの OP アンプで構成する。



図 29: 完全差動化回路。Vout、Vref は差動入力増幅回路で増幅された検出器信号

 V_{out} と V_{ref} を OP アンプのマイナス入力、プラス入力に入力し、2 段目の OP アンプの V_{2+} に完全差動の中心となる電圧値を入力する。これにより、 V_{2+} を中心とした完全差動の 出力となる。以下計算式を示す。

OP アンプの仮想接地より

$$V_{1-} = V_{1+}$$
 (1)

$$V_{2-} = V_{2+}$$
 (2)

(1)(2) 式が得られ、さらに、図 16 で記述している電流値、抵抗値、電圧値を用いて

$$I_1 = \frac{V_{out}}{V_{1-}} \tag{3}$$

$$I_5 = \frac{V_{1+}}{V_{ref}} \tag{4}$$

$$I_2 = \frac{V'_{out} - V'_{ref}}{R_3 + R'_3}$$
(5)

$$V'_{out} = V_{1-} - R_2 I_1 = V_{out} - \frac{V_{out} - V_{1-}}{R_1} (R_1 + R_2)$$
(6)

$$V_{ref}' = V_{1+} - R_2' I_5 = V_{ref} + \frac{V_{1+} - V_{ref}}{R_1'} (R_1' + R_2')$$
(7)

(1)~(7)の式が得られる。完全差動化回路での増幅率を1とするためには、 $R_1=R_2=R'_1=R_2$ 、 $R_3=R'_3$ と設定する必要がある。これを考慮して計算を行うと、 V'_{out} 、 V'_{ref} は V_{out} 、 V_{ref} 、 V_{2+} を用いて

$$V'_{out} = V_{2+} - \frac{V_{out} - V_{ref}}{2}$$
(8)

$$V_{ref}' = V_{2+} + \frac{V_{out} - V_{ref}}{2}$$
(9)

(8)(9) 式のように表わせる。この式からもわかる様に完全差動化回路の出力 V'_{out} 、 V'_{ref} は V_{2+} を中心に完全差動になる。本読み出しシステムで採用されている素子の入力可能電圧レンジの最も小さい AD 変換器 (0 ~ 3V) に合わせて、差動中心を 1.5V に設定した。

Output Source Follower 駆動の定電流回路

定電流回路は検出器信号が変動しても一定の電流を流すことのできる回路設計をしなければ ならない。本システムでは OP アンプと N-Channel MOSFET(NMOS) により構成された定 電流回路を用いた。以下に定電流回路の概念図を示す。



図 30: 定電流回路。OP アンプの+入力に V_{in} を入力し、NMOS の source 端子と OP アン プのー入力を接続させ、gate 端子と OP アンプの出力 (V_{out})を接続させる。また、source 端 子は抵抗を介してグラウンドに接地する。

この回路では V_D が変動しても I_{ds} に V_{in} と R_1 で決定されるような定電流が流れる。動作原理について説明する。まず、オペアンプの式は

$$V_{out} = A(V_{+} - V_{-}) \tag{10}$$

(A は内部増幅率で典型的な OP アンプの値は A~ 10^6) で表わせる。さらに MOSFET の飽 和電流の式は

$$I_{ds} = \frac{W}{2L} \mu C_{ox} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds})$$
(11)

である。ここで用いられている Vqs は

$$V_{gs} = V_{gate} - V_{source} \tag{12}$$

と分解でき、OP アンプの V_- 、 V_{out} を用いて

$$V_{qate} = V_{out} \tag{13}$$

$$V_{source} = V_{-} \tag{14}$$

となる。さらに V_- 、 V_s は電流値 I_{ds} と R_1 を用いて

$$V_{-} = V_s = I_{ds} \times R_1 \tag{15}$$

と書ける。これらの式と(10)~(15)式を合わせると Ids は

$$I_{ds} = \frac{-\{2B(\frac{R}{A}+R)(\frac{V_{th}}{A}-V_{+})-\frac{1+\lambda V_{ds}}{A^{2}}\}}{2B(\frac{R}{A}+R)}$$

$$\pm \frac{\sqrt{\{2B(\frac{R}{A}+R)(\frac{V_{th}}{A}-V_{+})-\frac{1+\lambda V_{ds}}{A^{2}}\}^{2}-4(\frac{R}{A}+R)^{2}B^{2}(V_{+}-\frac{V_{th}}{A})^{2}}{2B(\frac{R}{A}+R)}}{2B(\frac{R}{A}+R)}$$
(16)

(16) 式のように表わされ、この時 A が非常に大きく λ が微小な事から (16) 式は以下のよう に近似できる。

$$I_{ds} = \frac{V_+}{R_1} \tag{17}$$

これより、 V_D が FET の飽和条件を満たす範囲で変動しても、 I_{ds} には定電流が流れる事がわかる。定電流回路に用いる FET は V_D がどの程度変動するかを考慮して選定を行った。また、Output Source Follower の駆動電流である 200 μ A の定電流を供給するために、OP アンプの V_+ に+3V、 R_1 を 15k Ω に設定した。

今回のシステムでは全ての Output Source Follower の FET に定電流を供給するため、定 電流回路による電流をカレントントミラー回路により複製する事とした。カレントミラー回 路を用いることにより、OP アンプの数を減らし回路全体の消費電力を抑える事が出来る。

カレントミラー回路

カレントミラー回路は MOSFET を用いた電流複製回路のことである。カレントミラー回路 は N-Channel MOSFET によって構成された電流シンク型 (電流引き込み型) と P-Channel MOSFET によって構成された電流ソース型 (電流出力型) が存在する。今回は Output Source Follower に電流を供給するため、電流ソース型を用いる。カレントミラー回路の概念図を次 に示す。



図 31: カレントミラー回路の概念図。 V_{sup} は外部から供給する電源で I_d は元となる定電流、 $\Gamma_d \sim \Gamma_d^{""}$ は複製された定電流。 $V'_d \sim V'''_d$ は定電流を入力する先の電圧。本システムの場合には Output Source Follower MOSFET の source 電圧が V_d に相当する。

カレントミラー回路は図 16 のような構成となっており、① ~ ⑤ で記述されている MOS-FET は全て同じ型の FET を用いる必要がある。

カレントミラー回路の動作原理

カレントミラー回路の動作原理には MOSFET の飽和領域でのドレイン方程式が重要となる。以下ドレイン方程式。

$$I_{ds} = \frac{W}{2L} \mu C_{ox} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds})$$

(各パラメータについては1.3.5 参照)

図 16 中の①の MOSFET と② ~ ⑤の MOSFET は少し役割が異なる。①の FET は gate-drain 端子を接続し、複製したい定電流を drain 端子に供給する。P-Channel MOSFET の場合には gate 端子と drain 端子が同電圧となれば常に飽和条件を満たす。(P-channel MOSFET の飽和条件は $V_{dr} < V_g + |V_{th}|_{\circ}$ ここで V_{th} はスレッショルド電圧、 V_{dr} は drain 電圧、 V_g は gate 電圧) これにより、ドレイン方程式の微小項を無視すると、 I_{ds} を決定する と、 V_{gs} が決定される。その時の I_{ds} - V_{ds} 特性曲線を以下に示す。



図 32: FET の Ids-Vds 特性曲線。Ids を一意に決めると Vas も決定される

② ~ ⑤のFETは①のFETのgate端子とsource端子を接続し V_{gs} を同電圧にする。また、全て同じ型のFETを用いる事により、ドレイン方程式にあるパラメータ、 μ 、Cox、W、L、 V_{th} を①のFETと一致させて、①のFETに供給されている電流と同じ I_{ds} が得られる。しかし、FETの μ 、Cox、W、L、 V_{th} のパラメータは全く同じではなく個体差が存在するため、複製した電流値には若干の差が現れる。より性能の良いカレントミラーを作るためには、複数個のFETを試験し選定を行う必要があるが、本システムにおいてOutput Source Follower に供給する定電流はMOSFETの source 電圧が変化しても電流値が変化しない事が重要で、電流の絶対値については大きく異なっていない限り reference pixcelの差し引きやフラット補正によりその影響を補正すことができる。

定電流回路、カレントミラー回路で用いる FET の選定は以下の事を考慮した。

・Output Source Follower へ流す電流値は約 200uA と微量であることから、低い電流値ま で安定した I_{ds} - V_{gs} 特性を持っているもの。

・drain-source 間の漏れ電流量の小さいもの

市販されている MOSFET にはノイズ値が記載されているものがほとんど無く、相対的にノ イズ値が低くなる小信号用の MOSFET に絞って選定を行った。その結果、P-Channel MOS に Fairchild 社の BSS84、N-Channel MOS に同じく Fairchild 社の 2N7002 を選定した。

2.4.2 AD ボードの設計

AD ボードには高周波ノイズを除去する3次ローパスフィルタが搭載されている。



図 33: 左: AD ボード表、右: AD ボード裏

ローパスフィルタには周波数特性、位相遅延特性の良いベッセルフィルタが採用されており、3次のローパスフィルタを用いることで必要な速度を確保しながらも高いノイズ除去精度を達成する。3次ベッセルローパスフィルタの概念図を以下に示す。



図 34: 3 次ベッセルフィルターの回路図、フィルタの抵抗、コンデンサは図のように $R_1 \sim R'_3$ 、 $C_1 \sim C'_3$ と設定する。 V'_{out} 、 V'_{ref} は前段で増幅された検出器信号、 V_{ocm} は差動中心電圧を入力する。

3次ベッセルローパスフィルタのバンド幅の設定は、VIRGO 検出器信号を AD 変換する サンプリング周期より短くのに十分仕様を満たす様に設定 D 変換のサンプリング周期より 短くなる範囲でできるだけ広く設計し、効率よくノイズ除去を行う。VIRGO 検出器からの 出力信号周波数を決定するマスタークロックは現在約 120kHz に設定されており、AD 変換 のサンプリング周期はその 2 倍の約 240kHz を満たす必要がある。この事から、約 3 μ S 程度 のサンプリング周波数を満たすようなバンド幅に設定しなければならない。この値は KAC で用いられているサンプリング周波数と同じ時間であることから、KAC の設定をそのまま 用いることにした。KAC ではフィルタの抵抗値に関して抵抗で発生するジョンソンノイズ ($\sigma = \sqrt{4K_BTR}\sqrt{BW}$ 、K_B はボルツマン定数、R は抵抗値、BW はバンド幅)がオペア ンプで発生するノイズよりも小さくなる値で最大となるよう設定され、 $R_1 = R'_1 = 1.2k \Omega$ 、 $R_2 = R'_2 = 3.3k \Omega$ 、 $R_3 = R'_3 = 1k \Omega$ 、 $C_1 = C'_1 = 82pF$ 、 $C_2 = C'_2 = 100pF$ 、 $C_3 = C'_3 = 22pF$ として いる。この時の立ち上がり速度は約 1.5 μ s でバンド幅は 1.34MHz となる。

2.4.3 DRV ボード

DRV ボードでは VIRGO 検出器の駆動に必要なバイアスやクロック電圧などを生成し、 検出器に供給する。本システムでは KAC の DRV 部をそのまま用いて、OP アンプの抵抗 値を変化させることで VIRGO 検出器対応させた。詳細は APX 参照。

2.4.4 Mother Board \succeq Backplane board

本読み出しシステムは preamp ボードと AD ボードを daughter board に持つ Mother Board(以下 PAD Mother Board)、DRV ボードと IF ボードを daughter board に持つ Mother Board (以下 DIF Mother Board)の2種類の Mother Board で構成している。



図 35: 左: PAD Mother Board 右: DIF Mother Board

各 Mother Board はボード上でレギュレータにより daughter board 駆動に必要な電圧 を生成する。本システムでは外部電源数を極力減らすよう設計を行い、4つの電圧 (+10V、 +7V、+3.3V、-7V) で全ての読み出しシステムが駆動できる様にした。これらの外部電圧 からレギュレータで+8V、+5V、-5V の安定した定電圧を生成する。+3.3V はアナログ系 の入力電圧の為、フィルタを通して電圧を安定させた後、直接入力する。以下にレギュレー タ回路図を示す。



図 36: +8V 生成用レギュレータ (TEXAS INSTRUMENT 社の TPS7A4501)の回路図と仕 様値 [19]。V_{in} は外部電源からの供給電圧。V_{out} は生成電圧

仕様値にある計算式により、生成電圧 Vout を+8V に設定するためには、

$$\frac{R_2}{R_1} \sim \frac{6.79}{1.21}$$

を満たすような抵抗を選定する必要がある。TPS7A4501の仕様から R_1 が 4.17K Ω 以下に することでノイズ値を最小にすることができる。これらの条件を満たす抵抗値を市販されて いるシリーズ抵抗から選択したところ、 R_1 =16k Ω 、 R_2 =2.7 Ω とが最適値となり、 V_{out} が 約8.4V となるよう設定した。

PAD Mother Board は検出器 8ch 分の処理が行える様に、preamp ボード、AD ボードが2枚ずつ載せられるよう設計を行った。16ch 対応とする為に2枚の PAD Mother Board で読み出しシステム入力部を構成する。

DIF Mother Board では電圧モニタによって生成した電圧を監視し、その結果をDRVボードへ出力する。異常な値を検出した場合にはDRVボードにMON 信号として伝達し、DRVボードの機能が停止し、検出器の保護を行う。

電圧モニタ

電圧モニタには maxim integrated 社の MAX6458 を用いる。本システムでは DIF Mother Board 上で生成されている+8V 電圧と-5V 電圧をモニターする。電圧モニタはプラス電圧 モニタ用とマイナス電圧モニタ用で回路構成が若干異なる。プラス電圧モニタ用の回路構成 を以下に示す。



図 37: 電圧モニタの回路図 [20]

この電圧モニタは V_{in+} 、 V_{in-} にそれぞれスレッショルド電圧 (V_{th+} 、 V_{th-})を持ち、 V_{in+} > V_{th+} 、 V_{in-} < V_{th-} の場合に出力が行われ、その電圧から外れた入力が入ると電圧は出力 されない。これを利用して電圧をモニタする。

backplane board

本読み出しシステムでは PAD Mother Board と DIF Mother Board 間で以下の2つの信号 のやり取りが行われる。

(1)DIF Mother Board から PAD Mother Board へ AD 変換サンプリングクロックの供給。
(2)PAD Mother Board から DIF Mother Board へ検出器信号の AD 変換後のデータ出力。
これらの信号のやり取りを可能にするため、Backplane Board の設計を行った。以下に backplane board の外観図を示す。



図 38: backplane board の外観図

Backplane Board は 3 枚 (PAD Mother Board × 2 と DIF Mother Board)の Mother Board がを取り付ける事が可能で、ボード内でそれぞれ必要な信号線の接続を行っている。

3 新読み出しシステムの評価試験

新読み出しシステムの駆動試験は以下のような項目について行った。

- ・PAD MotherBoard 単体の出力試験
- ・preamp ボードの出力試験
- ・ADボードの出力試験
- ・3次ベッセルローパスフィルタ特性
- · 定電流回路駆動試験
- Backplane ボードの出力試験
- ・PAD Mother Board +preamp ボード+AD ボードの試験
- ・DIF Mother Board 単体の出力試験
- ・AD 変換出力試験
- ・DRV ボード出力試験
- ・ノイズ試験
- それぞれについての実験方法、考察、結果を示す。

3.1 PAD Mother Board 単体の動作試験

この試験では、作製した基板が電気的に同通しているか、レギュレータの生成電圧が設計通 りに出力されるか、出力電流が想定通りの値を出力しているかを確認した。実験はTEXIOの 電源 (PW24-1.5AQ)を用いて DIN96 コネクタを通じ、PAD Mother Board に必要な+10V、 +7V、+3.3V、-7V の電圧供給を行う。TEXIO の安定化電源 (PW24-1.5AQ) は4出力対応 で1台の電源から PAD Mother Board に必要な電圧を供給する。以下に試験のセットアッ プ図を示す。



図 39: PAD Mother Board の試験セットアップ

Mother Board に電圧を印加する際に電流が流れすぎるとボード上のオペアンプや抵抗が 発熱し壊れてしまう恐れがあるため、電流値に気をつけながら電圧を印加する。電源 PW24-1.5AQ には規定電流以上に電流が流れると電源供給を STOP する保護機能があるので、計 算値と見比べ規定電流値を設定し電圧を供給した。Mother Board の出力電圧が指定通りに 出力されているかを確認するため、テスタを用いて電圧値を記録した。結果、Mother Board 内の同通を確認し、全てのレギュレータが設計通りに電圧を生成している事を確認した。

3.2 preamp ボードの動作試験

この試験では、preamp 基板が電気的に同通しているか、PAD Mother Baord から preamp ボードへ正常に電圧供給が行われているか、preamp ボードを取り付けた時の回 路全体の電流値が正常であるか、preamp ボード内で作り出している電圧値やオフセット電 圧が設計通り出力されているかを確認した。preamp ボードの実験は PAD Mother Board に 取り付けて、TEXIO 電源 (PW24-1.5AQ) から PAD Motehr Board に DIN96 コネクタを通 して電圧供給を行う。



図 40: preamp ボードの駆動試験のセットアップ

preamp上の電圧が設計通り値を出力するかをテスタを用いて記録していった。結果、PAD Mother Board から供給される電圧値、preamp ボード上で生成した電圧値が設計通り出力 されている事を確認した。

3.2.1 preamp ボード入力動作試験

preamp ボードに検出器信号から想定される V_{output} と $V_{reference}$ 電圧を印加し、信号が 設計通りオフセット電圧を補正して増幅されているか、完全差動された出力となっているか 実験を行った。この実験には、先のセットアップの他に、preamp ボードの V_{output} に検出 器信号で想定される 3.3V ~ 4.3V のサイン波をジェネレータにより供給し、 $V_{reference}$ に検 出器信号から想定される 2.0V の DC 電圧を電源 (PW18-1.8AQ) を用いて入力した。入力は DSUB9 を通じて行った、セットアップを以下に示す。



図 41: preamp ボードの入出力試験のセットアップ。入力にジェネレータと TEXIO 電源 (PW18-1.8AQ) を用いてサイン波と DC 電圧を入力する。

preamp ボードへの入力値と出力値をオシロスコープにより波形を取得していった。以下 にオシロスコープの波形を示す。



図 42: ジェネレータ入力電圧 (黄色) と preamp 出力電圧 (青) のオシロスコープでの値。上: オフセット調整前、下:オフセット調整後

オシロスコープの波形からも入力した電圧がオフセット補正され増幅されている事が分かる。またこの時オフセット電圧を調整し、AD変換可能レンジである 0V~3V の範囲内に出力されるよう可変抵抗の調整を行った。この時、オフセットの可変抵抗の値を OFF1 \rightarrow 27.9 Ω OFF2 \rightarrow 178.5 Ω とした。以下この抵抗値で実験を進める

完全差動入力試験

次に preamp ボードの出力が完全差動入力になっているかを確認した。以下に、preamp ボードへの入力電圧と出力電圧の波形を示す。



図 43: preamp ボードへ供給する TEXIO 入力電圧 (黄色: V_{output} 、ピンク: $V_{reference}$)と、 増幅・完全差動化された出力電圧 (青: V_{ref} 、緑: V_{out})

オシロスコープの波形から入力した電圧が設計通り 1.5V を中心に完全差動出力している 事が分かる。また、本読み出しシステムの増幅率は約 5.2 倍に設定しており、入力電圧の振 幅が 1V に対して出力電圧の振幅は Vout と Vref の差分で表わされ、5.2V となっており、設 計通りの増幅率を達成している事も確認した。

3.2.2 preamp ボード特性

実際の検出器からは、pmcクロックに同期した出力信号が入力されるため、preampボードの周波数特性を確認した。セットアップは先の入力動作試験と同じである。

Voutput の電圧にジェネレータを用いてサイン波を入力し、周波数を変化させながら出力 電圧を記録していった。以下にオシロスコープの図を示す。



図 44: preamp ボードの周波数別の波形 (黄色:入力電圧、青:出力電圧)。左上:1(画面両端で µs)、右上:10(画面両端で µs)、左下:100(画面両端で µs)、右下:1(画面両端で µs)

オシロスコープの測定値より、入力周波数と gain の関係をプロットした。以下にプロット図を示す。



図 45: preamp ボードの周波数特性。DC 入力時の出力電圧で規格化した。横軸:周波数 [kHz]、縦軸:gain

検出器仕様はおよそ 120kHz であるので、preamp ボードの周波数特性は VIRGO 検出器 の範囲内で gain が変化しない事を確認した。

3.2.3 定電流機構の動作試験

最後に preamp ボードの試験として、定電流機構が上手く動作しているか試験を行った。 この試験の目的は検出器からの入力電圧が変動しても供給する電流値が変動しないかを確か める。

セットアップを以下に示す。



図 46: preamp ボードの定電流回路駆動試験のセットアップ。

定電流機構は定電流回路とカレントミラー回路を合わせたものとなる。以下回路図を示す。



図 47: 定電流機構の回路図。 V_{sup} は外部供給電圧、 V_{output} は検出器出力電圧、 V_{in} と R_1 の設定は2章の定電流回路の設定と同様

外部供給する V_{sup} は preamp ボード内で生成して供給する。 V_{sup} は可変抵抗を用いて電 圧値を変更させることができる。 V_{sup} をある値に設定し、 V_{output} の電圧値を変動させて、 電流値を測定した。以下に V_{sup} に 5.0V、6.9V を印加した時の入力電圧値と電流値について のプロットを示す。電流値はセットアップ図の V_a 、 V_b の電位差と抵抗を用いて算出した。



図 48: 定電流回路特性。横軸:検出器電圧、縦軸:出力電流 [µA]。左: V_{sup} に 6.9V 印加時、右: V_{sup} に 5.0V 印加時

検出器の仕様値は3.3V~4.3Vで、この電圧範囲で定電流を出力する必要がある。この結

果から、V_{sup}に供給する電圧が低いと検出器電圧の全ての範囲に渡って定電流が供給できない事が分かった。V_{sup}が 6.9Vの場合は検出器電圧によらず定電流を出力する事を確認した。この結果から検出器駆動には V_{sup} に 6.9V を採用する。以下に結果を示す。



図 49: 4ch 全ての定電流特性。横軸:検出器電圧、縦軸:出力電流 [µA]。赤:1ch 目に供給 するカレントミラー電流。緑:2ch 目に供給するカレントミラー電流。青:3ch 目に供給す るカレントミラー電流。ピンク:4ch 目に供給するカレントミラー電流

カレントミラー回路の原理のところで述べたように、FET に個体差があるため (チャネル 長やチャネル幅など) それぞれの定電流の絶対値は上下するが、個体別では検出器範囲内で 電圧を変化させても良い定電流性能が出力されている。ch 間の電流量の違いは画像解析時 のフラット補正により除去可能である

3.3 AD ボードの動作試験

AD ボードの動作試験項目は PAD Mother Board から想定した入力電圧がかけられてい るか、AD 基板が設計通り同通しているか、電流値が正常な値を出力しているか、AD ボー ド内でレギュレータにより生成している電圧値が正常に出力されているかを確認する。AD ボードの動作試験も preamp ボードと同様に PAD Mother Board に取り付け、PAD Mother Board へ DIN96 コネクタを通して TEXIO 電源から電圧を供給する。以下にセットアップ を示す。



図 50: AD ボード動作試験のセットアップ

テスタを用いてそれぞれの基板内の電圧値を記録した。結果、ADボードが設計通り同通 しており、ボード内で生成した電圧値も設計通り出力する事を確認した。

3.3.1 3次ベッセルローパスフィルタ特性

AD ボード上に搭載されている 3 次ベッセルローパスフィルタの周波数特性、立ち上がり速 度を測定する。セットアップは、PAD Mother Board に AD ボードと preamp ボードを取り 付け、TEXIO 電源 (PW24-1.5AQ) で電圧供給を行い、入力は TEXIO 電源 (PW18-1.5AQ) とジェネレータを用いて DC 電圧、矩形波・サイン波の入力を行う。以下にセットアップ図 を示す。



図 51: AD ボードのフィルタ試験のセットアップ。

立ち上がり速度は、矩形波を入力し入力電圧とフィルタから出力される電圧をオシロス コープにより確認し評価を行った。以下にオシロスコープによる取得波形を示す。



図 52: 矩形波入力時のフィルタ出力の波形。黄色:入力電圧、青:出力電圧。縦軸:電圧値 (1 目盛 1V)、横軸:時間 (画面両端で 20µs)

フィルタの立ち上がり速度は約1.5µsに設定しており、オシロスコープの波形からも設計 値通りの立ち上がり速度が出力されている事を確認した。次に、周波数特性を求めるため に、サイン波を入れ、周波数を変えながら gain の変化を調べた。以下にオシロスコープで 得られた波形を示す。



図 53: フィルタを通した出力の入力周波数別波形 (黄色:入力電圧、青:出力電圧)。左上: 1kHz(画面両端で4ms)、右上:10kHz(画面両端で400µs)、中左:100kHz(画面両端で40µs)、 中右:200kHz(画面両端で20µs)、左下:600kHz(画面両端で10µs)、右下:1MHz(画面両端 で4µs)

この時の周波数特性を以下に示す。



図 54: フィルタの周波数特性

この周波数特性から出器仕様である120kHz で gain の変化は起こらず、検出器駆動性能 を満たす事が確認できた。

以上の AD ボードの試験により、AD ボード全体を通して検出器駆動に必要な性能を達成している。

3.4 Backplane ボードの出力試験

Backplane ボードは Mother Board が 3 枚差し込めるような設計となっており (PAD Mother Board × 2枚と DIF Mother Board 1枚)、DSUB9 によって外部から電源を入力で きるよう設計している。Backplane ボードの試験は外部電源から印加された電圧がコネク タを通して Mother Board に必要な電圧を出力しているかチェックを行った。以下にセット アップを示す。



図 55: backplane ボード試験のセットアップ。

テスタによって、それぞれのコネクタ端子が正しく同通し電圧を供給している事を確認した。さらにそれぞれの Mother Board を取り付け、Mother Board に電圧が供給されているかをテスタで確かめ、必要電圧が Backplane Board で生成され、Mother Board に供給されていた。以下の実験では Mother Board を backplane ボードに取り付けて試験を行う。

3.5 DIF Mother Board 単体の出力試験

DIF Mother Board の試験は backplane ボードに取り付けた状態で行う。Backplane ボードから電圧を印加し、DIF Mother Board の同通チェック、電流値が正常であるか、電圧値が正しく出力されているか、電圧モニタが正しく動作しているか確認を行った。以下にセットアップを示す。



図 56: DIF Mother Board 動作試験のセットアップ。

テスタによりそれぞれの電圧値を記録していった結果、DIF Mother Board は設計通りに 同通しており、基板上のジェネレータにより生成された電圧が正常に出力されている事が確 かめられた。

電圧モニタ

電圧モニタが異常な電圧を検出した場合にはボード上のLEDが点灯するよう設計しており、 LED点灯の有無で電圧モニタが正常に動作しているか確認した。本試験では電圧モニタに 入力する電圧値を変化させていき、設定した値で電圧モニタが反応するか確認を行った。 電圧モニタの設定は入力電圧が設計値よりも±1.5V以上の電圧が入力された場合に異常

電圧モータの設定は八万電圧が設計値よりもエ1.5V以上の電圧が八万された場合に共常 信号を出力しているようにしており、設定通り入力電圧が±1.5V以上離れた入力が行われ た場合にLED ランプ点灯を確認し、電圧モニタが正常に動作している事を確認した。

3.6 クロックと DRV ボード出力試験

IF ボードと DRV ボードを DIF Mother Board に取り付けそれぞれのボードに正しく電圧 が供給できているか、基板の同通が正しく接続されているか、ボード内で生成した電圧値が 正しく出力されているかをテスタを用いて測定した。以下セットアップを示す。



図 57: IF ボード動作試験のセットアップ。

それぞれの基板に供給される電圧値、基板上で生成する電圧が設計通りに供給、出力され ており、基板内の配線も全て設計通りである事を確認した。

次に IF ボードに PC でプログラムしたクロックパターンを送り、指定した通りのクロッ クが IF ボードから出力されているか確認を行った。IF ボードについては、KAC で用いら れている既存の物を用いており、今回は、PC でプログラムした波形パターン正常に出力さ れるかオシロスコープにより確認を行った。それぞれのクロックに PC から異なったクロッ クパターンを入力し、指定した通りのクロックパターンが IF ボードから出力されているか をオシロスコープを用いて確認した。正常にクロックを読み出せているか、オシロスコープ を用いて確認した。結果、IF ボードのクロック信号が PC でプログラムしたクロック周波 数を正常に出力している事を確認した。IF ボードで管理する5 つのクロックは「pmc」、 「Framestart」、「ucRstSel」、「ucRstEn」、「cnv」を制御するクロックで、「cnv」以 外の管理クロックは DRV ボードへ出力し、DRV ボードで作製した電圧がクロックに同期し て検出器へ入力される。「cnv」は AD 変換のトリガクロックで AD ボードへ入力される。

IF ボードで生成されたクロックに同期して DRV ボードが出力しているかをオシロスコー プを用いて確認した。以下に1つの出力信号「pmc」についてクロック波形と出力信号につ いて示す。



図 58: IF ボード入力 (pmc clock) と DRV ボード出力 (pmc 出力) 波形。黄色: IF ボード電 圧、青: DRV ボード出力電圧

この結果から、クロック信号に同期し、DRVボード内で生成した電圧が素早く立ち上がっている事を確認した。DRVボードの立ち上がり速度は100ns程度で検出器駆動に十分な速度である。

3.7 AD 変換試験

AD 変換は IF ボードから AD 変換トリガ信号「cnv」を AD 変換器が受信する事でデジタ ル変換が行われる。本システムで用いている AD 変換器は入力された 2 つの信号の差分を デジタル変換する差動 AD 変換器で、検出器信号の Voutput と Vreference の差分を 16bit 信 号として出力する。AD 変換の試験として、入力電圧とデジタル出力データの応答の試験を 行った。試験のセットアップはまず、DIF Mother Board と PAD Mother Board にそれぞ れ、preamp ボード、AD ボード、IF ボードを取り付け、back plane ボードから電源を供給 し、入力にはテクシオ電源を用いて、preamp ボードに電圧を印加する。以下に試験セット アップを示す。



図 59: AD 変換試験のセットアップ。

PCから IF ボードへ AD 変換のトリガ信号「cnv」を入力すると、backplane board を通 じて AD ボードへ伝達される。トリガ信号を受信すると、その時 AD 変換器に入力されてい る検出器信号の値を元にデジタルの 16bit データとして出力する。この 16bit データをオシ ロスコープにより確認し、10 進数に変換し、カウント値として算出する。入力電圧の値を 変化させながら AD 変換された後のデジタルデータのカウント値を確認し、ゲインの測定、 線形性の試験を行った。以下に試験結果を示す。



図 60: AD 変換の入力電圧とカウント。縦軸:デジタル出力値、横軸:入力電圧値。(赤ポ イントが実測値で、緑がフィットを行ったもの)

実測した傾きからゲインが求められる。その結果、ゲインは preamp ボードで設計した通りに約 5.2 倍になっている。これにより AD 変換が正常に行われる事を確認し、16bit 信号の広い範囲に渡り線形性が保たれている事を確認した。

3.8 ノイズ試験

ノイズの試験は AD 変換によって出力されたデジタル信号を画像データ化し、その画像の カウント (ADU) の揺らぎからノイズ値を調べる。以下にデジタル信号から生成した画像を 示す。



図 61: ボード出力デジタル信号を画像にしたもの (4port の出力データ)。画像下:カウントのスケール。

本実験では4chから画像データを出力しており、画像データは4つのブロックでそれぞ れ ADU がオフセットを履いた様な状態で出力されている。これらの違いはそれぞれ別の channel から読み出されたデータであり、それぞれ異なった OP アンプ、AD 変換器などを 用いることにより発生する誤差である。これらの差異はフラット補正を行う事でキャンセル できる。

AD 変換器は+3V -3V のアナログ電圧を 16bit のデジタル信号に変換しており、本読み 出しシステムの preamp の増幅率は約5.2 倍で、1ADU あたり約15 μ V となっている。画像 データの揺らぎは0.9 ~ 1ADU 程度で13 μ V ~ 15 μ V のノイズを伴っている。これらのノ イズ値は検出器の量子効率 (2 μ V/electron)を考慮し electron 換算すると 7~8 electron とな る。検出器自体のノイズの仕様値がおよそ 5~15 electron で、読み出し回路のノイズは検出 器の仕様値に比べて同程度かそれ以下であるので、読み出しには殆ど影響を与えない。しか し、より高い精度を達成させるためには、目標である検出器の仕様値以下する必要があり、 さらなる改良を行う。

今回の実験から、現在の読み出し回路のノイズはオフセット電圧を形成している OP アン プで発生しているものが支配的であることが分かった。この対策として、(1) オフセット電 圧を印加する直前に非常にバンド幅の広いローパスフィルタを形成し、ホワイトノイズの高 周波成分をカットする。(2) 仕様している OP アンプをな Fsi ものに変更し、OP アンプ由来 のノイズを減少させる。事などが考えられる。今後、新しく読み出しボードを作製する際に は以下の点を改修し、より低ノイズ読み出しを実現させる。

以上で述べたように読み出し回路全体の動作試験により、今回開発したシステムはVIRGO 検出器を駆動するのに十分な性能を有することが確認された。読み出しノイズについてはさ らなる改良加える。今後はVIRGO検出器のROIC部のみのマルチプレクサーと呼ばれる素 子を用いて、駆動試験を予定している。さらにその試験から得られた不具合を改修・再設計 を行い本番検出器のテストへ移行する予定である。

4 まとめと今後

私は近年発見された若い惑星候補天体のトランジット観測を東広島天文台のかなた望遠 鏡で行いたいと考えている。若い惑星候補天体のトランジット観測は可視光と近赤外観測 が有効であり、宇宙科学センターで 2007 年より開発が行われてきた可視・赤外線同時カメ ラ HONIR により観測を行う事を考えた。HONIR は 2011 年 10 月から 2012 年 1 月にかけ て試験観測が行われ、近赤外線検出器の読み出しにおいて、高いノイズ値を示すことや低温 下で出力画像が歪む不具合が見つかった。この不具合は現在用いられている読み出しボード (MACS2)の FPGA が低温で動作しなくなることが原因であった為、FPGA を取り換える 事で不具合は解消された。しかし、MACS2 は開発後 10 年以上経過しており廃番になった 部品も多く、今後の安定した運用が懸念された。そこで、宇宙科学センターでは近赤外線検 出器の新しい読み出しシステムの開発に着手した。新しい読み出しシステムの開発は主に私 が担当し、(1)低温下での安定駆動、(2)低ノイズ読み出し、(3)16ch高速読み出し、(4)線形 性の改善の(1)~(4)行う事で現在より精度の良い読み出しシステムを目指した。(1)と(2) については、本読み出しシステムのベースとなっている東京大学木曽観測所で運用・駆動が 行われている KAC(Kiso Array Controller)から最小単位の改修を行い、VIRGO に適応さ せる事で達成させた。(3) については読み出し 8ch 分の AD 変換処理が可能な PAD Mother Board を2枚作製し、Backplane board を通じてそれぞれの channel 間の電圧やり取りを 行う事で、16ch 読み出しを可能とした。(4) については設計回路内に定電流回路とカレント ミラー回路を用いて低消費電力でありながら検出器出力を行う Output Source Follower 全 てに定電流を供給することにより可能とした。以上に記述した回路設計を行い、基板を作製 し、設計値通り動作するかの試験も行った。

動作試験から、本読み出しシステムの増幅率は 5.2 倍であり、設計通り 1.5V 電圧を中心 に完全差動出力することが確かめられた。さらに定電流機構から検出器仕様値内で全ての Output Source Follower に定電流供給が行える事を確認した。ローパスフィルタの特性は立 ち上がり速度が 1.5µs であり周波数特性も検出器仕様である 120kHz において十分性能を発 揮できている事を確認した。さらに DRV ボードから供給される検出器駆動電圧が PC で生 成したクロックパターンに同期し出力され、立ち上がり速度も検出器駆動を行う上で十分に 性能を発揮している事を確認した。最後にノイズの値を入力電圧によって算出したところ、 本読み出しシステム全体でのノイズ値は 7~8electron であり検出器ノイズの 5~15electron と同程度かそれ以下である事を確認した。しかし検出器ノイズの下限値よりはノイズ値が大 きく、新たにローパスフィルタを加えるなどしノイズ対策を行う事で、さらなる低ノイズ化 を目指す。

今後は、本読み出しシステムを用いて、VIRGO 検出器の ROIC 部で形成されているマル チプレクサの読み出しを行い、実際の検出器動作に合わせて処理を行う。さらにこれらの実 験から得られた課題を 2013 年夏までに改修を行い、本番検出器の駆動に向けて実験を行っ ていく。

2013年度の冬までに、読み出しシステムの実働化を行い、若い惑星のトランジット観測 を行い、惑星形成メカニズムの解明をしていきたいと考えている。

謝辞

本研究を行うに当たり、東京大学の酒向氏には非常にお世話になりました。そして、国立 天文台の山下氏にも毎週といっても良い程親身になって相談に乗っていただきました。この 場をお借りしてお礼申し上げます。そして広島大学の川端准教授、秋田谷特任助教には東京、 広島間の両方でお世話になりました。ありがとうございます。また、HONIR 関係の関係者 の方々、研究室の方々、河野くんにも色々とご迷惑をおかけしました。この場おお借りして 謝辞させていただきます。来年の秋ごろには広島に戻る予定ですので、皆さまその時もどう ぞよろしくお願いいたします。

参考文献

- Michel Mayor and Didier Queloz (1995). "A Jupiter-mass companion to a solar-type star". Nature 378 (6555): 355-359
- [2] http://exoplanet.eu/catalog/
- [3] http://www.rikanenpyo.jp/kaisetsu/tenmon/tenmon_024.html
- [4] C. Thalmann(2009)."DISCOVERY OF THE COLDEST IMAGED COMPANION OF A SUN-LIKE STAR" The Astrophysical Journal, 707:L123-L127
- [5] Zhaohuan Zhu (2011)."Challenges in Forming Planets by Gravitational Instability: Disk Irradiation and Clump Migration, Accretion & Tidal Destructio" arXiv:1111.6943
- [6] Hayashi, C., Nakazawa, K., and Nakagawa, Y.(1985) "Protostars and planets II", p. 1100-1153
- [7] http://www.fas.org/irp/imint/docs/rst/Sect20/A11.html
- [8] Julian C. van Eyken (2012)."The PTF Orion Project: a Possible Planet Transiting a T-Tauri Star" arXiv:1206.1510v1
- [9] David S. Spiegel(2012). "SPECTRAL AND PHOTOMETRIC DIAGNOSTICS OF GIANT PLANET FORMATION SCENARIOS" The Astrophysical Journal, 745:174
- [10] Gerard P.Kuiper et al.1951 "PROCEEDINGS OF THE NATIONAL ACADEMY OF SCIENCES"
- [11] 宮本久嗣 修士論文 「かなた望遠鏡「可視赤外線同時撮像カメラ」の開発」
- [12] 先本清志 修士論文 「かなた望遠鏡用可視近赤外同時カメラ HONIR の真空・駆動・ 光学系の立ち上げ」
- [13] 原尾達也 修士論文 「かなた望遠鏡用可視近赤外同時カメラ HONIR の撮像モードの 性能評価」
- [14] Ratheon, VIRGO-2K Module49 manual
- [15] Rathoen, VIRGO-2K 2048£ 2048 SWIR HgCdTe IRFPA Readout Model:SB-301 User's Guide and Operating Manual
- [16] Nagaraja Bezawada," Characterisation of VISTA IR detectors"
- [17] 北川章夫 講義資料「2.1 MOSFET の特性」

- [18] 仁木義規 発表資料「高性能カレントミラー回路の設計とその応用」, 群馬大学大学院 電気電子工学研究科
- [19] TEXAS INSTRUMENT 社, TPS7A4501 データシート
- [20] Maxim Integrated 社,MAX6458UKD3B+データシート
- [21] www.tc.knct.ac.jp/hayama/denshi/chapter5.ppt
- [22] http://fhirose.yz.yamagata-u.ac.jp/text/mos6.pdf
- [23] 図解・わかる電子回路,著者(加藤 肇,見城 尚志,高橋 久),講談社出版
- [24] Firechild 社,BSS84,2N7002 データシート
- [25] Messia V team, Messia V manual
- [26] 加藤 拓也「汎用 CCD 読み出しシステム KAC 及び木曽広視野カメラ KWFC の開発と 性能評価」
- [27] Analog Devises 社,AD7693 データシート
A アペンディックス

A.1 現近赤外線検出器読み出しシステム

近赤外線検出器 VIRGO の読み出しシステムは大きくデジタル部とアナログ部の2つ に分ける事が出来る。デジタル部には国立天文台で開発された汎用データ取得システ ムである Messia5 が用いられ、アナログ部には名古屋大学で開発された汎用検出器回 路である MACS2 が用いられている。

A.1.1 Messia5

Messia5 は汎用データ取得システムであり、国立天文台が独自開発した CMC(Common MezzanineCard) 規格の Mezzanine Card と市販の PCI バス用 DSP ボード Hammerhead(Bitwire 社) から構成される [25]。Messia5 とホストコンピュータは、PCI バスで 直結しており DSP ボードのバススロットで CMC と接続されている。また、1 枚の CMC は CSB(Clock SequencerBlock) と FGB(Frame Grabber Block) の2 つのブロッ クで構成されており、1 つのブロックには 1 つの DSP が割り当てられ、DSP の リン クポートを通じてデータを高速にやりとりしている。CSB はクロックパターンを発生 させるためのブロックでホストコンピュータ上に保存しているクロックパターンファイ ルを DSP が読み込み、CSB に送ることでクロックを出力する。FGB はアナログ部か ら送られてきた画像データを DSP ボードへ出力するブロックである。



図 62: 上: DSP ボード、下: CMC ボード

A.1.2 MACS2

MACS2 はアイソレーションボードとクロックドライバーボード、ADC ボード+ プリ アンプボードで構成されている。クロックドライバーボードは Messia 5 の CSB から送 られてきたクロックパターンを元に検出器に印加するバイアスを発生させ、検出器に 供給する役割がある。プリアンプボードでは検出器から送られてきた信号を増幅する 役割を果たし、ADC ボードでアナログからデジタルの画像データとして、Messia5 の FGB へ出力する。[11] MACS2 の ADC ボードは 4 つの AD 変換器が備わっており、4 つ同時に AD 変換し画像データを出力することができる。これに合わせて、近赤外線 検出器 VIRGO は 4ch 読み出しを採用している。



図 63: MACS2(上:アイソレーションボード、左下:クロックドライバボード、右下:ADC ボー ド+プリアンプカード)

A.2 KACと本読み出しシステムで同様の部分

この節では本読み出しシステムと KAC が同じものを使っている部分について説明する。デジタル処理部

A.2.1 デジタル処理部の概要

デジタル処理部は、Linux PC、DIO ボード、LVDS ボードで構成されている。PC の CPU で生成された VIRGO 検出器 の駆動クロックパターンは、DIO ボードを通して 出力される (パラレル信号)。この信号は LVDS ボードで LVDS シリアル信号に変換さ れアナログ処理部の IF ボードへと送られる。アナログ処理部から送られてくる 出力信 号 (LVDS シリアル信号) は LVDS ボードでパラレル信号に変換されて DIO ボードを 通して PC に入力される。[26]

A.2.2 DIO ボード

本システムでは、クロックデータの生成と画像データの処理は全て Linux PC の CPU にて行い、その入出力は 市販されている DIO ボード (interface 社の PCI-Express ボー ド、PEX-292144) にて行う。DIO ボードには 16bit のデータの入出力を担当する 2 枚 のボードがあり、それぞれ IF ボードなどへクロックパターンの出力を行う DIO ボード と、AD 変換が行われた後のデジタルデータが入力される DIO ボードに分けられる。



図 64: DIO ボード

A.2.3 LVDS ボード

LVDS ボードでは DIO ボードから送られてくる 検出器駆動クロックのパラレル信号 を LVDS シリアル信号に変換し IF ボードへ入力を行ったり、アナログ処理部から送ら れてくる出力信号の LVDS シリアル信号をパラレル信号に変換し、DIO ボードへ入力 を行っている。LVDS は Low Voltage Differential Signaling の略称で、LVDS シリアル 信号は高速の信号伝送を実現するために、電圧振幅を小さくした小振幅差動信号のこ とであり、LVDS シリアル信号を用いることで、高速通信を行っている。また、LVDS ボードとアナログ処理部間を AC カップリングで接続しており GND を介していない のでデジタル処理部からアナログ処理部への GND 経由のノイズの侵入を低減できる。 LVDS ボードはシリアライザとデシリアライザにより構成されている。シリアライザ側 (クロック出力)のみ「基準クロックが入力される」、「GATE 信号が Low になる」と いう2つの条件を満たした時に DIO ボードと AD ボードが通信を行う(LVDS のロッ ク)よう設計が行われており、ロックがかかっていない時の出力はハイインピーダン スとなる。本ボードでは National Semiconductor 社の DS90UR241 シリアライザと DS90UR124 デシリアライザが使用されており、これらのチップセットは通信効率を上 げるためデータ列の置換を行い、データセットに含まれる 1 と 0 の数の差が全体とし て等しい状態に調整して信号品質を改善するため、低ノイズのデータ転送を実現する。 本ボードは、PC の USB ポートより電源を取得できるように設計されている。また、 LVDS シリアル信号の入出力部にバリスタを置くことにより、ボードを高電圧から保 護している。



図 65: LVDS ボード、上下はそれぞれシリアライザとデシリアライザ、左右はボードの表裏

A.3 アナログ処理部

ここでは本システムの AD 変換器と DRV ボードの処理について説明を行う。

A.4 AD 変換器

本システムでの AD 変換器は KAC と同様の AD 変換器を用いている。AD 変換器は 16bit、3 [μ s/sample] (VIRGO 検出器の仕様値) が可能で、かつ差動入力を持つ機種の 中で最もノイズが低い AD7693 (最大 500kHz サンプリング) が採用されている。こ の AD 変換器は VIRGO 検出器の Output 信号と Reference 信号の差分をデジタル化す るもので、AD 変換の際にコモンモードノイズが除去される。AD 変換を行う際、AD 変換器内のコンデンサに電荷をチャージする必要がある。AD 変換器の直前にコンデ ンサ (C_{adc} 、 C'_{adc}) を置き電荷を貯めておくことで、オペアンプから大きな電流が流れ ず、安定した電荷供給を行えるようにしている。



図 66: AD 変換器の回路図

AD 変換器にはクロック CNV 信号(AD 変換のトリガ信号) とクロック SCK 信号 (データ転送の同期信号)が入力され、SDO 信号(デジタル化された検出器信号)が出 力される。クロック CNV 信号が High になった時に AD 変換が行われ、AD 変換器 のプラス入力信号とマイナス入力信号の差分をデジタル化したシリアル信号(SDO 信 号)がクロック SCK 信号に同期して出力される。AD 変換が終わると、SDO 信号は ハイインピーダンスになる。IF ボードの FPGA は、クロック CNV 信号と SDO 信号 が共に Low になるとクロック SCK 信号を送るように設計されており、AD 変換され たシリアルデータ(SDO) は、クロック SCK 信号に同期して IF ボードに送られる。 クロック SCK 信号の 17 回目の立ち下がりを受けて、SDO 信号はハイインピーダン スとなる。 以下にクロックの動作原理を示す。



図 67: AD 変換の動作原理 [27]

A.5 DRV ボード

DRV ボードでは VIRGO 検出器の駆動に必要なバイアスやクロック電圧などを生成し、 検出器に供給する。



図 68: 右: DRV ボード表、左: DRV ボード裏

検出器を駆動するためには様々な電圧値が必要となるが、DRVボードではジェネレー タで生成した基準電圧+3Vを元にオペアンプを用いて必要な電圧を生成していく。こ れにより、電源の数を減らす事が可能で、さらにオペアンプの抵抗値を変化させること で様々な電圧を生成できる事から異なった読み出しボードへの対応も可能となり汎用性 が高い仕様になっている。OPアンプによる電圧の生成は基準電圧よりも高い電圧を生 成する回路、低い電圧を生成する回路、同電圧を出力する回路に分けられる。以下に、 それぞれの回路図を示す。

基準電圧よりも高い電圧を生成する回路



図 69: 基準電圧より高い電圧を生成する為の回路 (非反転増幅回路)。V_{in} には基準電圧を入力

これは、preamp ボードのオフセット電圧作製の為に用いられた非反転増幅回路と同等のものである。原理は preamp ボードの章を参照。

基準電圧よりも低い電圧を生成する回路



図 70: 基準電圧より低い電圧を生成する為の回路。Vin には基準電圧を入力

電流 I₁ は V_{in} と R₁、R₂ を用いて

$$I_1 = \frac{V_{in}}{R_1 + R_2}$$

となり、Vout は

$$V_{out} = \frac{V_{in}}{R_1 + R_2} R_2$$

となる。抵抗値 R_1 、 R_2 を変化させることにより、 V_{out} を調整する。

基準電圧と同電圧を生成する回路



図 71: 基準電圧と同電圧を出力する回路。Vin には基準電圧を入力

このような回路を用いることにより、抵抗値を変化させることでVIRGO検出器駆動に 必要な全ての電圧を生成し、供給する。抵抗値の選択は増幅率を決定する他にも以下の 事を考慮しなければならない。

・抵抗で発生するジョンソンノイズ

・回路全体の電流量

抵抗で発生するジョンソンノイズは $\sigma = \sqrt{4K_BTR}\sqrt{BW}$ で表わされる量となり、抵抗値が小さい程ジョンソンノイズは低くなる。しかし OP アンプは素子によって、供給することのできる上限電流が存在し、抵抗値を小さくすると電流上限に達し OP アンプが上手く動作しない場合がある。さらに大電流によって発熱の恐れもあるため、ジョンソンノイズと電流値の兼ね合いで抵抗値を決定する。

A.5.1 IF ボード

IF ボードはデジタル処理部から送られてくる VIRGO 駆動クロック、AD 変換クロック を DRV ボード、AD ボードに送り、AD ボードから送られてくる デジタル信号をデジ タル処理部に送る。



図 72: IF ボード

IF ボードはシリアライザとデシリアライザと FPGA により構成される。デジタルデー タは FPGA が担当する。本ボードはデジタル処理部から送られてきた 駆動クロックの LVDS シリアル信号をパラレル信号に変換し、そのうち4つのbit 信号を検出器クロック の「pmc」「Framestart」、制御ラインの「ucRstSel」「ucRstEn」を生成する DRV ボー ドに送り、そのうち1個の bit 信号を AD 変換のトリガ信号である「CNV」信号とし て AD ボードに送る。また、FPGA で生成したクロック SCK 信号も AD ボードに送 る。FPGA が AD ボードから送られてくる 検出器デジタル信号を受け取り、チャンネ ル毎のパラレル信号に変換する。この 検出器信号のパラレル信号を LVDS シリアル信 号に変換 し、デジタル処理部に送る。

FPGA

FPGA はプログラムをコンパイルすることで内部回路を構成を決定することのできる、 デバイスである。本ボードの FPGA はステートマシンによって管理されており、ステー トによってその機能を変える。FPGA に電源が印加されると「ステート0」にリセット される。その後 AD 変換トリガ信号である「cnv」が入力されると「ステート1」に移 行する。「ステート1」は AD 変換器のデジタル処理が終了すると「ステート2」に移 行し、AD 変換器の出力用のクロック「sck」を生成して AD 変換器へ送信する。同時 に、その同期クロックに同期して AD 変換器からデジタルデータが出力され FPGA 内 の 16bit の入力用シフトレジスタに格納される。FPGA は 32 セットの 16bit シフト レジスタを持つため、同時に 32 台の AD 変換器からのデジタルデータを格納できる。 AD 変換器からのデジタルデータを受け取り終わると、「ステート3」に移行する。「ス テート3」では、パラレル出力用同期クロック(PCK:10MHz)に同期して 16bit シリ アルレジスタに格納したデータを AD 変換器毎に PC へ出力する。FPGA は AD 変換 器のデータの出力が完了すると「ステート0」に戻る。これを繰り返すことで、複数台 の AD 変換器からのデータを PC へ送っている。

B 回路図

以下では今回作製した回路図を示す。





図 74: preamp ボード回路図 2



図 75: ad ボード回路図



図 76: drv ボード回路図 1



図 77: drv ボード回路図 2



図 78: drv ボード回路図 3



図 79: PAD Mother Board 回路図 1



図 80: PAD Mother Board 回路図 2



図 81: DIF Mother Board 回路図 1



図 82: DIF Mother Board 回路図 2



図 83: backplane board 回路図

2.1 仕様部品と選定部品一覧

メーカー	部品種類	部品型番
AD	基準電圧	ADR443BRZ
AD	OP アンプ	AD8032ARZ
AD	OPアンプ	AD826ARZ
TI	OPアンプ	OPA827AID
Hirose	コネクタ	FX6-80P-0.8SV(71)
AD	OP アンプ	AD8022ARZ
COPAL	可変抵抗	SM-3W 500 Ω
釜屋電機	抵抗	RMC1/10JPTP
進工業	抵抗	RG2012N-181-W
進工業	抵抗	RG2012N-271-W-T1
進工業	抵抗	RG2012N-391-W-T1
進工業	抵抗	RG2012N-511-W-T1
進工業	抵抗	RG2012P-751-B
進工業	抵抗	RG2012N-821-W
進工業	抵抗	RG2012P-911-B
進工業	抵抗	RG2012N-102-W-T1
進工業	抵抗	RG2012N-103-W-T1
進工業	抵抗	RG2012N-153-W-T1
進工業	抵抗	RG2012N-471-W
TDK	コンデンサ	C1608CH1H101J
TDK	コンデンサ	C1608JB1H104K
TDK	コンデンサ	C1608JB1C105K
TDK	コンデンサ	C3216JB1C106K
TDK	コンデンサ	C4532JF1A107Z
FAIRCHILD	FET	2N7002
FAIRCHILD	FET	BSS84

表 6: PreAmp ボードで使用した製品一覧

メーカー	部品種類	部品型番
AD	AD コンバータ	AD7693BRMZ
AD	基準電圧	ADR443BRZ
AD	OP アンプ	AD8022ARZ
AD	OP アンプ	AD8032ARZ
Hirose	コネクタ	FX6-80P-0.8SV(71)
Hirose	コネクタ	FX6-40S-0.8SV(71)
釜屋電機	抵抗	RMC1/10JPTP
進工業	抵抗	RG2012Q-330-D-T5
進工業	抵抗	RG2012N-102-W-T1
進工業	抵抗	RG2012N-122-B
進工業	抵抗	RG2012N-332-W-T1
進工業	抵抗	RG2012N-562-W-T1
進工業	抵抗	RG2012N-103-W-T1
進工業	抵抗	RG2012N-473-W-T1
TDK	コンデンサ	C1608CH1H220J
TDK	コンデンサ	C1608CH1H820J
TDK	コンデンサ	C1608CH1H101J
TDK	コンデンサ	C1608CH1H272J
TDK	コンデンサ	C1608JB1H104K
TDK	コンデンサ	C1608JB1C105K
TDK	コンデンサ	C3216JB1C106K
TDK	コンデンサ	C4532JF1A107Z
TOSHIBA	スイッチングダイオード	1SS308
TOSHIBA	スイッチングダイオード	1SS309

表 7: AD ボードで使用した製品一覧

メーカー	部品種類	部品型番
Murata	DC フィルタ	NFM55PC155F1H4L
NS	レギュレータ	LM1086IS-5.0/NOPB
NS	レギュレータ	LM2990S-5.0/NOPB
TI	レギュレータ	TPS7A4501
Тусо	コネクタ	5747840-6
Hirose	コネクタ	FX6-80P-0.8SV(71)
Hirose	コネクタ	FX6-40P-0.8SV(71)
OMRON	コネクタ	XC5C-9622
Murata	コンデンサ	GRM32EB31C476KE15
進工業	抵抗	RG2012N-202-W-T1
進工業	抵抗	RG2012N-302-W-T1

表 8: Mother Board (ADC) で使用した製品一覧

メーカー	部品種類	部品型番
Murata	DC フィルタ	NFM55PC155F1H4L
NS	レギュレータ	LM2990S-5.0/NOPB
TI	レギュレータ	TPS7A4501
MAXIM	電圧モニタ	MAX6458UKD3B+
Тусо	コネクタ	5748481-6
Hirose	コネクタ	FX6-80P-0.8SV(71)
Hirose	コネクタ	FX6-40P-0.8SV(71)
Hirose	コネクタ	FX6-20P-0.8SV(71)
Hirose	コネクタ	TM21R-5C-88
OMRON	コネクタ	XC5C-9622
Kingbright	LED	KP-2012SYC
進工業	抵抗	RR1220Q-510-D
進工業	抵抗	RG2012N-164-B
進工業	抵抗	RG2012P-624-B-T1
進工業	抵抗	RG2012P-105-B-T1
進工業	抵抗	RG2012N-163-W-T1
進工業	抵抗	RG2012N-272-W-T1
Murata	コンデンサ	GRM31CB31E106KA75
Murata	コンデンサ	GRM32EB31C476KE15
TDK	コンデンサ	C4532JF1A107Z
TDK	バリスタ	AVR-M1005C080MAAB
進工業	抵抗	RG2012N-472-W-T1

表 9: Mother Board (DRV) ボードで使用した製品一覧

メーカー	部品種類	部品型番
AD	基準電圧(+3.0V)	ADR443BRZ
TI	オペアンプ	OPA2277UA
LT	オペアンプ	LT1355CS8
MAXIM	アナログスイッチ	MAX333ACUP
NS	レギュレータ (+3.3V,100mA)	LM3480IM3-3.3
NS	レギュレータ (+5.0V,100mA)	LM3480IM3-5.0
Hirose	コネクタ	FX6-80S-0.8SV(71)
Hirose	コネクタ	FX6-40S-0.8SV(71)
COPAL	ディップスイッチ	CAS-120B
COPAL	可変抵抗	SM-3W 500 Ω
釜屋電機	抵抗	RMC1/10JPTP
進工業	抵抗	RR1220Q-510-D
進工業	抵抗	RG2012N-101-W-T1
進工業	抵抗	RG2012N-102-W-T1
進工業	抵抗	RG2012N-302-W-T1
進工業	抵抗	RG2012N-512-W-T1
進工業	抵抗	RG2012N-103-W-T1
進工業	抵抗	RG2012N-153-W-T1
進工業	抵抗	RG2012N-203-W-T1
進工業	抵抗	RG2012P-243-B
進工業	抵抗	RG2012N-303-W-T1
進工業	抵抗	RG2012N-473-W-T1
進工業	抵抗	RG2012N-104-W-T1
TDK	コンデンサ	C1608CH1H560J
TDK	コンデンサ	C1608JB1H104K
TDK	コンデンサ	C1608JB1C105K
TDK	コンデンサ	GRM31CB31E106KA75
Murata	コンデンサ	GRM32EB31E226KE15

表 10: DRV ボードで使用した製品一覧

メーカー	部品種類	部品型番
Tyco	コネクタ	5747844-6
OMRON	コネクタ	XC5D-9623

表 11: back plane ボードで使用した製品一覧

メーカー	部品種類	部品型番
KEC	P-Channel MOS	m KTJ6164S
LRC	P-Channel MOS	LP2307LT1G
LRC	P-Channel MOS	LBSS84LT1G
PANJIT	P-Channel MOS	BSS84

表 12: カレントミラー回路に用いる MOSFET の製品一覧