修士論文

宇宙硬X線撮像用
低ノイズ両面シリコンストリップ検出器の開発

M1379004　宇野 進吾

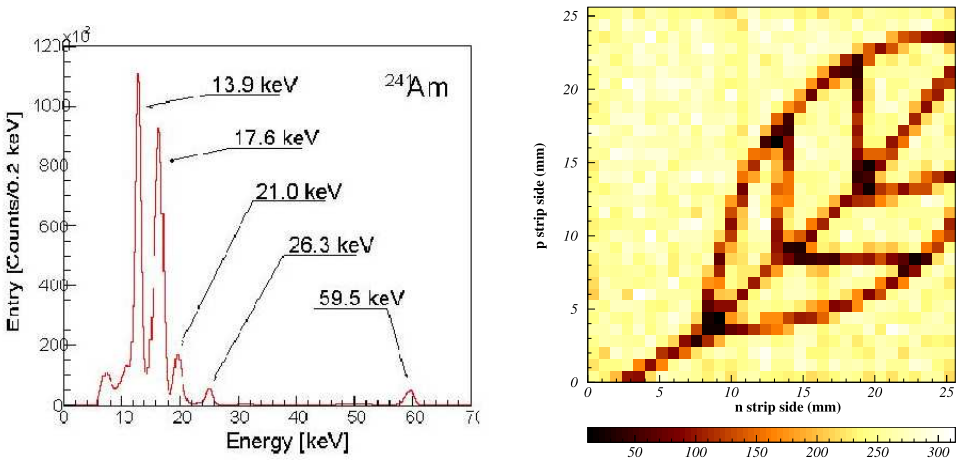
広島大学大学院理学研究科物理科学専攻
素粒子実験・高エネルギー宇宙学研究室

平成 15 年 3 月 16 日

概 要

現在の宇宙観測では数 10keV ~ 数 MeV の領域は他のエネルギー帯に比べて感度の向上が遅れている。この領域はコンプトン散乱が支配的であり、光子のエネルギーや到来方向を高精度で測定することが難しく、性能の良い検出器が開発されてこなかったからである。しかし、このエネルギー領域には高エネルギー天体からの非熱的放射、銀河の星の生成過程を知る手がかりになる超新星爆発起源の核ガンマ線など、非常に重要な物理が含まれている。そこで、現在我々のグループが感度向上のために開発を行っているのが多重コンプトンガンマ線カメラである。検出器に入射してきた光子が複数回のコンプトン散乱を行った場合、反応位置と落としたエネルギーを高精度で測定することができれば、コンプトン散乱の運動学を解くことにより、光子の到来方向を制限することができる。多重コンプトンガンマ線カメラは位置検出型半導体検出器を多層構造にすることで位置決定精度と反応率を上げ、この領域で今までにない感度を達成することが期待される。

本研究では、こうしたガンマ線カメラの構成要素として高いエネルギー分解能を持つ両面シリコンストリップ検出器 (SSD) の開発とその読み出し、さらには非常にコンパクトで汎用性の高い新しい読み出しシステムを立ち上げ、SSD の読み出しに成功した。CCD ではなく SSD を使うことにより、高エネルギー側にも感度を持ち、バックグラウンドの多い硬 X 線ガンマ線領域で必要な高速読み出しが可能となる。SSD の構造の最適化としては、電極の太さや電圧降伏を起こさないストリップ間距離について考察した。また、光子の到来方向の決定精度は検出器のエネルギー分解能に大きく依存し、1 keV くらいのエネルギー分解能で理論的限界になるが、片面 SSD では 1 keV に近いエネルギー分解能を達成した。複数チャンネル同時計測でこのような良い報告は世界的に見ても他に例がない。多重コンプトンガンマ線カメラで必要な両面 SSD の撮像も行い、両面 SSD で 2 次元位置情報、エネルギー情報が正確に得られることを確認した。



片面 SSD の複数チャンネル同時計測で得られた ^{241}Am のスペクトル (左) と両面 SSD で得られた「リーフ」のイメージ

目 次

第 1 章　序論 **8**

1.1 X 線ガンマ線天体物理学 8

1.2 多重コンプトンガンマ線カメラ 9

第 2 章　半導体検出器の基礎特性とシリコンストリップ検出器 **12**

2.1 半導体を用いた放射線検出器の検出原理 12

2.2 pn 接合ダイオード 12

2.3 シリコンストリップ検出器の基礎 13

2.3.1 シリコンストリップ検出器の構造 13

2.3.2 Leakage Current 14

2.3.3 Body Capacitance と Inter-strip Capacitance 15

2.3.4 両面シリコンストリップの構造 16

2.4 シリコンストリップ検出器の読み出し 17

2.4.1 半導体検出器の信号処理 17

2.4.2 シリコンストリップ検出器のエネルギー分解能 18

第 3 章　シリコンストリップ検出器の性能評価 **21**

3.1 エネルギー分解能を上げるための工夫 21

3.2 I-V curve,C-V curve 23

3.3 X 線によるエネルギー分解能の測定 27

3.4 1 ストリップあたりの X 線検出領域 30

3.5 TypeB のリーク電流、Body Capacitance の考察 33

3.6 片面シリコンストリップ検出器のまとめ 34

3.7 両面シリコンストリップ検出器の性能評価 35

3.7.1 試作した DSSD の基本設計 35

3.7.2 I-V curve, C-V curve 36

3.7.3 Test structure を用いた p^+ ストリップ間距離の最適化 38

3.7.4 両面シリコンストリップ検出器のエネルギー分解能測定 39

3.8 RC チップ 40

第 4 章　多チャンネル同時計測に向けた読み出しシステム立ち上げ **44**

4.1 VA32TA 44

4.1.1 VA32TA とその特徴 44
4.1.2 VA32TA の動作に必要な制御信号 47
4.1.3 VA32TA の動作原理 49
4.2 フロントエンドカード 50
4.3 VA-DAQ 51
4.4 新しい読み出しシステム 53
4.4.1 システムの概要 53

第 5 章 VA32TA を用いたシリコンストリップ検出器の多チャンネル同時計測 58
5.1 実験セットアップ 58
5.2 データ解析の方法 58
5.3 VA32TA を用いた SSD 読み出しシステムの性能評価 60

第 6 章 シリコンストリップ検出器による硬 X 線の撮像 64
6.1 両面シリコンストリップ検出器の読み出しに向けて 64
6.2 両面シリコンストリップ検出器の両面同時読み出し 64
6.3 フラットイメージ 67
6.4 位置情報の検定 68
6.5 DSSD を用いた硬 X 線の撮像 71
6.6 スプリットイベントに対する考察 71
6.7 ROC を用いたシリコンストリップ検出器の読み出し 74

第 7 章 まとめ 77

図 目 次

1.1 さまざまな観測衛星の感度の比較。横軸は X 線、ガンマ線のエネルギー、縦軸は感度を表す。 9
1.2 (a) 多重コンプトンガンマ線カメラの基本構造。散乱体として SSD、CdTe ピクセル検出器を用いる。天体からの X 線、ガンマ線は散乱体で複数回のコンプトン散乱を繰り返し、吸収体で光電吸収を起こす。(b) 数イベントの重ね合わせ。円弧が重なり合っているところが天体の位置になる。円弧の太さは検出器のエネルギー分解能に依存する。 10

2.1 n 型、p 型半導体と pn 接合のバンドギャップ内にできる新しいエネルギーレベル 13
2.2 シリコンストリップ検出器の基本構造。n バルク内で X 線が光電吸収を起こした場合、エネルギーに比例した電子ホール対ができ、内部電場に従って電極に収集される。 14
2.3 Body Capacitance と Interstrip Capacitance 15
2.4 両面シリコンストリップ検出器の基本構造 16
2.5 n^+ ストリップの Inter-strip Capacitance 17
2.6 半導体検出器の一般的な信号処理回路図 17

3.1 多重コンプトンガンマ線カメラの基礎研究用に製作した SSD と RCchip . . 21
3.2 TypeA、TypeB の上面図と断面図 22
3.3 (a) リーク電流の測定セットアップ (b)Body Capacitance の測定セットアップ (c)Inter-strip Capacitance の測定セットアップ 24
3.4 TypeA の 1 ストリップあたりのリーク電流の電圧依存性 25
3.5 TypeB の 1 ストリップあたりのリーク電流の電圧依存性 25
3.6 TypeA の Total Body Capacitance の電圧依存性 25
3.7 TypeB のの Total Body Capacitance の電圧依存性 25
3.8 TypeA の 1 ストリップあたりの Inter-strip Capacitance の電圧依存性 . . . 26
3.9 TypeB の 1 ストリップあたりの Inter-strip Capacitance の電圧依存性 . . . 26
3.10 TypeA、TypeB を CP580K で読み出すときの回路図 27
3.11 TypeA、TypeB を Single Channel で読み出したときの SSD のセットアップ。TypeA は両隣を GND に落とし、TypeB は読み出す両隣の上下のストリップを GND に落としてある。 27

3.12 SSD と線源の位置関係 28
3.13 セットアップの写真 28
3.14 読み出すストリップの両隣のストリップを GND に落とした状態の TypeA で得られた ^{133}Ba のスペクトル 29
3.15 読み出すストリップの両隣のストリップを GND に落とした状態の TypeB 下側のストリップで得られた ^{133}Ba のスペクトル 29
3.16 読み出すストリップの両隣のストリップを GND に落とした状態の TypeB 上側のストリップで得られた ^{133}Ba のスペクトル 29
3.17 (a) TypeA、TypeB の設計から予想される有効面積 (b)TypeA、TypeB で反応したイベント数から仮定した有効面積 30
3.18 コリメートした X 線の照射領域。U は上側のストリップで p^+ ストリップがある部分。D は上側のストリップで p^+ ストリップがない部分 (引き延ばされた Al 電極部) 31
3.19 TypeB 上側の引き延ばされた Al 電極にコリメートした X 線を照射したときに得られたスペクトル 32
3.20 TypeB 上側の p^+ ストリップにコリメートした X 線を照射したときに得られたスペクトル 32
3.21 TypeB の引き延ばされた Al 電極部 (図 3.19) とストリップ部 (図 3.20) のスペクトルの足し合わせ 32
3.22 引き延ばされた Al 電極が n バルクとコンデンサを形成している場合 32
3.23 TypeB の Body Capacitance の構成 34
3.24 Teststructure の設計 35
3.25 Teststructure の写真 35
3.26 ストリップギャップと電束密度の相関 36
3.27 3 種類の DSSD のリーク電流の比較 37
3.28 3 種類の DSSD の Total Body Capacitance の比較 37
3.29 3 種類の DSSD の Inter-strip Capacitance(p^+ ストリップ) の比較 37
3.30 DSSD P800×32 の n^+ ストリップの Inter-strip Capacitance 37
3.31 Test structure のリーク電流の電圧依存性 39
3.32 DSSD P400×64 で得られた ^{241}Am のエネルギースペクトル 40
3.33 RC チップ (200 μm ピッチ) の写真 41
3.34 SSD、RC チップ、CSA の接続方法 41
3.35 RC チップ全体のリーク電流 42
3.36 RC チップ全体の Body Capacitance 42
3.37 RC チップの 1 ストリップあたりの Inter-strip Capacitancek 42
3.38 RC チップを用いた TypeA で測定した ^{133}Ba のエネルギースペクトル . . . 42

4.1 VA32TA チップの写真 45
4.2 VA32TA のブロックダイアグラム 45
4.3 Majority selection module の概要 46

4.4 VA32TA の読み出しタイミングチャート 49
4.5 フロントエンドカードの写真 50
4.6 FEC の回路設計 51
4.7 VA-DAQ の写真 52
4.8 新しい読み出しシステムのダイアグラム 53
4.9 バイアスボードの写真 54
4.10 IFC の写真。左図が ROC と接続する基板。右図は 16 個の 34 ピン half-pitch コネクタが並んでおり、FEC と接続する基板 55
4.11 ROC の写真 55
4.12 16 枚の FEC からのデータを読み出すときのタイミングチャート 56

5.1 Test structure の複数チャンネル同時計測のためのセットアップ 59
5.2 AC 結合モジュール (左図) と DC 結合モジュール (右図) 59
5.3 得られたデータをそのまま用いたときの ^{241}Am のエネルギースペクトル . . 60
5.4 一連のデータ解析をした後のエネルギースペクトル 60
5.5 AC 結合モジュールのチャンネルとエネルギー分解能の関係 61
5.6 AC 結合モジュールを用いた ^{241}Am の複数チャンネル加算スペクトル。測定条件は温度 20 度、shaping time = 2 μsec 61
5.7 DC 結合モジュールを用いた ^{241}Am の複数チャンネル加算スペクトル。測定条件は温度 0 度、shaping time = 4 μsec 62
5.8 DC 結合モジュールを用いた ^{57}Co の複数チャンネル加算スペクトル。測定条件は温度 0 度、shaping time = 4 μsec 63
5.9 DC 結合モジュール、温度 0 度、shaping time = 4 μsec で得られた ^{241}Am59.5 keV のとフィッティング結果 (a) と ^{57}Co122 keV のフィッティング結果 (b) . 63

6.1 複数の FEC を 1 つの VA-DAQ で制御するためのアダプターボード 65
6.2 アダプターボードを用いた読み出しの概念図 65
6.3 DSSD の両面同時読み出しのためのセットアップ 66
6.4 各ストリップで得られたノイズの大きさ。チャンネル番号 0 ~ 31 が p^+ 側のストリップであり、32 ~ 63 が n^+ 側のストリップ。 66
6.5 DSSD の両面同時読み出しで得られた p^+ 側の多チャンネル加算スペクトル。測定条件は ^{241}Am、peaking time = 2 μsec 66
6.6 DSSD の両面同時読み出しで得られた n^+ 側の多チャンネル加算スペクトル。測定条件は ^{241}Am、peaking time = 2 μsec 67
6.7 DSSD の両面同時読み出しで得られた p^+ 側の多チャンネル加算スペクトル。測定条件は ^{57}Co、peaking time = 2 μsec 67
6.8 DSSD のフラットイメージ 68
6.9 コリメートした X 線を 2 次元精密ステージを用いて測定するときのセットアップ図 69

6.10 タングステン製のコリメータ。中心に 1 mm×1 mm の正方形の穴があいている。 69
6.11 コリメートした X 線の照射位置。赤いラインが p^+ 側をスキャンしたときの照射位置。青いラインが n^+ 側をスキャンしたときの照射位置。 69
6.12 p^+ ストリップに対して垂直にコリメータを移動させたときの各ストリップのイベント数 70
6.13 p^+ ストリップのイベント数をガウス分布でフィッティングしたときの平均値 (線源の位置) とコリメータの移動距離の相関 70
6.14 n^+ ストリップに対して垂直にコリメータを移動させたときの各ストリップのイベント数 70
6.15 n^+ ストリップのイベント数をガウス分布でフィッティングしたときの平均値 (線源の位置) とコリメータの移動距離の相関 70
6.16 直径 800 μm の真鍮線で製作したリーフ 71
6.17 真鍮線のリーフを撮像するときのセットアップ図 71
6.18 真鍮線のリーフの撮像結果 72
6.19 スプリットイベントの概念図 72
6.20 最も大きい波高値と 2 番目に大きい波高値の 2 次元ヒストグラム。^{241}Am、peaking time = 2 μsec 74
6.21 スプリットイベントを抜き出した 2 次元ヒストグラム (上) と上図の X 軸への射影 (下) 74
6.22 最も大きい波高値と 2 番目に大きい波高値の 2 次元ヒストグラム。^{57}Co、peaking time = 2 μsec 75
6.23 スプリットイベントを抜き出した 2 次元ヒストグラム (上) と上図の X 軸への射影 (下) 75
6.24 FEC と TypeA の接続。下側が DC 結合、上側が AC 結合である。 75
6.25 新しい読み出しシステムを用いて TypeA を読み出すときのセットアップ . 75
6.26 ROC を用いて TypeA、RC チップ、VA32TA チップを読み出したときの多チャンネル加算スペクトル (AC 結合) 76
6.27 ROC を用いて TypeA、VA32TA チップを読み出したときの多チャンネル加算スペクトル (DC 結合) 76

表 目 次

3.1 TypeA と TypeB の基本設計の比較 23
3.2 TypeA と TypeB 上下のエネルギー分解能と全体のカウントレートの比較 . 28
3.3 TypeA と TypeB 上下の基礎パラメータとエネルギー分解能 34
3.4 DSSD の基本設計の比較 35

4.1 VA32TA の基本仕様 45

5.1 実際に得られたエネルギー分解能と理論的に予想されるエネルギー分解能の比較 61

第1章　序論

1.1　X線ガンマ線天体物理学

1960年代以降、X線ガンマ線の観測衛星がいくつも打ち上げられ、宇宙のあらゆるところでX線ガンマ線の放射を伴う高エネルギー現象を伴っていることがわかってきた。特に、10 keV以下のエネルギー領域ではNewton衛星 (1999年、欧州) やChandra衛星 (1999年、米国) によって今までにない感度と位置分解能で天体を観測することができている。数10 MeV以上ではEGRET衛星 (1991年、米国) がガンマ線天体物理学を飛躍的に向上させ、2006年打ち上げ予定のGLAST衛星 (米国) によって数10 MeV以上のガンマ線に対してEGRETを1桁以上上回る感度を持つことが期待されている。図1.1に主なX線ガンマ線観測衛星の感度を示す。この図からわかるように、数10 keVから数10 MeVのエネルギー領域に大きなSensitivity gapがある。10 keV以下のエネルギーでは反射望遠鏡を利用した集光観測が可能であり、数10 MeV以上では電子陽電子対生成の飛跡を追うことにより高感度な観測ができる。これに対し、100 keV以上、数 MeV以下の領域ではコンプトン散乱が支配的になる。シンチレータを用いると、X線ガンマ線が検出器内でコンプトン散乱の後に光電吸収を行った場合のみ光子のエネルギーを測定することは可能である。しかし、光子が光電吸収をして全てのエネルギーを落とす前に検出器から逃げてしまう場合も多く、検出器の検出効率が低くなってしまう。さらにエネルギーを測るだけでは光子の到来方向を知ることができない。

ところが、このSensitivity gapになっているエネルギー領域は非常に重要な情報を多く含んでいる。超新星爆発やブラックホール、銀河団などから放射される高エネルギー粒子の加速機構は未だ解決されておらず、高エネルギー粒子が放出するX線ガンマ線を観測することが重要である。10 keV以下の領域では高温プラズマからの熱的放射が無視できないのに対して、10 keV以上になると高エネルギー粒子からの非熱的放射が支配的となり、加速機構の解明には必要不可欠な観測領域である。また、このエネルギー領域には^{57}Co(122 keV)、^{56}Ni(158 keV、812 keV)、^{22}Na(511 keV、1275 keV)、^{56}Co(847 keV)などの多くの核ガンマ線が存在する。これらの元素は超新星爆発などで作られるため、銀河における星の生成過程を知る手がかりになる。

CGRO(Compton Gamma-Ray Observatory)に搭載されたCOMPTEL衛星 (1991年、米国) はこのエネルギー領域でコンプトン散乱の運動学を利用した最初の検出器であり、最初の散乱を位置検出型のシンチレータで測定し、次の光電吸収を二つ目のシンチレータで測定する。この方法によりCOMPTEL衛星は上記のような科学的興味に対してさまざまな情報をもたらした。しかし、散乱した光子を吸収するための立体角が小さいため、

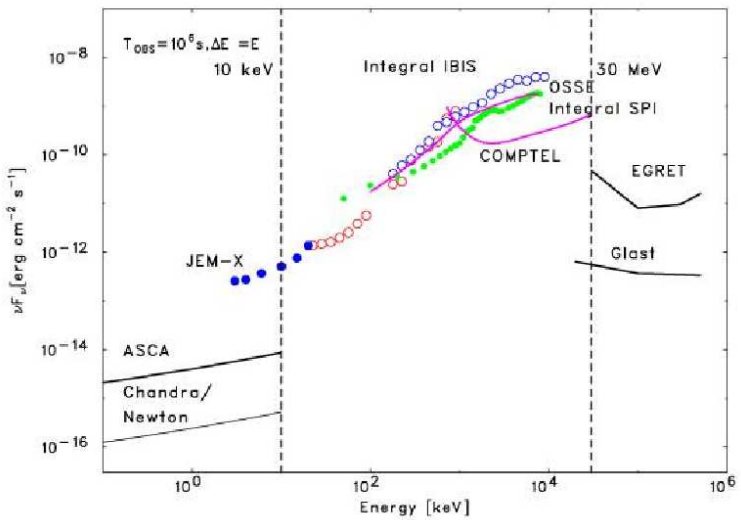


図 1.1: さまざまな観測衛星の感度の比較。横軸は X 線、ガンマ線のエネルギー、縦軸は感度を表す。

検出効率が低く、エネルギー、位置決定精度が悪かったので角分解能も十分ではなく、感度が低かった。

よって、次世代の検出器として 100 keV 以上に高い感度を持ち、さらに高精度のエネルギー分解能を備えた検出器の開発が必要になってくる。その候補に挙げられているのが多重コンプトンガンマ線カメラである。

1.2 多重コンプトンガンマ線カメラ

1987 年、釜江 (T.Kamae et al,1987) らによって多重コンプトンガンマ線カメラが提案されて以来、さまざまな検出器構成が提案、試作されている。シリコン半導体のみを用いたもの、シンチレータと組み合わせたもの、液体キセノンやゲルマニウム半導体を用いたものなどが挙げられる。これらに対し、我々のグループが開発を進めている多重コンプトンガンマ線カメラの特徴はシリコン (Si) 半導体とテルル化カドミウム (CdTe) 半導体をハイブリッドにし、極めて高いエネルギー分解能を達成することである。散乱体として、本論文で詳しく述べるシリコンストリップ検出器 (SSD:Silicon Strip Detector) と CdTe 半導体のピクセル検出器を多層に積み上げ、より高エネルギーなガンマ線に対する感度を上げるために吸収体として厚い CdTe で覆う。SSD は低エネルギー側で散乱効率が良く、大面積化が可能であるため、散乱体として極めて重要である。多重コンプトンガンマ線カメラの基本的な構造を図 1.2(a) に示す。

(a) (b)

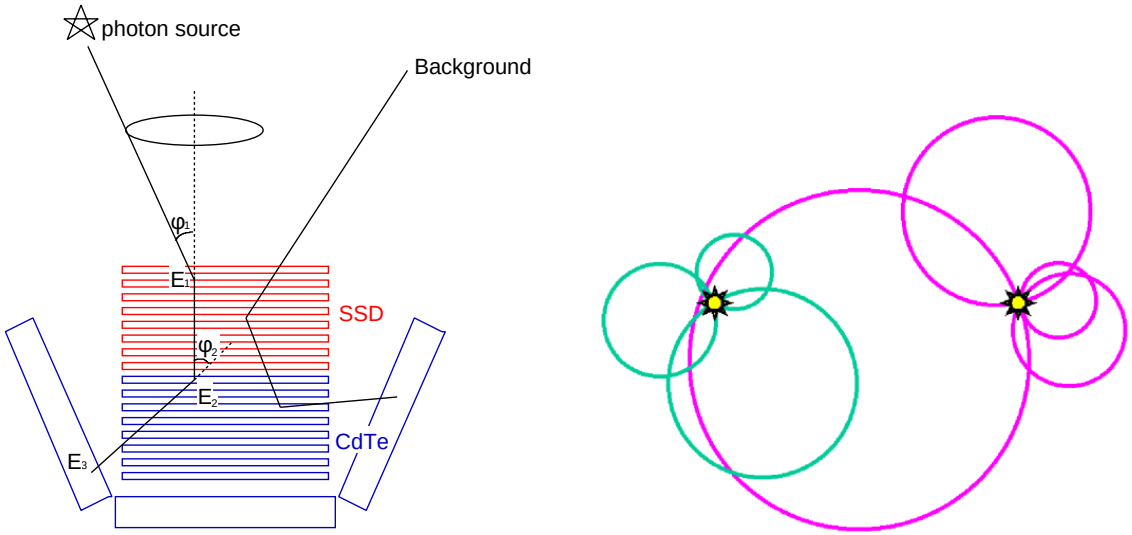


図 1.2: (a) 多重コンプトンガンマ線カメラの基本構造。散乱体として SSD、CdTe ピクセル検出器を用いる。天体からの X 線、ガンマ線は散乱体で複数回のコンプトン散乱を繰り返し、吸収体で光電吸収を起こす。(b) 数イベントの重ね合わせ。円弧が重なり合っているところが天体の位置になる。円弧の太さは検出器のエネルギー分解能に依存する。

多重コンプトンガンマ線カメラの検出原理はコンプトン散乱の運動学

$$cos\phi_1 = 1 + \frac{m_e c^2}{E_1 + E_2 + E_3} - \frac{m_e c^2}{E_1 + E_2} \tag{1.1}$$

$$cos\phi_2 = 1 + \frac{m_e c^2}{E_2 + E_3} - \frac{m_e c^2}{E_3} \tag{1.2}$$

を基にしている。ϕ_1、ϕ_2 はそれぞれ光子の 1 回目、2 回目の散乱の散乱角、E_1、E_2、E_3 はそれぞれ何度目かの散乱における反跳電子のエネルギーである。この式からわかるように、入射 X 線、ガンマ線の反応位置とそこで落としたエネルギーがわかれば、一つの光子に対して、入射方向を一つのコーン上に制限することができる。それを複数イベント重ね合わせることによって天体の位置を求めることができる (図 1.2(b))。多重コンプトンガンマ線カメラの角分解能 (コーンの太さ) を決定するのは式 (1.1)、(1.2) からみてもわかるように、検出器のエネルギー分解能である。コンプトン散乱を考えた場合、理想的な半導体検出器と読み出し回路を仮定すると最も高いエネルギー分解能は Doppler Broadening によって決められる。Doppler Broadening とはコンプトン散乱で光子が落としたエネルギーを測定する場合、反応する電子がランダムな運動量を持って原子核に束縛されており、反跳電子のエネルギーを完璧に測定できたとしても測定エネルギーが広がってしまうことである。よって、我々はこの Doppler Broadening にせまったエネルギー分解能を持った検出器の開発を目指している。特に Doppler Broadening は原子番号が小さいほど影響は少なく、シリコンは重い元素であるキセノンやゲルマニウム、CdTe に比べて高いエネルギー分解能を達成することができるので、多重コンプトンガンマ線カメラの角分解能向上には欠かすことのできない検出器である。

多重コンプトンガンマ線カメラの原理を用いるとさまざまなメリットを生み出せる。初めに、高い感度が達成できることである。2 層から多層にすることで反応率が上がると同時に、最初の二つの散乱の反応位置と落としたエネルギーと三回目の反応で落としたエネルギーがわかれば、検出器内で全てのエネルギーを落とさなかったとしても入射 X 線ガンマ線のエネルギーと到来方向を一意に決定することができるからである。これにより、コンプトン連続部をほとんど取り除くことができる。複数イベント集めることによって一つの光子に対して到来方向が決定できるので、天体以外からの X 線ガンマ線や、内在あるいは放射化バックグラウンドなどの徹底した除去が可能であり、バックグラウンドが支配的なガンマ線領域では大きな武器となる。さらに、コンパクトな設計が可能なため広い視野を持つ。明るいガンマ線天体の多くは時間変動が激しいので、できるだけ広い視野でモニタリングしていることが望ましい。

本論文では、多重コンプトンガンマ線カメラの散乱体となる SSD の基礎特性と撮像能力についてまとめる。2 章、3 章では SSD の基礎特性について述べ、4 章では複数チャンネル同時計測のための読みだしシステムについてまとめる。5 章では片面 SSD の複数チャンネル読みだし結果をまとめ、6 章では両面 SSD の性能評価と撮像能力について議論する。最後に今後の課題に触れる。

第2章　半導体検出器の基礎特性とシリコンストリップ検出器

2.1　半導体を用いた放射線検出器の検出原理

放射線と物質の相互作用には光電効果、コンプトン散乱、電子陽電子対生成の 3 種類がある。放射線は物質中の束縛電子とこれらの相互作用を行い、そのエネルギーを束縛電子に渡す。エネルギーを得た電子は物質中を動き、飛跡に沿って電子ホール対を生成する。半導体を用いた放射線検出器の動作原理は、これらの電離作用により生成された電子ホール対を分離し、電極に収集して信号にすることである。生成された電子ホール対の数は反応した放射線のエネルギーに比例しているので、信号の大きさがそのまま放射線のエネルギーを表す。正しくエネルギーを知るためには、生成された電子ホール対が再結合する前に効率良く分離、収集しなければならず、そのためには半導体結晶内に電場をかけることが必要である。純粋なシリコン結晶の場合、バンドギャップは大きく (1.15 eV)、常温で熱励起によるキャリアがほとんど存在しないので結晶中に電場をかけることができる。しかし、実際のシリコン結晶は不純物を含んでいるので、熱励起されたキャリアを持っている。そこで、シリコン結晶を放射線検出器として使用する場合、結晶内からキャリアを消す「空乏化」が必要になり、空乏化された結晶内 (空乏層) が有感領域となる。シリコン検出器は極めて純粋な結晶を用い、ダイオード構造にして逆バイアスをかけることによって空乏層を厚くしている。

2.2　pn 接合ダイオード

シリコンやゲルマニウムは 4 価の原子なので、5 価のリンを小量混ぜるとリンに置き換わった格子で電子が一つ余り、容易に伝導電子となって、電子をキャリアとする n 型半導体を作ることができる。逆に 3 価のホウ素を少量混ぜることにより、ホールをキャリアとする p 型半導体ができる。n 型、p 型半導体のバンドギャップ内にできる新しいエネルギーレベルの構造を図 2.1 に示す。ドープした不純物濃度が特に高いものを+記号をつけてそれぞれ n^+ 型、p^+ 型半導体という。この 2 つの半導体が金属学的に結合されると pn 接合ダイオードができる。接合近傍には大きなキャリア密度勾配ができるので、キャリアの拡散が起こり、n 型から p 型に向けて電子が移動し、p 型から n 型に向けてはホールが移動する。その結果、移動した電子ホールが再結合し、残されたアクセプタイオンとドナーイオンにより電場が作られる。この電場は n 型、p 型半導体のキャリアの侵入を防ぐ方向に

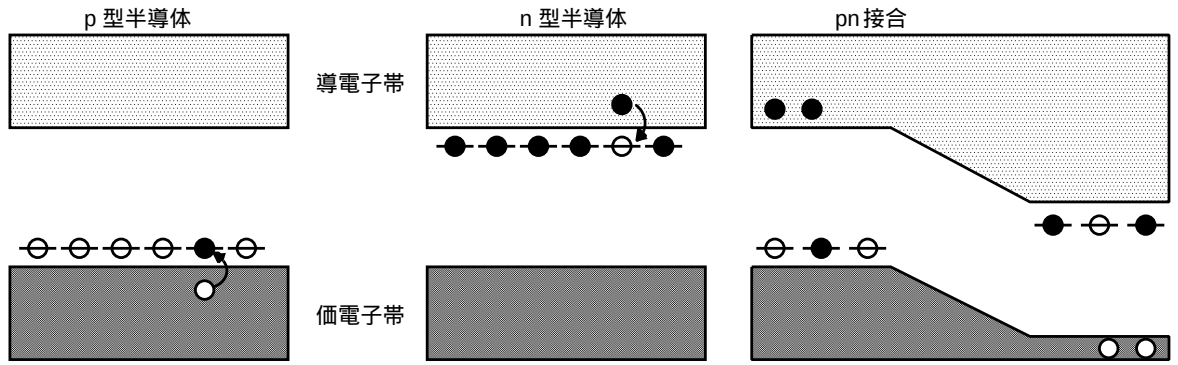


図 2.1: n 型、p 型半導体と pn 接合のバンドギャップ内にできる新しいエネルギーレベル

作られるので、接合近傍はキャリアがほとんど存在しない空乏層になる。さらに、pn 接合ダイオードに逆バイアス電圧をかけることにより、それぞれのキャリアは接合部のポテンシャル壁を越えて再結合する。始めに中性であった n 型、p 型半導体はそれぞれ正負に帯電し、逆バイアス電圧とつり合うところまでキャリアが取り除かれ、空乏層を広げることができる。

2.3 シリコンストリップ検出器の基礎

2.3.1 シリコンストリップ検出器の構造

高エネルギー物理学の分野で短寿命粒子の検出のために、高い位置分解能を持つ飛跡検出器として開発されたのがシリコンストリップ検出器 (SSD:Silicon Strip Detector) である。SSD の基本的な構造は図 2.2 のように、n 型シリコンウェーハーの上に p^+ 型のシリコンを細い短冊状に並べ、多数の pn 接合ダイオードを形成したもので、それぞれのダイオードが独立な検出器として働く。抵抗を減らすために p^+ ストリップ、backplane(n^+ 層) には Al 電極が取り付けられている。さらに p^+ ストリップ側には絶縁層 (SiO_2) を入れてカップリングコンデンサを形成し、直流電流が流れ込まないようにしている。

逆バイアスをかけて空乏層を広げた SSD に X 線が入射した場合を考える。図 2.2 のように、n バルク内で光電効果を起こした場合、エネルギーを得た電子が n バルク内を走り、その軌跡に沿って電子ホール対が生成される。生成された電子は電場に従って n^+ 側に引き寄せられるのに対し、ホールは最も近い p^+ ストリップに引き寄せられる。つまり、電荷が集められて信号として読み出された p^+ ストリップが X 線の反応位置を示すのである。

SSD の特徴としては、上で述べたように高い位置分解能を持つことの他に、高速応答性があげられる。厚さ 300μ m の典型的な SSD では deadtime は約 30 nsec であり、プラスチックシンチレータと同程度の速い応答をする。

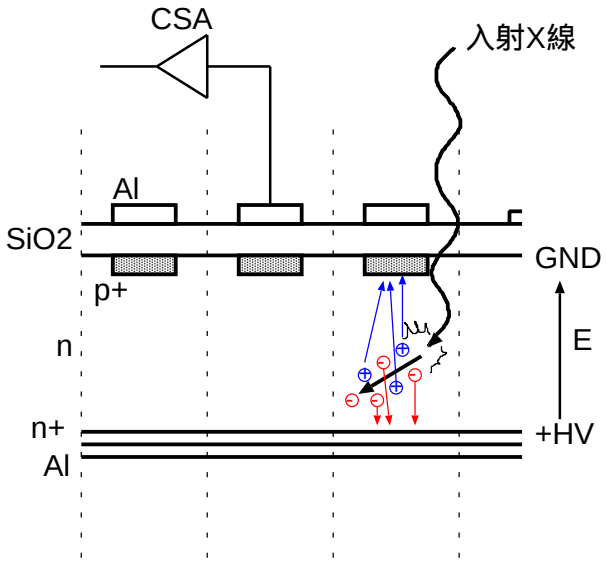


図 2.2: シリコンストリップ検出器の基本構造。n バルク内で X 線が光電吸収を起こした場合、エネルギーに比例した電子ホール対ができ、内部電場に従って電極に収集される。

2.3.2 Leakage Current

半導体では、熱的に励起された電子ホールがエネルギーギャップを越えて伝導帯に遷移することにより、直流電流が流れる。この電流をリーク電流をいう。純粋な半導体の場合、リーク電流はこの熱励起による成分のみであり、ドナー、アクセプタがドープされた結晶でも空乏層を形成していれば同じである。しかし、実際の結晶は完全なものではなく、必ず有限の欠陥やドナー、アクセプタ以外の不純物を含んでいる。これらがエネルギーギャップに新たなエネルギーレベルを作り、電子ホールの伝導帯への遷移を助けてリーク電流を作り出す。SSD の場合、複雑な構造をしているため、結晶内に存在する不純物以外によるリーク電流も存在する。ダイオード構造、絶縁層や電極などがシリコン結晶を乱し、それらによる欠陥、不純物等のエネルギー準位によるリーク電流や、絶縁層など有限な抵抗から洩れ出すリーク電流がある。これらのリーク電流は SSD を製造する過程の質に大きく依存し、製造過程の質が高ければ n バルクからのリーク電流が支配的になり、質が悪ければ表面部分からのリーク電流が効いてくる。

リーク電流は温度にも大きく依存する。一般には

$$I(T) \propto T^2 exp(\frac{-E}{2k_B T}) \tag{2.1}$$

の形をしている。T は温度、E はエネルギーギャップ、k_B はボルツマン定数である。常温では 7.5 度で約 2 倍変化するので、室温から 0 度に冷却すればリーク電流を一桁落とせる。

また、放射線損傷によってもリーク電流は増加する。放射線損傷は大きく分けてバルク損傷と表面損傷の二つがあり、特にバルク損傷がリーク電流の増加につながる。バルク損傷は結晶内の原子が放射線と相互作用し、本来の位置からずれて結晶が乱れることであ

る。表面損傷は表面の絶縁層に荷電粒子が通過することによるイオン化帯電効果である。絶縁層で作られた電子、ホール、陽イオンのうち、電子は移動度が高いので拡散して消えるが、ホールと陽イオンは移動度が低いため欠陥などに容易にトラップされ、正電荷を蓄積してしまう。

2.3.3 Body Capacitance と Inter-strip Capacitance

SSD が持つ容量は主に p^+strip と backplane 間で形成する Body Capacitance と、ある p^+ ストリップとその周辺の p^+ ストリップ間で形成する Inter-strip Capacitance がある (図 2.3)。一般的な pn 接合の場合、逆バイアスをかけなくても、数 10 μm の空乏層が存在

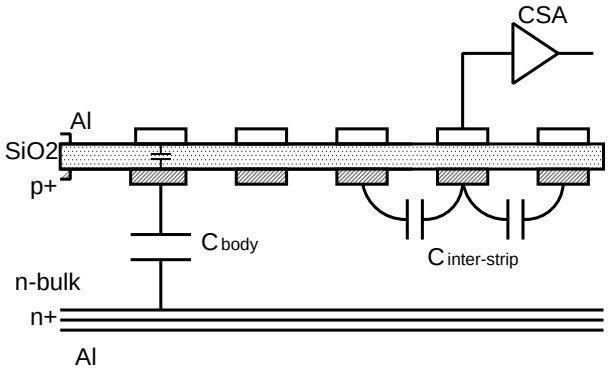


図 2.3: Body Capacitance と Interstrip Capacitance

し、逆バイアスをかけていくにつれて p^+ ストリップ側から空乏層が広がる。それにつれて Body Capacitance も徐々に減っていき、完全に空乏化できると BodyCapacitance は一定値をとる。よって、Body Capacitance を測定すれば全空乏化電圧を知ることができる。理論的には全空乏化電圧は

$$V_n = (\frac{d}{0.53})^2 \frac{1}{\rho_n} \qquad (\text{バルクが n 型の場合}) \tag{2.2}$$

$$V_n = (\frac{d}{0.32})^2 \frac{1}{\rho_p} \qquad (\text{バルクが p 型の場合}) \tag{2.3}$$

で表すことができ、d は SSD の厚さ、ρ_n、ρ_p はそれぞれ n 型、p 型半導体の比抵抗である。これからわかるように、同じ比抵抗のバルクを持つ検出器でも n 型か p 型かにより全空乏化電圧が異なる。これは電子とホールの移動度の違いからきている。

Inter-strip Capacitance の場合も同じことがいえる。逆バイアスをかけていくと、空乏層が p^+ ストリップ側から広がっていくにつれて容量は減っていき、隣のストリップが形成している空乏層と結び付いたところで、一定値をとる。そのときの電圧は SSD の構造にも依るが、一般的な SSD の場合、全空乏化電圧よりも小さい。Inter-strip Capacitance は最も近い両隣のストリップからの寄与のみを測定するだけで、十分良い近似となる。

2.3.4　両面シリコンストリップの構造

p^+ 側だけがストリップ構造になっているものを片面シリコンストリップ検出器という。片面 SSD の場合、放射線との相互作用により生成されたホールが最も近い p^+ ストリップに収集されるので、1 次元の位置情報を知ることができる。電子は backplane に収集され、位置情報には関与しない。これに対し、p^+ 側だけでなく p^+ ストリップに垂直な方向に n^+ 側がストリップ構造を形成しているものを両面シリコンストリップ検出器 (Double-sided Silicon Strip Detector:DSSD) という。DSSD の基本構造を図 2.4 に示す。生成されたホールは片面 SSD の場合と同様に最も近い p^+ ストリップに収集され、電子は最も近い n^+ ストリップに収集される。これにより、放射線の反応位置を 2 次元で知ることができる。

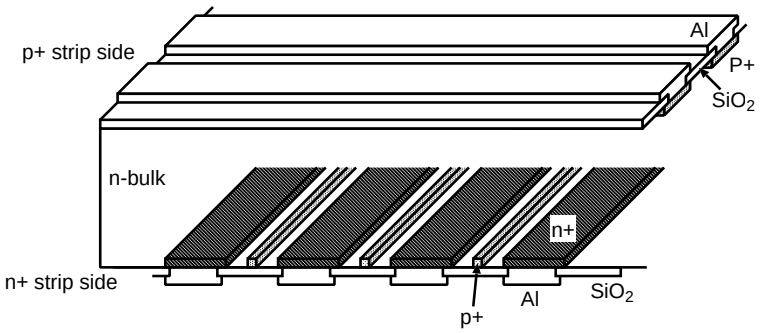


図 2.4: 両面シリコンストリップ検出器の基本構造

絶縁層 (SiO_2 層) で生成された電子、ホール、陽イオンのうち、ホールと陽イオンが格子欠陥などに簡単にトラップされ、正電荷を蓄積してしまうことは §2.3.2 で述べた。この現象は特に SiO_2 層と n バルクの境界面で起こりやすいことが知られている。よって DSSD の場合、n^+ ストリップ側の n バルクと SiO_2 の境界に正電荷がたまると、n バルクが n^+ 型のような性質を持ってしまい、n^+ ストリップ構造が消されて、まるで n^+ の平面層のように振舞う。これを Accumulation Layer という。そこで、Accumulation Layer を防ぐために図 2.4 のように n^+ ストリップ間に細い p^+ ストリップを入れて各 n^+ ストリップの独立性を保っている。

n^+ ストリップ側の Inter-strip Capacitance は独立性を高めるための p^+ ストリップ構造があるため、p^+ 側と少し異なる。図 2.5 のように両隣の n^+ ストリップとで形成するキャパシタンスだけでなく、p^+ ストリップとの間でもキャパシタンスを形成するので、p^+ 側の Inter-strip Capacitance よりも少し大きくなる。そのため、p^+ ストリップ側に比べて n^+ ストリップ側の方がエネルギー分解能が悪くなる。

多重コンプトンガンマ線カメラを考えた場合、X 線ガンマ線の散乱位置を 2 次元で知る必要があるので、散乱体のシリコンストリップ検出器は DSSD でなければならない。また、高精度のエネルギー分解能が求められるので、反応した X 線ガンマ線が落としたエネルギーはエネルギー分解能が良い p^+ ストリップ側で測り、n^+ ストリップ側は位置情報

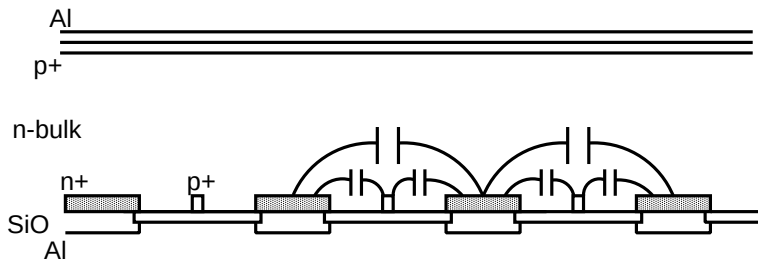


図 2.5: n^+ ストリップの Inter-strip Capacitance

を知るためだけに用いることになる。

2.4 シリコンストリップ検出器の読み出し

2.4.1 半導体検出器の信号処理

半導体検出器で電極に収集されたキャリアを信号として処理するために、一般には電荷有感型前置増幅器 (CSA:Charge Sensitive Amplifier) と波形整形増幅器、アナログデジタル変換器 (ADC:Analogue Digital Convertor) を用いる。まず、収集されたキャリアは CSA のフィードバックキャパシタンスに反比例した電圧値に変換される。次に整形増幅器で波形を整形、増幅し、その波高値を ADC でデジタル値にする。一般的な回路図を図 2.6 に示す。

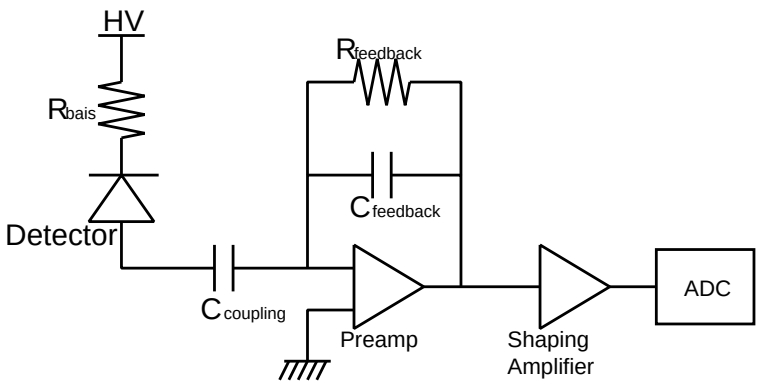


図 2.6: 半導体検出器の一般的な信号処理回路図

SSD の場合、リーク電流が CSA のフィードバック抵抗に流れ込むのを防ぐために、SSD と CSA の間にカップリングコンデンサを入れてリーク電流をカットする必要がある。ただし、カップリングコンデンサの容量を信号に対して十分大きくしておかないと AC 結合によるカップリング損失を生み、エネルギー分解能が悪くなってしまう。また、動作温度を十分下げ、リーク電流が無視できる程度の大きさになればカップリングコンデンサを介

する必要はなく、SSD と CSA を DC 結合することもできる。

2.4.2 シリコンストリップ検出器のエネルギー分解能

半導体検出器のエネルギー分解能は、放射線が検出器内でエネルギー E を失った場合、生成された電子ホールの数 n $(=\frac{E}{\varepsilon})$ の統計分散に依存する。ε は電子ホール対を生成するために必要な平均エネルギーであり、シリコンの場合 ε=3.65 eV である。バンドギャップよりも大きいのは、放射線と相互作用を起こした電子がシリコン内を通るときのエネルギー損失が、電子ホールを作る以外に原子核とのクーロン相互作用などで消費されるためである。電子ホール対が生じる事象がすべて独立である場合、生成される電子ホール数はポアソン分布に従い、分散は n になる。そのため、同じエネルギーが付与された場合でも ε が小さな物質の方がエネルギー分解能がよい。しかし、実際の半導体検出器のエネルギー分解能はポアソン分布から予想される統計精度よりも良い値を示す。このポアソン分布からのずれを定量化するために導入されたのがファノ因子 F であり、

$$F \equiv \frac{\text{統計分散の観測値}}{n} \tag{2.4}$$

で定義され、シリコンの場合ファノ因子は約 0.1 である。

半導体検出器からの信号を実際に読み出す場合、ファノ因子を考慮した統計分散の他にさまざまな電子回路ノイズの影響をうける。電子回路ノイズは主に以下の 3 種類ある。

1. ジョンソンノイズ
   抵抗などでキャリアの熱運動による揺らぎにより素子の両端に現れるノイズ。CSA に電荷 Q が入力される場合を考えると、コンデンサにかかる電圧とバイアス抵抗にかかる電圧 V_R は等しいので、抵抗を流れるノイズ電流を I_n とすると

   $$Q^2 = \frac{(R_{bias}C)^2}{1+(R_{bias}C\omega)^2} I_n^2 \tag{2.5}$$

   が成り立つ。よって、Q に対する I_n の伝達関数:$T(\omega)$ は

   $$T_{bias}(\omega)^2 = \frac{(RC)^2}{1+(RC\omega)^2} \tag{2.6}$$

   となる。この式から伝達関数は、R が十分大きい場合、$\propto \omega^{-2}$ となり、R が小さいと $\propto RC^2$ になる。また、shaping Amplifier は CR-RC の組合せであり、その伝達関数は shaping time を τ とすると

   $$T(\omega) = \frac{(\omega\tau)^2}{1+(\omega\tau)^2} \tag{2.7}$$

   である。ノイズは全ての周波数に含まれているので、ENC(Equivarent Noise Chage) への寄与は

   $$ENC_{bias} = \frac{1}{2\pi}\frac{1}{q_e^2}\int_0^\infty T(\omega)^2 T_{bias}(\omega)^2 I_n^2 d\omega \tag{2.8}$$

で表される。ジョンソンノイズの場合、I_n は

$$I_n = \frac{4k_B T}{R_{bias}} \tag{2.9}$$

である (q_e は電気素量 ($\approx 1.6\times10^{-19}$ C)、k_B はボルツマン定数、T は温度)。

計算すると、R が十分大きい場合は、

$$ENC_{bias} = 770\sqrt{\frac{\tau \ \ (\mu\mathrm{sec})}{R_{bias} \ \ (\mathrm{M}\Omega)}} \qquad (\mathrm{e}^-) \tag{2.10}$$

R が小さい場合は

$$ENC_{bias} = 0.77C(\mathrm{pF})\sqrt{\frac{\mathrm{R_{bias}} \ \ (\mathrm{M}\Omega)}{\tau \ \ (\mu\mathrm{sec})}} \qquad (\mathrm{e}^-) \tag{2.11}$$

となる。このことから、バイアス抵抗は極端に大きい、もしくは極端に小さいと ENC が 0 に近付くことがわかる。

2. ショットノイズ
半導体検出器のリーク電流 I_{lc} によって生じるノイズ。この場合もジョンソンノイズと同じ式が使えるが、I_n が異なり、

$$I_n = \frac{e}{2q_e}\sqrt{q_e I_{lc}\tau} \tag{2.12}$$

で表すことができる。e は自然対数 (≈ 2.7183) である。RC の十分大きなシステムでは

$$ENC_{lc} = 110\sqrt{I_{lc}\tau \ \ (\mathrm{nA}\cdot\mu\mathrm{sec})} \qquad (\mathrm{e}^-) \tag{2.13}$$

となる。

3. アンプノイズ
検出器が持つ電気容量に依存する CSA のノイズで、以下の式で表すことができる。

$$ENC_{amp} = k_0 + k_1 C_l \tag{2.14}$$

C_l は CSA にロードされる電気容量、k_0、k_1 は CSA と shaping amplifier によって決まる定数である。C_l は基本的に検出器が持つ電気容量と等しく、SSD の場合、Body Capacitance と Inter-strip Capacitance の足し合わせである。SSD と CSA が AC 結合されているときは、直列につながったカップリングコンデンサの容量も CSA にロードされるが、一般的にカップリングコンデンサの容量は Body Capacitance、Inter-strip Capacitance よりも十分大きく、電荷のゆらぎにはほとんど影響しない。

よって、これらのノイズを合成すると、

$$ENC_{total}^2 = ENC_{bias}^2 + ENC_{lc}^2 + ENC_{amp}^2 \tag{2.15}$$

となる。半導体検出器のエネルギー分解能は ENC_{totla} と統計揺らぎ ENC_{stat} に依存し、一般に半値幅 (FWHM) で表す。よって、半導体検出器のエネルギー分解能は

$$\Delta E(\mathrm{FWHM}) = 2.35\varepsilon\sqrt{\left(F \cdot \frac{E}{\varepsilon}\right) + ENC_{total}^2} \tag{2.16}$$

で表すことができる。

第3章　シリコンストリップ検出器の性能評価

3.1　エネルギー分解能を上げるための工夫

シリコンストリップ検出器 (SSD) は典型的に数　$\mathrm{nA/cm^2}$ のリーク電流を持っており、電荷有感型前置増幅器 (CSA) に接続する前にこの直流成分をカットしなければならない。そこで、SSD と CSA の間に AC カップル用のコンデンサを介する必要がある。

次世代ガンマ線衛星 GLAST で用いられているような今までの SSD は図 2.2 に示すように SSD とカップリングコンデンサ、各ストリップに独立にバイアス電圧を供給するバイアス抵抗がひとつのシリコンチップ上に作り込まれていた。しかし、今回我々のグループが多重コンプトンカメラの基礎研究用に試作した SSD は、歩留まりの向上、さらにはバイアス抵抗値を大きくするために SSD とは分離して、カップリングコンデンサ、バイアス抵抗を RCchip として別のシリコンチップ上に作った (図 3.1)。バイアス抵抗を大きくすることによってジョンソンノイズを減らすことができ、エネルギー分解能向上につながる。

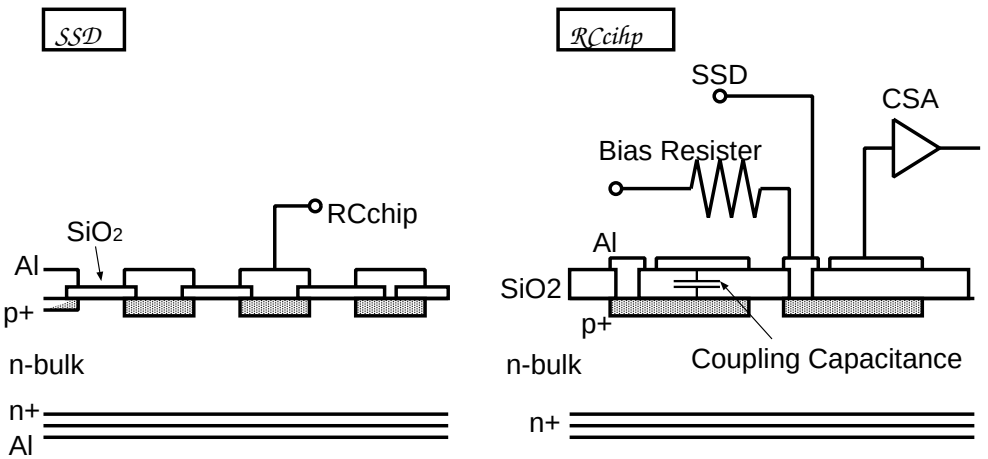


図 3.1: 多重コンプトンガンマ線カメラの基礎研究用に製作した SSD と RCchip

さらに、SSD のエネルギー分解能は SSD の容量に大きく影響されている。そこで我々のグループは通常のストリップ構造をしている SSD(TypeA) と、TypeA のストリップを垂直に 2 等分した TypeB を製作した。それぞれの構造を図 3.2 に示す。2 等分したため、

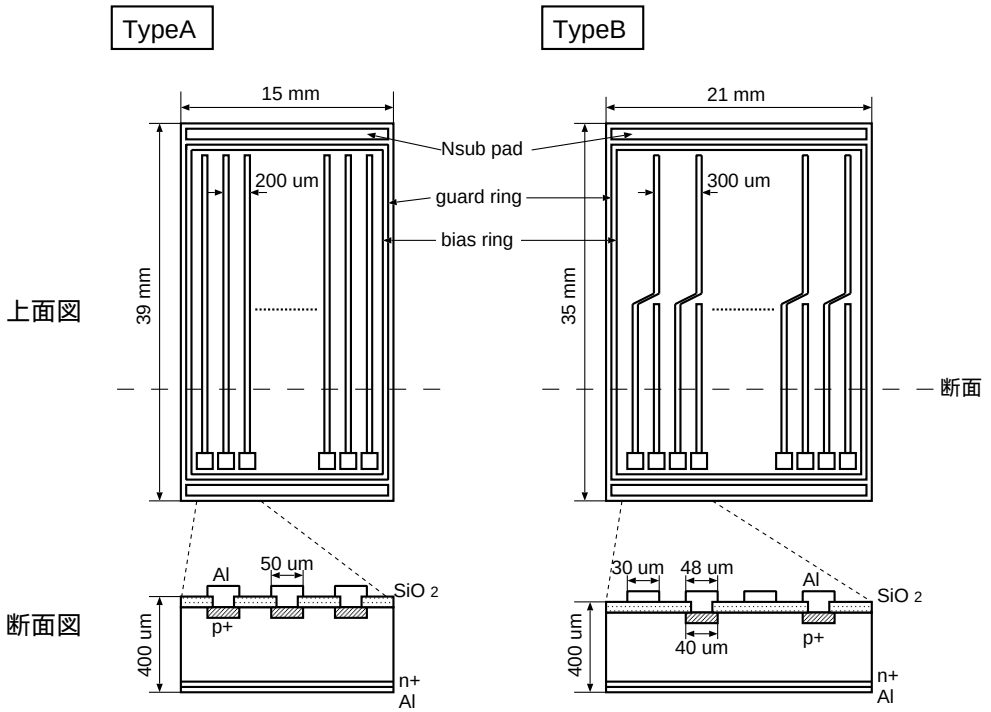


図 3.2: TypeA、TypeB の上面図と断面図

TypeB はボンディングパッドが付いているストリップと付いていないストリップができる (以後それぞれを下側のストリップ、上側のストリップと呼ぶ)。そこで、上側のストリップは図 3.2 のように Am 電極だけを引き延ばしてボンディングパッドをつけた。TypeA、TypeB のチップの大きさはそれぞれ 15 mm×35mm、21 mm×35 mm であり、厚さはともに 0.4 mm である。TypeA と TypeB の基本設計を表 3.1 にまとめる。TypeB は読みだしストリップ数が 2 倍になるが、リーク電流と Body Capacitance、Inter-strip Capacitance が半分になるのでエネルギー分解能の向上が期待できる。TypeA、TypeB にはストリップの他に以下のような構造がある。

1. Nsub
   シリコンチップの空乏層化していないエッジ部分を通して backplane と導通しているパッド。このパッドを用いると、SSD の p^+ ストリップ面から backplane に電圧をかけることができる。

2. バイアスリング
   バイアスリングの外側で発生するリーク電流を吸収し、内部にあるストリップに外からリーク電流が流れ込むのを防ぐとともに、ストリップ周辺の電界を一様に整える作用をする。

3. ガードリング
   電気的に浮いている p^+ をバイアスリングの周囲にめぐらせることで、バイアスリングの p^+ 部分周辺の電束密度が大きくならないようににする。

表 3.1: TypeA と TypeB の基本設計の比較

SSD	TypeA	TypeB
ストリップ数	64 本	64×2 本
ストリップ間隔	200 μm	300 μm
ストリップの長さ	3.8 cm	1.7 cm
p^+ ストリップの太さ	40 μm	40 μm
Al 電極の太さ	48 μm	48 μm
引き延ばした Al 電極の太さ		30 μm

3.2 I-V curve,C-V curve

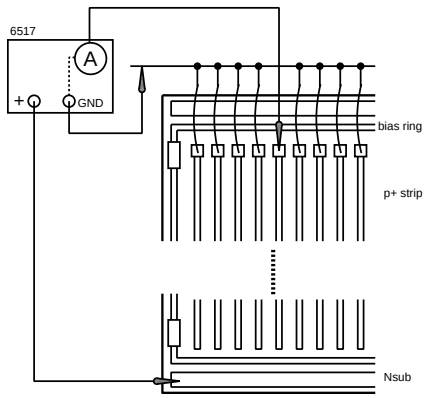
§2.4.2 で述べたように、SSD のエネルギー分解能を決める基本物理量はリーク電流と Body Capacitance、Inter-strip Capacitance である。そこで、まず TypeA に対して、1 ストリップあたりのそれぞれの値を測定した。リーク電流の測定セットアップを図 3.3 に示す。Nsub に正のバイアス電圧をかけ、読み出すストリップ以外のすべてのストリップとバイアスリングを GND に落とす。電源は Keithley Instruments 社製の Model 6517 を用いて 0 V から 100 V まで 4 V ステップで電圧をかけた。この電源は電流計を内蔵しており、電圧をかけると同時に電流を測定することができる。測定したときの温度は約 20 度で、測定したストリップは無作為に選び、6 番、28 番、53 番、60 番とした。得られた結果を図 3.4 に示す。この結果より、TypeA はバイアス電圧が 100 V のときに 1 ストリップあたり約 130 pA のリーク電流が流れていることがわかった。次に Body Capacitance を測定するときのセットアップを図 3.3(b) に示す。リーク電流測定と同様 Nsub から逆バイアスをかけ、全てのストリップを Cu テープにワイヤボンドした。キャパシタンスメータは HP 社製 Model4284A を用いている。測定結果 (図 3.6) は TypeA 全体で約 130 pF であり、1 ストリップあたり約 2.0 pF であった。TypeA を平行板コンデンサと近似した場合、容量は

$$C = \varepsilon_{si}\varepsilon_0 \frac{S}{d} \tag{3.1}$$

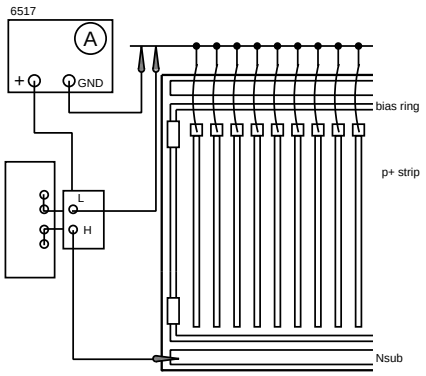
で計算することができる。ε_{si} はシリコンの比誘電率 ($= 11.9$)、ε_0 は真空の誘電率 ($= 8.85\times10^{-12}$ [F/m])、S はチップの面積、d は SSD の厚さに相当する。これを用いて計算すると、TypeA 全体の Body Capacitance は約 140 pF と計算され、実測値と約 7 %以内で一致している。Inter-strip Capacitance 測定のセットアップは図 3.3(c) の通りである。Nsub から逆バイアスをかけ、測定するストリップとその両隣のストリップ以外を GND に落とし、2 本以上隣のストリップからの寄与は測定されないようになっている。測定結果は 1 ストリップあたり 1.9 pF であることがわかった (図 3.8)。Inter-strip Capacitance は Body Capacitance に比べて低い電圧で一定の値をとっている。これは空乏層が p^+ ストリップと n バルク境界から生成され、ストリップ間はすぐに全空乏層化されるためである。

次に TypeB のリーク電流、Body Capacitance、Inter-strip Capacitance を測定した。そ

(a)



(b)



(c)

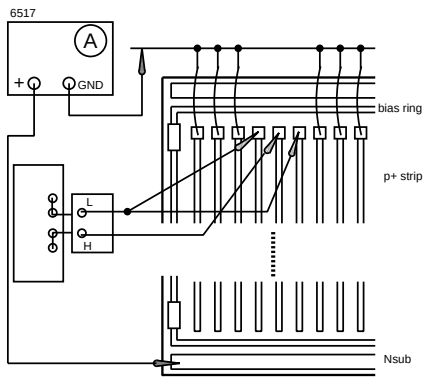


図 3.3: (a) リーク電流の測定セットアップ　(b)Body Capacitance の測定セットアップ　(c)Inter-strip Capacitance の測定セットアップ

れぞれの測定セットアップは基本的に TypeA と同じ図 3.3 である。ただし、上側のストリップを測定するときはそのすぐ下側のストリップも GND に落とし、下側のストリップを測定するときはすぐ上側のストリップも GND に落としている。測定時の温度は約 20 度、測定したストリップの結果をそれぞれ図 3.5、図 3.7、図 3.9 に示す。100V でのリーク電流は上側のストリップで約 70 pA、下側のストリップで約 35 pA となった。予想では同じ程度になるが、2 倍近く異なる結果になった。この結果についての考察は後節で行う。Body Capacitance は全体で約 170 pF となった。TypeB を平行板コンデンサと仮定した場合、全体の Body Capacitance は約 180 pF と計算され、約 5 %以内で実測値と一致をしている。ただし、TypeB の 1 ストリップあたりの Body Capacitance については後節で考察する。Inter-strip Capacitance に関しては上側、下側ともに約 0.8 pF であるが、これは測定によって変動が大きく、あまり正確に測定することができなかったと思われる。

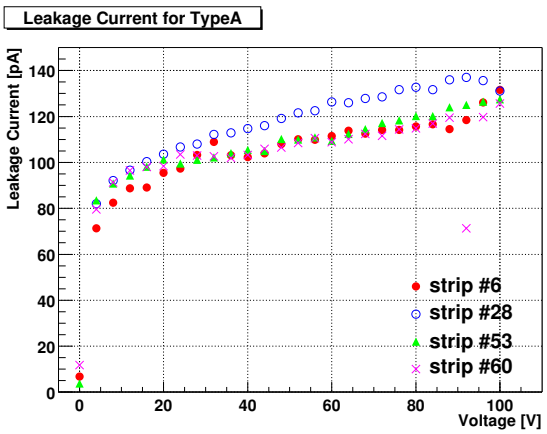


図 3.4: TypeA の 1 ストリップあたりのリーク電流の電圧依存性

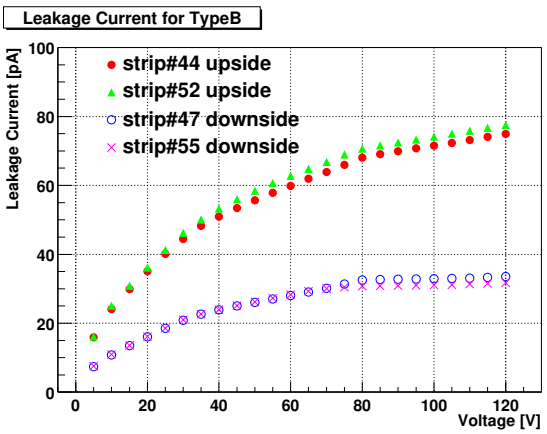


図 3.5: TypeB の 1 ストリップあたりのリーク電流の電圧依存性

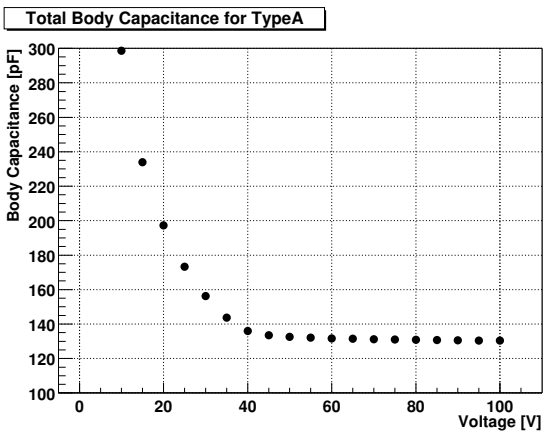


図 3.6: TypeA の Total Body Capacitance の電圧依存性

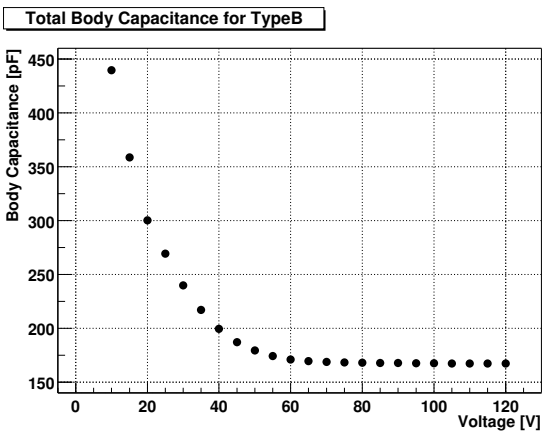


図 3.7: TypeB のの Total Body Capacitance の電圧依存性

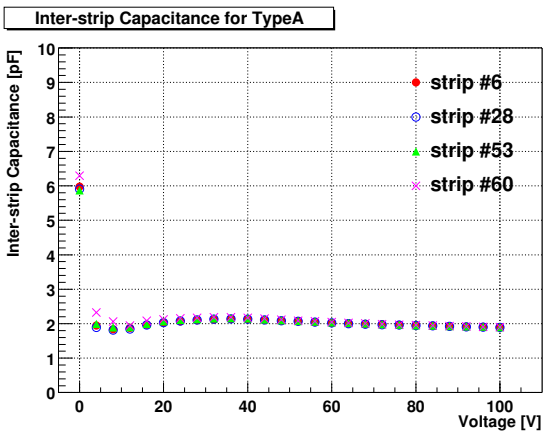


図 3.8: TypeA の 1 ストリップあたりの Inter-strip Capacitance の電圧依存性

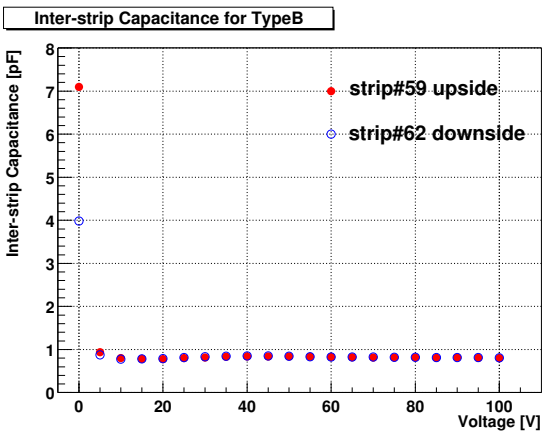


図 3.9: TypeB の 1 ストリップあたりの Inter-strip Capacitance の電圧依存性

3.3 X線によるエネルギー分解能の測定

TypeA、TypeBにX線を照射し、1ストリップの応答を単体CSA、shaping amplifierを用いて読み込み、そのエネルギー分解能を比較する。はじめに、TypeAの性能評価をするために図3.10のような回路を組んだ。TypeAのひとつのストリップを基板にワイヤボンドし、導線を用いてAC結合CSA (Clear Pulse社製 Model 580K)に信号を入力した。TypeAのNsub に+100 V (Clear Pulse社製 Model E6625)をかけ、読み出したストリップの両隣のストリップをGNDに落とした(図3.11)。shaping amplifierのshaping timeは2 μsec (ORTEC社製 Model 571)とした。線源は^{133}Ba(30.9 keV、35.0 keV)を用い、図3.12のようにSSDの真上にくるよう配置した。これらの測定は約20度で行った。TypeA、

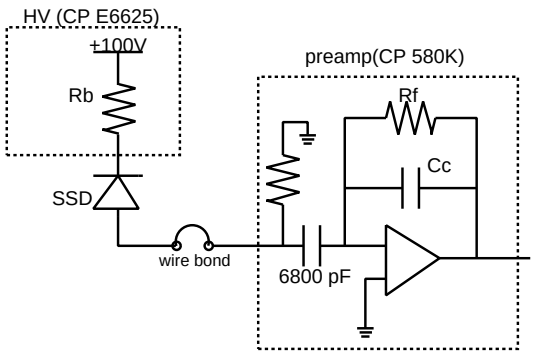


図 3.10: TypeA、TypeBをCP580Kで読み出すときの回路図

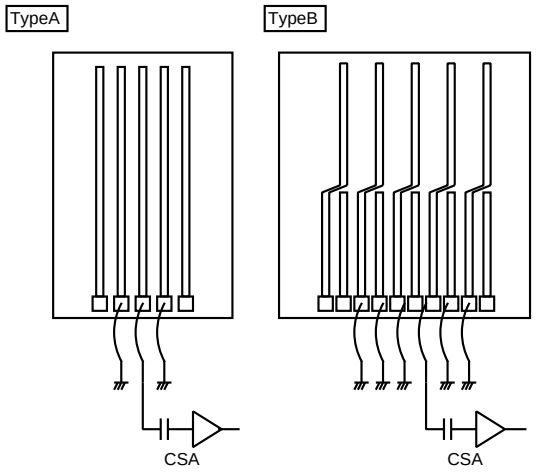


図3.11: TypeA、TypeBをSingle Channelで読み出したときのSSDのセットアップ。TypeAは両隣をGNDに落とし、TypeBは読み出す両隣の上下のストリップをGNDに落としてある。

TypeB上側、下側のストリップで得られたスペクトルの30.9 keVのピークに対するエネルギー分解能とスレッショルドを超えたイベント全体のカウントレートを表3.2にまとめ、それぞれのエネルギースペクトルを図3.14、図3.15、図3.16に示す。ただし、TypeB上側のストリップに関しては、ピークより低エネルギー側に大きなtailをひいているため、ピークの高エネルギー側を利用してガウス分布でフィッティングした結果であり、実際の分解能はもっと悪い。

得られたエネルギー分解能がTypeA、TypeBの構造から予想される値と一致するかどうかを確認する。TypeAの場合、§3.2で測定したようにリーク電流は130 pA、Body Capacitance、Inter-strip Capacitanceはそれぞれ2.0 pF、1.9 pFであった。さらに、今回使用したCSAはノイズの容量勾配を測定したところ、

$$ENC_{amp} = 100 + 2.1C(\mathrm{pF}) \quad (\mathrm{e}^-) \tag{3.2}$$

表 3.2: TypeA と TypeB 上下のエネルギー分解能と全体のカウントレートの比較

SSD	ΔE(FWHM)	count rate
TypeA	1.39 keV	157 s^{-1}
TypeB 上側	1.28 keV	198 s^{-1}
TypeB 下側	1.24 keV	64.2 s^{-1}

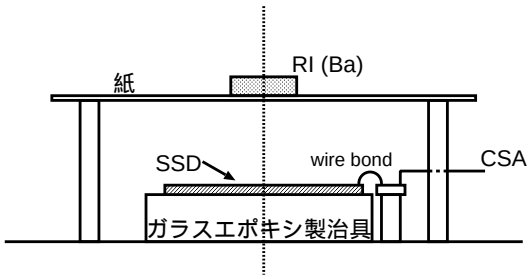


図 3.12: SSD と線源の位置関係

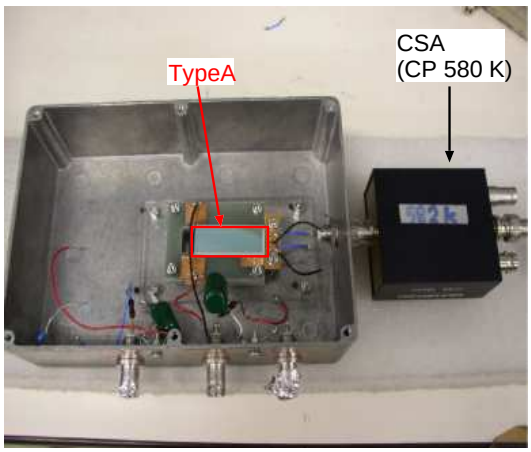


図 3.13: セットアップの写真

であることがわかった。これを基に式 2.10 から式 2.16 に代入していくと、$\mathrm{ENC}_{lc} = 56$ (e^-)、$\mathrm{ENC}_{amp} = 110$ (e^-) となる。これより $\Delta\mathrm{E}$ (FWHM) $= 1.1$ keV になる。実際に得られたエネルギー分解能の値は 1.39 keV であり、少しノイズが大きいが、近い値と言える。

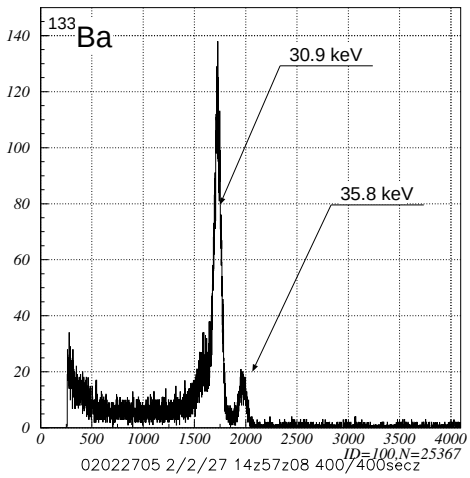


図 3.14: 読み出すストリップの両隣のストリップを GND に落とした状態の TypeA で得られた ^{133}Ba のスペクトル

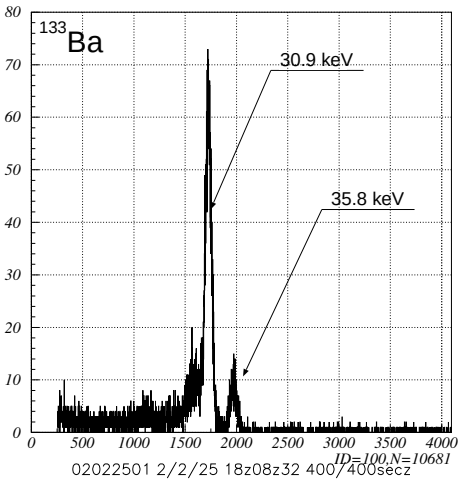


図 3.15: 読み出すストリップの両隣のストリップを GND に落とした状態の TypeB 下側のストリップで得られた ^{133}Ba のスペクトル

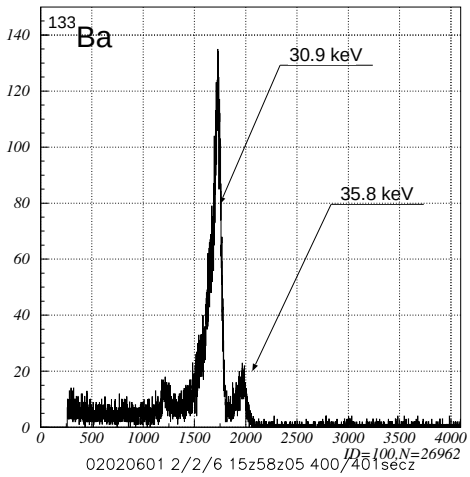


図 3.16: 読み出すストリップの両隣のストリップを GND に落とした状態の TypeB 上側のストリップで得られた ^{133}Ba のスペクトル

3.4　1ストリップあたりのX線検出領域

表 3.2 を見てわかるように、TypeA、TypeB 上下のストリップでカウントレートが大きく異なる。TypeA、TypeB の設計を考えると、それぞれのストリップの有効面積は図 3.17(a) に示す通りであり、今回の測定は RI を SSD の真上に置くようにセットアップしているので、カウントレートの比は

$$TypeA_{p1} : TypeB\ 上_{p1} : TypeB\ 下_{p1} = 1 : 0.75 : 0.75 \tag{3.3}$$

となるはずである。しかし実際の測定結果は

$$TypeA_{real} : TypeB\ 上_{real} : TypeB\ 下_{real} = 1 : 1.27 : 0.41 \tag{3.4}$$

となっている。TypeB 上下で明らかに有効面積が異なっている。しかも、TypeB 上側のストリップは TypeA よりも有効面積が大きいことになる。この結果より、SSD の有効面積が図 3.17(a) のようではなく、図 3.17(b) のようになっていると仮定してみた。つまり、信号を読み出すために引き延ばされた Al 電極部にも感度があるという仮定である。すると、有効面積の比は

$$TypeA_{p2} : TypeB\ 上_{p2} : TypeB\ 下_{p2} = 1 : 1.13 : 0.35 \tag{3.5}$$

となり、上で得られた比率に近い。この仮定を確かめるために、図 3.18 の斜線部 D にコリメートした ^{133}Ba を照射し、TypeB 上側のストリップを読み出した。得られたスペクトルを図 3.19 に示す。このスペクトルには明らかにピークが存在する。よって TypeB は最初に考えられていた図 3.17(a) のような有効面積を持っているのではなく、TypeB 上側のストリップから引き延ばされた Al 電極が電荷を集めており、有効面積は図 3.17(b) のようになっていることがわかった。

(a)　　(b)

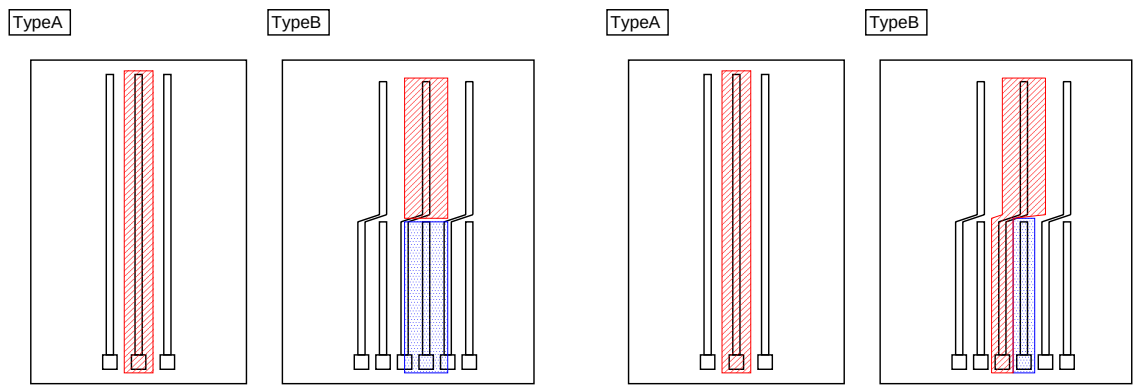


図 3.17: (a) TypeA、TypeB の設計から予想される有効面積 (b)TypeA、TypeB で反応したイベント数から仮定した有効面積

次に、TypeB 上側のストリップで得られたスペクトルについて考える。図 3.16 を見るとわかるように、光電ピークは低エネルギー側に tail を引いている。SSD 以外は同じ条件

で測定しているので線源や周囲の物質から放出されたX線ではない。さらに、SSDは同じウェハーで作られているので、TypeAとTypeBの材質は変わらない。よって、このtailはTypeAとTypeBの構造の違いから生じたものであると考えられる。そこで、図3.18の斜線部Uにコリメートした^{133}Baを照射し、ピークの低エネルギー側にtailが現れるかどうかを調べた。得られた結果を図3.20に示す。

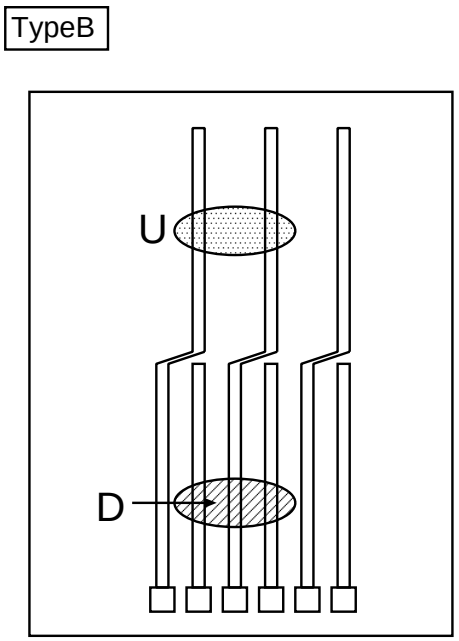


図 3.18: コリメートしたX線の照射領域。Uは上側のストリップでp^+ストリップがある部分。Dは上側のストリップでp^+ストリップがない部分 (引き延ばされたAl電極部)

図3.20よりTypeB上側のストリップ部だけでは低エネルギー側のtailは存在せず、やはり引き延ばされたAl電極が原因であると考えられる。さらに、引き延ばされたAl電極にコリメートした^{133}Baを照射したスペクトル (図3.19) を見てみると、ピークが約1650AD-Cchannelにあり、図3.20のピークに比べて4%程度低いことがわかる。これは、TypeA、TypeB下側と比較しても同程度低い。このことから、ストリップ部に比べて引き延ばされたAl電極部は電荷収集効率が悪いということになる。以上のことから、TypeB上側から得られるスペクトルはストリップ部 (図3.20) と引き延ばされたAl電極部 (図3.19) の足し合わせであると考えられる。図3.19と図3.20のスペクトルの測定時間は同じなので、両者を足し合わせてみると、図3.21のようになり、低エネルギー側のtailを再現している。よって、TypeB上側ストリップのスペクトルにのみ存在する低エネルギー側のtailは引き延ばされたAl電極で集められたイベントによるものであると結論付けることができる。

今までの議論でTypeBの上側の引き延ばされたAl電極部に感度があることがわかったが、このことについて詳しく考える。原因としてAl電極とnバルク部分がコンデンサを形成している (AC結合) と仮定する (図3.22)。この場合、1 μm程度の薄さSi_2層の上に

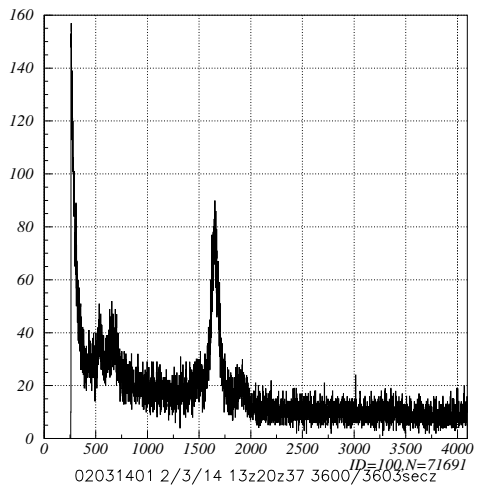


図 3.19: TypeB 上側の引き延ばされた Al 電極にコリメートした X 線を照射したときに得られたスペクトル

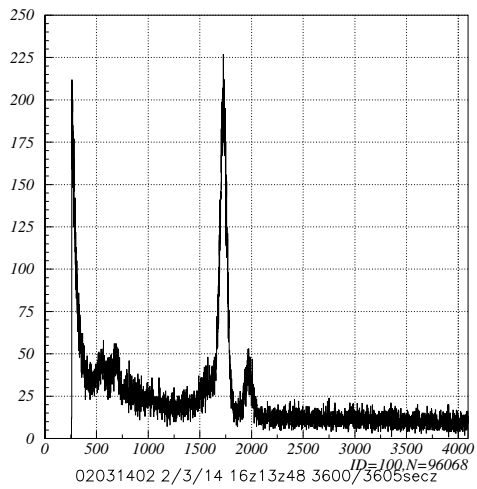


図 3.20: TypeB 上側の p^+ ストリップにコリメートした X 線を照射したときに得られたスペクトル

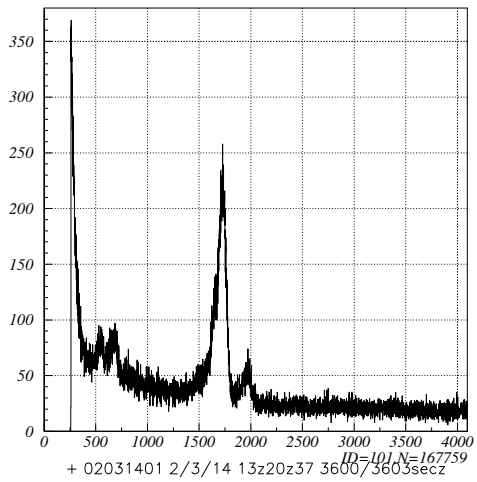


図 3.21: TypeB の引き延ばされた Al 電極部 (図 3.19) とストリップ部 (図 3.20) のスペクトルの足し合わせ

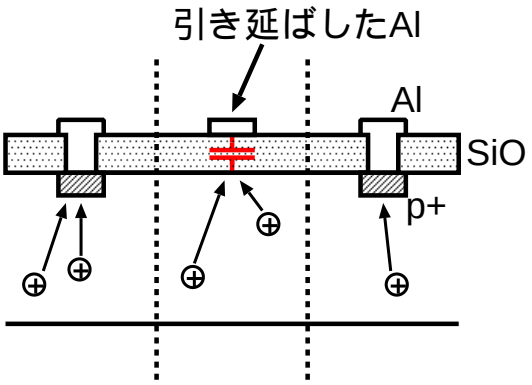


図 3.22: 引き延ばされた Al 電極が n バルクとコンデンサを形成している場合

ある引き延ばされた Al 電極が、真下の n バルク部分を空乏層化し、p^+ ストリップがある電極と同じような電界を作り、電子、ホールを収集する。SiO_2 層側に電荷 (正孔) が集められると、両隣の p^+(GND) と電位差ができるので電荷は両隣の p^+ へ流れる。このとき、バルクと引き延ばされた Al 電極が作るコンデンサーの電気容量が大きければ、1 イベント分の電荷量をためることができ、Al 電極に電子を引き寄せるのでシグナルとなって CSA に入力される。ただし、今回の結果から AC 結合によるカップリング損失が 4%程度あるものと思われる。その後、正孔は両隣の p^+ へと流れる。逆に電気容量が小さければ、電荷はほとんどたまることはなく、引き延ばされた Al 電極は X 線に対して感度を持たなくなる。以上のことから、TypeB の構造にした場合、下側のストリップではノイズ特性の向上が確認されたが、現在の設計では上側のストリップでピークの低エネルギー側に tail が現れることを避けることはできず、X 線応答が悪いことがわかった。TypeB の性能を発揮しようとすると引き延ばされた Al 電極を今よりも細く (~ 5μm)、SiO_2 層を厚くする必要がある。今までは引き延ばされた Al 電極の幅が 30 μm だったので、5μm に変更することにより、キャパシタンスは 6 分の 1 になる。そうすれば引き延ばされた Al 電極部で 1 イベント分の電荷量をためることができなくなり、低エネルギー側の tail は消えて、TypeB 上側でも性能の向上が期待できる。

3.5 TypeB のリーク電流、Body Capacitance の考察

X 線の有感領域が図 3.17(b) のようになっているとすると、図 3.2 で測定した typeB 上側のストリップのリーク電流が下側のストリップに比べて大きかったことが説明できる。まず、リーク電流については、表面リーク電流が支配的だと仮定すると、リーク電流は SiO_2 層と n バルクの境界で生じて p^+ ストリップに流れ込むので、X 線の有感領域が図 3.17(b) のようであっても上側と下側のストリップでリーク電流の比率は $1:1$ になることが予想される。しかし、実際には約 $2.4:1$ である。これについては以下のような可能性が考えられる。引き延ばされた Al 電極と n バルクが大きな容量を持っていたとすると、引き延ばされた Al 電極の下の SiO_2 層と n バルクの境界でに引き付けられたキャリア (リーク電流) は引き延ばされた Al 電極の真下に蓄えられる。すると、その部分は比抵抗が小さくなり、引き延ばされた Al 電極に沿って上側の p^+ ストリップに向かってキャリアが移動し易くなり、上側の Al 電極と p^+ ストリップが接する部分から Al 電極へ流れ、、上側のストリップのリーク電流として検出される。このような現象が起こっているとすると、リーク電流の比率は上側と下側のストリップで $3:1$ になるはずであり、これは実測値 $(2.4:1)$ に近い値である。残りの電荷は隣のストリップへ流れるものと思われる。

次に、Body Capacitance について考察する。X 線の有感領域が図 3.17(b) ならば、図 3.3 のセットアップで測定した TypeB 全体の Body Capacitance は p^+ ストリップが backplane と形成する容量以外に引き延ばされた Al 電極と n バルクが SiO_2 層に作る容量の合成になっているはずである (図 3.23)。しかし、測定値は TypeB を平行板コンデンサと仮定した場合と近い値をとっている。これは直列につながった SiO_2 層をはさむ容量と n バルクをはさむ容量のうち、SiO_2 層はバルクの厚さに比べて十分薄いので、容量は n バルクの

容量に比べて十分に大きく、合成容量はバルク容量で決まるためと考えられる。すると、TypeB の上側、下側のストリップの Body Capacitance はほぼ X 線の有感領域の面積比になるはずである。つまり、図 3.7 で得られた結果を単純に 128 本のストリップで割ることはできず、上側のストリップと下側のストリップで 3 : 1 の比率で割らなければならない。よって、上側のストリップの 1 本あたりの Body Capacitance はおよそ 2.0 pF、下側のストリップは 1 本あたりおよそ 0.7 pF であると思われる。

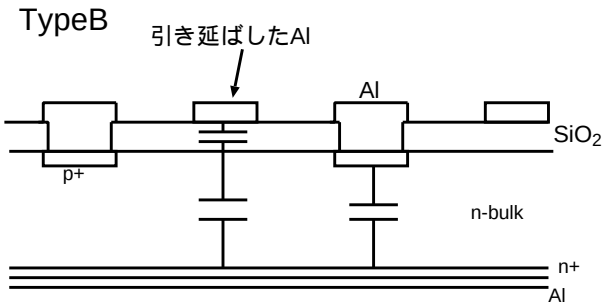


図 3.23: TypeB の Body Capacitance の構成

3.6 片面シリコンストリップ検出器のまとめ

TypeA、TypeB の基本パラメータとエネルギー分解能を表 3.3 にまとめておく。

表 3.3: TypeA と TypeB 上下の基礎パラメータとエネルギー分解能

SSD	TypeA	TypeB 下側	TypeB 上側
リーク電流	130 pA	77 pA	32 pA
Body Capacitance	2.0 pF	2.0 pF	0.7 pF
Inter-strip Capacitance	1.9 pF	0.8 pF	0.8 pF
エネルギー分解能 (実測)	1.39 keV	1.24 keV	1.28 keV

ストリップを垂直に 2 等分した構造については、TypeB の設計で下側のストリップに関してはノイズ特性の向上が確認できた。しかし、上側のストリップは、引き延ばした Al 電極が太すぎたため、そこでも X 線に対して感度を持ってしまい、結果としてエネルギー分解能が悪くなった。この現象は Al 電極を細くして容量を小さくすれば解決することが期待される。

3.7　両面シリコンストリップ検出器の性能評価

3.7.1　試作した DSSD の基本設計

今回我々のグループは 3 種類の DSSD (P400-64、P800-32、P800-32×2) と 1 枚の片面 SSD (Test structure) を製作した。それぞれの DSSD についての基本設計を表 3.4 にまとめる。P800-32×2 は p^+ ストリップ、n^+ ストリップをともに 2 等分した DSSD で、片面 SSD の TypeB に相当する。P800-32×2 の引き延ばした Al 電極の太さはおよそ 10 μm であり、TypeB に比べて細くなっている。

表 3.4: DSSD の基本設計の比較

DSSD	P400-64	P800-32	P800-32×2
厚さ	300 μm	300 μm	300 μm
ストリップ数	64 本	32 本	32×2 本
ストリップ間隔	400 μm	800 μm	800 μm
ストリップの長さ	2.56 cm	2.56 cm	1.25 cm
ストリップギャップ	100 μm	100 μm	100 μm
引き延ばした Al 電極の太さ			10 μm

Test structure は厚さ 300 μm、ストリップ間隔が 400 μm の片面 SSD であり、ストリップギャップが異なる 3 つのタイプがひとつのチップ上に乗っている。ストリップギャップとは、ストリップ間隔から電極の幅を引いたもの、つまり p^+ ストリップ間の距離のことで、それぞれ 100 μm、130 μm、160 μm である。Test structure の設計と写真をそれぞれ図 3.24、図 3.25 に示す。

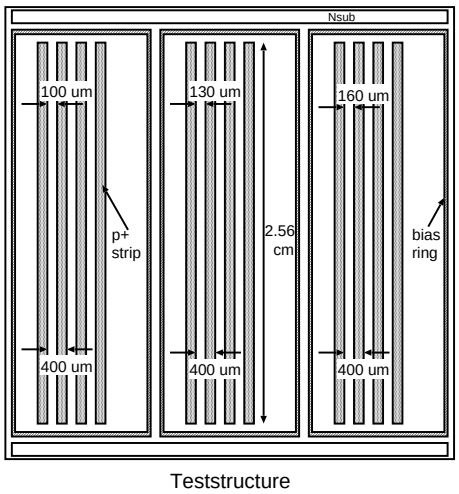


図 3.24: Teststructure の設計

図 3.25: Teststructure の写真

Test structure の製作目的は最適なストリップギャップを探すためである。一般的に SSD はストリップギャップが狭い方が breakdown を起こしにくい。図 3.26 に示すようにストリップギャップが広いと、ストリップの端の部分の電束密度が高くなり、ここから breakdown を起こす。よってストリップギャップは狭い方が高い電圧まで耐えることができる。しかし、ストリップギャップが狭いと Inter-strip Capacitance が大きくなり、エネルギー分解能が悪くなってしまう。そこで、ストリップギャップを広くしつつも、安全性を考慮して実際の動作電圧よりも十分大きい電圧に耐えられるようなストリップギャップにしなければならない。Teststructure ではそれぞれのストリップギャップで breakdown を起こす電圧を調べ、ストリップギャップをどこまで広げられるかを考える。

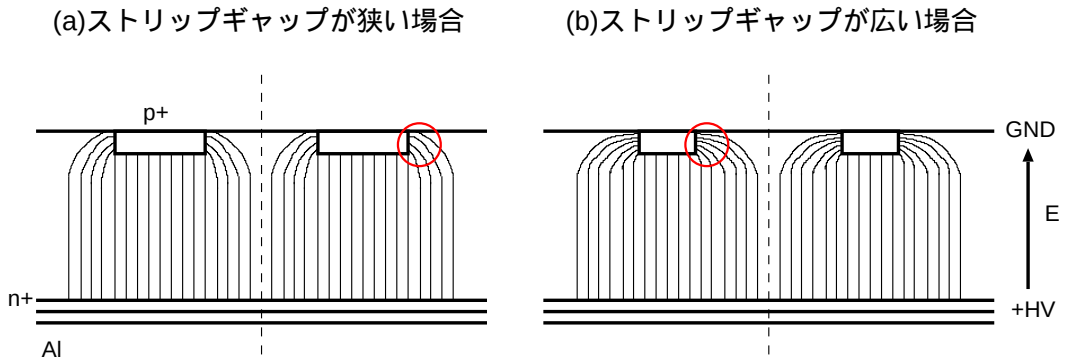


図 3.26: ストリップギャップと電束密度の相関

3.7.2 I-V curve, C-V curve

DSSD の基本パラメータであるリーク電流、Body Capacitance、Inter-strip Capacitance を測定した。測定セットアップは基本的に図 3.3 と同じであるが、バイアスをかけるのに Nsub は使わず、p^+ 側、n^+ 側それぞれで全てのストリップを銅テープにワイヤボンドして、その銅テープに電圧をかけた。測定時の温度は約 20 度である。それぞれの測定結果をそれぞれ図 3.27、図 3.28、図 3.29、図 3.30、に示す。ただし、n^+ ストリップ側はエネルギー分解能を考慮する必要がないので、Inter-strip Capacitance は P800×32 についてのみ測定した。

リーク電流は P800×32、P400×64、P800×32×2 の順で小さくなり、それぞれ 100V で約 470 pA/strip、350 pA/strip、160 pA/strip であった。これらの値は TypeA、TypeB のリーク電流と比較するとかなり大きい値である。これは DSSD は片面 SSD に比べて両面プロセスを必要とし、クリーンな最新の自動プロセスが使えない。逆面は手動で行うプロセスとなり、必然的にプロセス面を汚してしまうため、表面リーク電流が増加するためである。DSSD のリーク電流が表面からの寄与が支配的であるとすると、n バルクと SiO_2 層の境界の面積にほぼ比例するので、1 ストリップあたりのリーク電流の比は

$$\mathrm{P800}\times 32_{\mathrm{surface}} : \mathrm{P400}\times 64_{\mathrm{surface}} : \mathrm{P800}\times 32\times 2_{\mathrm{surface}} = 1:1:0.5 \qquad (3.6)$$

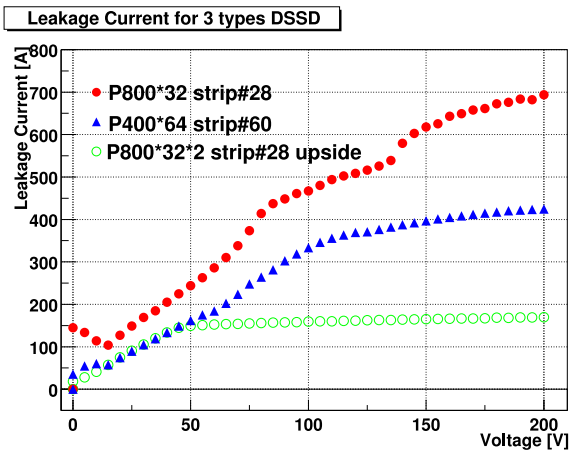


図 3.27: 3 種類の DSSD のリーク電流の比較

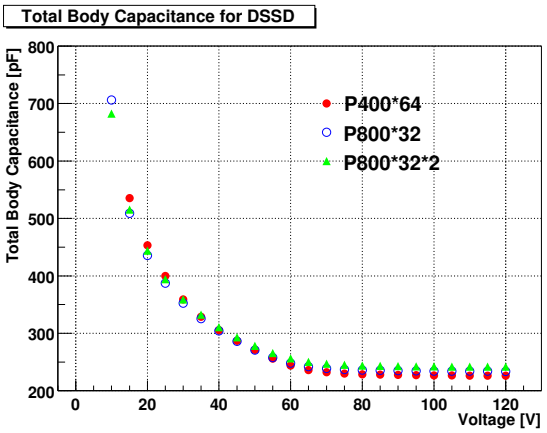


図 3.28: 3 種類の DSSD の Total Body Capacitance の比較

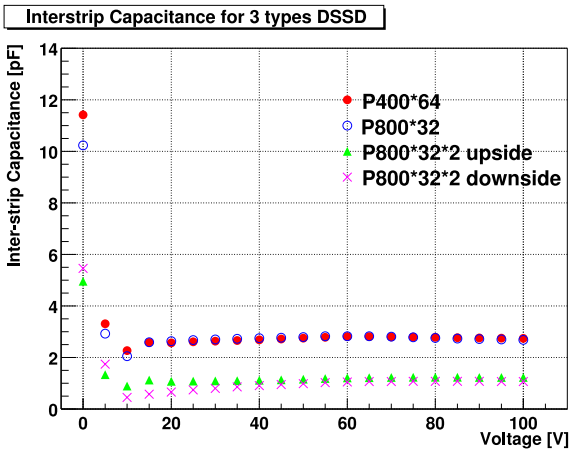


図 3.29: 3 種類の DSSD の Inter-strip Capacitance(p^+ ストリップ) の比較

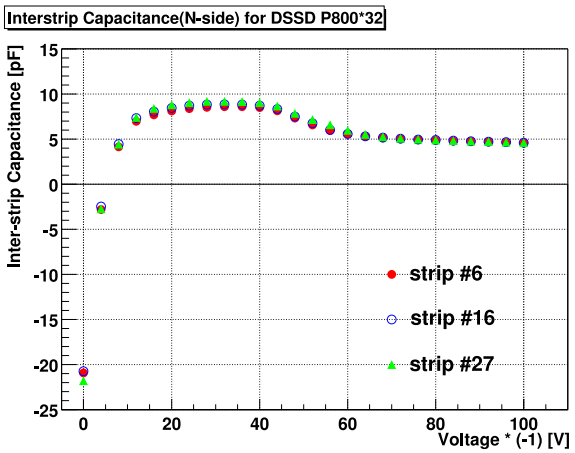


図 3.30: DSSD P800×32 の n^+ ストリップの Inter-strip Capacitance

となる。P800×32×2 はストリップを垂直に 2 等分したために、n バルクと SiO_2 層の接触部分が増えているが、その影響は全体の約 1% しかない。しかし、測定結果は

$$\mathrm{P800\times32_{measured}} : \mathrm{P400\times64_{measured}} : \mathrm{P800\times32\times2_{measured}} = 1.3 : 1 : 0.46 \tag{3.7}$$

であり、あまり一致していない。そこで、バルクからのリーク電流の寄与も無視できないと考えると、バルクのリーク電流は体積に比例するので

$$\mathrm{P800\times32_{bulk}} : \mathrm{P400\times64_{bulk}} : \mathrm{P800\times32\times2_{bulk}} = 2 : 1 : 1 \tag{3.8}$$

となる。よって、表面からのリーク電流とバルクからのリーク電流の寄与が 4 : 1 の割合

であれば、実測値に近い比率となる。

Total Body Capacitance は逆バイアスをかけていくと徐々に小さくなっていき、P800×32、P400×64、P800×32×2 でそれぞれ 230 pF、230 pF、240 pF となった。DSSD を平行板コンデンサと仮定すると、その容量は 230 pF となり、実測値とほぼ一致している。よって 3 種類の DSSD の 1 ストリップあたりの Body Capacitance はそれぞれ 3.6 pF/strip、7.2 pF/strip、3.6 pF/strip となる。2 等分 DSSD である P800-32×2 は引き延ばした Al 電極が細いので、単に Total Body Capacitance を 64 ストリップで割った値である。P800×32、P400×64 は約 65V で一定の値を取り、全空乏層化されているのがわかる。これに対し、P800×32×2 は約 110V で全空乏層化が起こっている。これは測定した複数のストリップで同じ現象が見られた。TypeA、TypeB の全空乏層化電圧はほとんど変わらなかったので、構造による違いとは考えにくい。§2.3.3 で述べたように、全空乏層化電圧は SSD の厚さと比抵抗で決まり、厚さは同じなので P800×32×2 の比抵抗は P800×32、P400×64 に比べると半分くらいしかないと思われる。

p^+ 側の Inter-strip Capacitance も Body Capacitance と同様、逆バイアスをかけていくと小さくなってやがて一定値を取っている。P800×32、P400×64、P800×32×2 でそれぞれ 2.7 pF/strip、2.7 pF/strip、1.3 pF/strip となった。Inter-strip Capacitance は主に p^+ ストリップ間の距離とストリップの長さに比例するので、

$$\mathrm{P800}\times 32_{\mathrm{Inter-strip}} : \mathrm{P400}\times 64_{\mathrm{Inter-strip}} : \mathrm{P800}\times 32\times 2_{\mathrm{Inter-strip}} = 2:2:1 \tag{3.9}$$

という関係になることが予想でき、結果はこの関係とよく一致している。n^+ ストリップの Inter-strip Capacitance は、図 3.30 より 0 ~ -10 V の領域で負の容量が測定されている。p^+ ストリップの場合、電圧をかけていなくても n バルクと空乏層を形成するため、0 V でもコンデンサの働きを持つが、n^+ ストリップは n バルクと空乏層を形成しないので、0 V 付近ではコンデンサのように振舞わない。その結果、キャパシタンスメーターで負の値になったと考えられる。さらに逆バイアスをかけていく正の値をとり、およそ 65 V くらいで一定値に落ち着いている。これより、n^+ ストリップの Inter-strip Capacitance は約 4.6 pF/strip であることがわかった。

3.7.3 Test structure を用いた p^+ ストリップ間距離の最適化

§3.7.1 で述べたように、Test structure には 3 種類のストリップギャップ (100 μm、130 μm、160 μm) を持った構造があり、これを利用して breakdown を起こさず、安全に全空乏層化電圧をかけることができるストリップギャップを見付けることができる。pn 接合ダイオードが breakdown を起こすとリーク電流が急激に上昇する。よって、I-V curve を測定することで breakdown を起こす電圧を調べる。

測定セットアップは基本的に図 3.3 と同様、Nsub に正の電圧をかけていき、読み出すストリップ以外のストリップは GND に落とした。測定時の温度は約 20C である。測定結果を図 3.7.3 に示す。最も早く breakdown を起こすことが予想されるのはストリップギャップが 160 μm の構造であるが、200 V まで電圧をかけても breakdown は確認できなかった。

全空乏層化電圧、すなわち動作電圧は 70 V ~ 100 V であることが予想されるので、その 2 倍にあたる 200 V の電圧で breakdown を起こさないのであれば、十分安全であると言える。以上のことから、ストリップギャップが 160 μm でも問題なく動作可能であることがわかった。

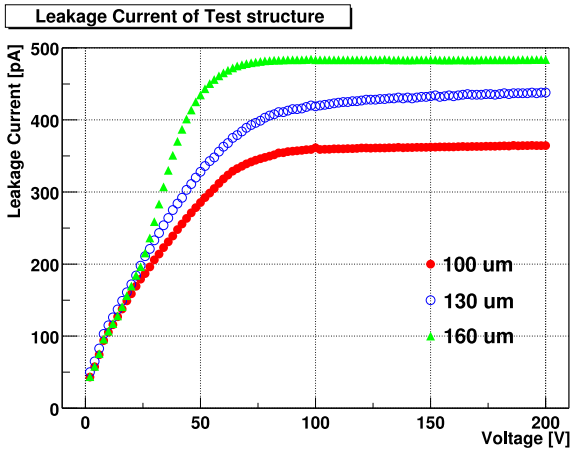


図 3.31: Test structure のリーク電流の電圧依存性

それぞれのストリップギャップのリーク電流の大きさを比較してみるとおよそ

$$\mathrm{gap100}\mu\mathrm{m} : \mathrm{gap130}\mu\mathrm{m} : \mathrm{gap160}\mu\mathrm{m} = 1 : 1.2 : 1.4 \tag{3.10}$$

となっている。表面リーク電流が支配的だとすると、n バルクと SiO_2 の境界に生じた欠陥によるので、リーク電流の大きさはストリップギャップに比例し、

$$\mathrm{gap100}\mu\mathrm{m} : \mathrm{gap130}\mu\mathrm{m} : \mathrm{gap160}\mu\mathrm{m} = 1 : 1.3 : 1.6 \tag{3.11}$$

となるはずである。今回はこれに近い値であり、表面リーク電流からの寄与が大きいことがわかる。

3.7.4 両面シリコンストリップ検出器のエネルギー分解能測定

DSSD(P400×64) に X 線を照射し、単体 CSA を用いて 1 本の p^+ ストリップの X 線応答を調べた。1 本の p^+ ストリップを基板にワイヤボンドして CSA に接続し、残りの p^+ ストリップは全て GND に落とした。CSA は片面 SSD のときと同じ Clear Pulse 社製の Model 580K を用い、shaping Amplifier は ORTEC 社製 Model 571 を使った。電圧は n^+ ストリップに 80 V の逆バイアスをかけて全空乏層化させ、shaping time は 2 μsec でデータを取得した。測定時の温度は約 20C である。使用した X 線源は ^{241}Am(13.9 keV、17.6 keV、21.0 keV、26.3 keV、59.5 keV) であり、得られたエネルギー分解能は 59.5 keV のピークに対して 1.35 keV となった (図 3.7.4)。

§3.7.2 より、DSSD P400×64 の Body Capacitance は 3.6 pF、Inter-strip Capacitance は 2.7 pF である。これより、DSSD P400×64 で予想されるエネルギー分解能を計算してみる。使用した CSA は変わらないので、式 3.2 より $\mathrm{ENC}_{amp} = 110$ (e^-)、リーク電流は 80 V で 330 pA なので、$\mathrm{ENC}_{lc} = 89$ (e^-)、59.5 keV の X 線で生成される電子ホール対の統計揺らぎは $\mathrm{ENC}_{stat} = 40$ (e^-) となる。よって、$\mathrm{ENC}_{total} = 150$ (e^-) となり、これを eV の単位に直すと $\Delta\mathrm{E} = 1.3$ keV になる。よって、予想されるエネルギー分解能と実際に得られたエネルギー分解能は一致しているので、DSSD 読み出しのノイズ成分をよく理解できていることがわかった。

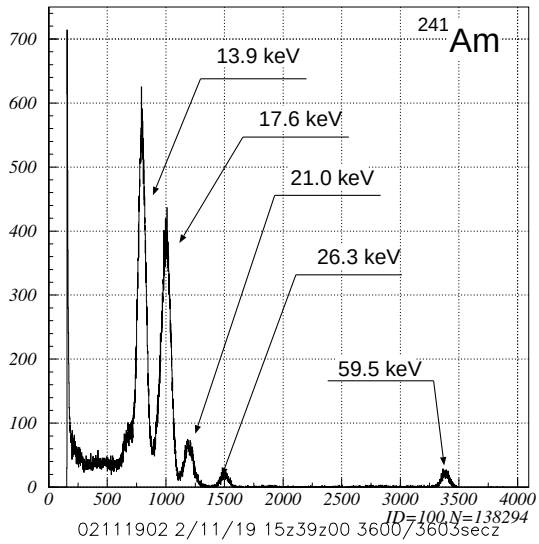


図 3.32: DSSD P400×64 で得られた ^{241}Am のエネルギースペクトル

3.8 RC チップ

RC チップは GLAST 衛星のトラッカーに用いられているような今までの SSD からカップリングコンデンサとバイアス抵抗を抜き出し、別のシリコンチップ上に製作したものである (図 3.1)。RC チップの写真を図 3.33 に示す。RC チップの製作目的は

- 大きなバイアス抵抗を容易に作ることが可能であり、エネルギー分解能の向上につながる。
- カップリングコンデンサは 97 %以上の歩留まりを達成することは難しく、これを別のチップに作ることによって、SSD(特に DSSD) の歩留まりをあげる。
- より良いノイズ特性を得るために SSD を CSA に DC 結合できる方式も選択できる。

などが挙げられる。RC チップの使用方法は図 3.34 のように SSD と読み出し系の間に入れ、バイアス電圧の供給やリーク電流のカットなどを行う。TypeA とは異なり、バイアスリングと全ての p^+ ストリップがバイアス抵抗を介して接続されているので、バイアスリングを用いて簡単に SSD、RC チップにバイアスをかけることができる。製作した RC

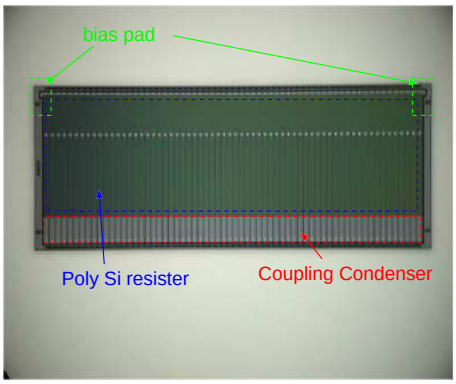


図 3.33: RC チップ (200 μm ピッチ) の写真

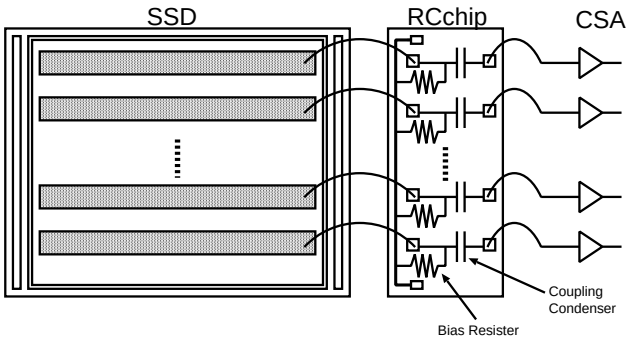


図 3.34: SSD、RC チップ、CSA の接続方法

チップはストリップピッチの異なる 3 種類 (200 μm、400 μm、800 μm) がある。バイアス抵抗はそれぞれ 1.0 GΩ、2.5 GΩ、6.0 GΩ と非常に大きな値であり、GLAST 衛星の SSD のバイアス抵抗がおよそ 50 MΩ であることと比べるとジョンソンノイズが小さくなることが期待できる。また、カップリングコンデンサはそれぞれ約 22 pF、約 52 pF、約 110 pF である。

図 3.1 に示すように、RC チップは SSD と似た構造を持っている。よって、RC チップはリーク電流、Body Capacitance、Inter-strip Capacitance を持ち、エネルギー分解能に影響を与える。そこで、RC チップの特性を知るために、これらの値を測定した。測定時の温度は約 20 度であり、測定に使った電源、電流系などは TypeA のときと同じである。Inter-strip Capacitance の測定セットアップは基本的に図 3.3(c) と同じであるが、リーク電流、Body Capacitance は 1 ストリップあたりの値が小さいので、バイアスリングを用いてチップ全体のリーク電流、全体の Body Capacitance を測定した。測定結果を図 3.35、図 3.36、図 3.37 に示す。リーク電流は全体でおよそ 1.8 nA であり、200 μm ピッチの RC チップでは 1 ストリップあたり約 30 pA、800 μm ピッチでは約 110 pA である。Body Capacitance は全体で約 4.5 pF であり、200 μm ピッチの RC チップでは 1 ストリップあたり約 0.07 pF、800 μm ピッチでは約 0.28 pF である。Inter-strip Capacitance は 200 μm ピッチ、400 μm ピッチ、800 μm ピッチの順で大きくなっている。Inter-strip Capacitance は主にストリップの長さと p^+ ストリップの幅に依存する。TypeA、TypeB、DSSD のようにストリップの長さが p^+ ストリップの幅よりも十分大きい場合、Inter-strip Capacitance は主にストリップの長さに依存するが、RC チップのようにストリップが短く、p^+ ストリップの幅とあまり変わらない場合は p^+ ストリップの幅も Inter-strip Capacitance に大きな影響を与える。今回の測定結果はこの p^+ ストリップの幅を反映していると思われる。また、Inter-strip Capacitance は TypeA や DSSD のように電圧を上げることによって減

少せず、常に一定の値を取っている。これは RC チップのストリップ間隔が狭いので (~ 数 μm)、電圧をかけていない状態ですでに隣の p^+ ストリップが形成する空乏層とくっついているためだと考えられる。

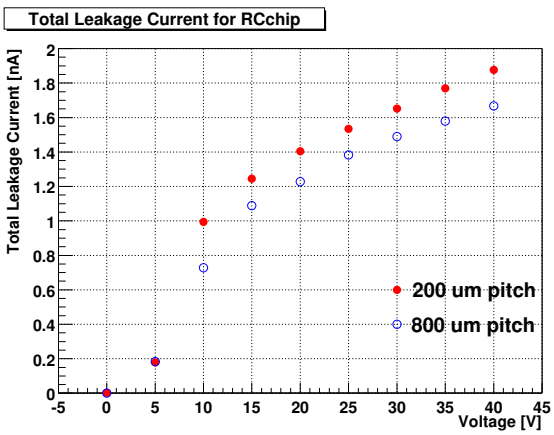


図 3.35: RC チップ全体のリーク電流

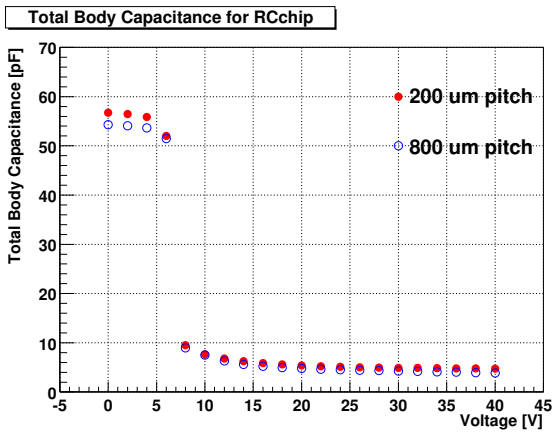


図 3.36: RC チップ全体の Body Capacitance

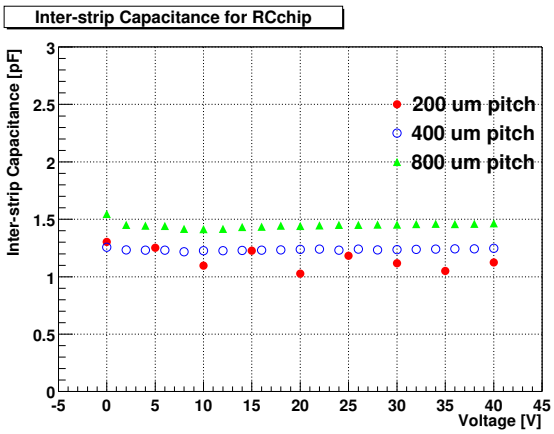


図 3.37: RC チップの 1 ストリップあたりの Inter-strip Capacitancek

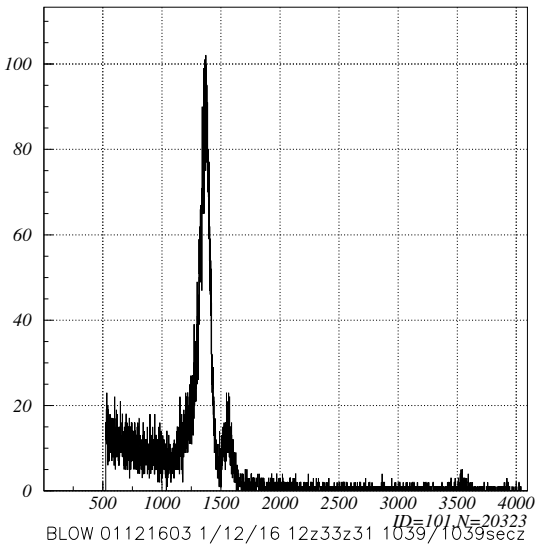


図 3.38: RC チップを用いた TypeA で測定した ^{133}Ba のエネルギースペクトル

実際に図 3.34 のように TypeA と CSA の間に RC チップを入れて、TypeA に ^{133}Ba を照射した。TypeA には今まで同様 100 V の逆バイアスをかけ、RC チップには空乏層化するために 20 V 逆バイアスをかけた。測定温度は約 20 度で、shaping time = 2 μsec とし

た。得られたスペクトルを図 3.38 に示す。30.9 keV のエネルギー分解能は 2.0 keV であり、RC チップがノイズ特性に大きく影響を及ぼしていることがわかる。TypeA のみで実際に得られたエネルギー分解能と、RC チップのリーク電流、Body Capacitance、Inter-strip Capacitance から計算されるエネルギー分解能は 1.5 keV である。さらに、200 μm 間隔の RC チップのカップリングコンデンサは約 22 pF と小さく、カップリング損失が 14 %程度あることが確認されている (岡田、2002)。そのために 1.5 keV のエネルギー分解能にたいして実際には約 1.8 keV と悪化する。この値は実測データから求めたエネルギー分解能 (2.0 keV) と近い値である。

第4章　多チャンネル同時計測に向けた読み出しシステム立ち上げ

DSSD の全てのストリップを読み出すときに、単体の CSA、Shaping Amplifier、トリガーロジックを用いていると読み出しシステムが物理的に巨大になり、あまり現実的とは言えない。さらに多重コンプトンガンマ線カメラを考えたときには読み出すチャンネル数は劇的に増大するので、今までのシステムでは完全に破綻する。そこで、低ノイズであるとともに、非常にコンパクトな新しい読み出しシステムの構築が必要である。この章では我々が扱った多チャンネル読み出しシステムの概要を説明し、その立ち上げ作業について後半で述べる。

4.1　VA32TA

4.1.1　VA32TA とその特徴

近年、高エネルギー物理学実験の領域で、荷電粒子からの小さな信号を測るためにシリコンストリップ検出器の読み出し系として複数の CSA、Shaping Amplifier を搭載した低ノイズアナログ LSI(Viking-architecture chip:VA) とトリガー用アナログ LSI(Triggering-architecture chip:TA) が IDEAS 社によって開発されてきた。アナログ LSI の低ノイズ化が進んだことにより、SSD と X 線の反応によって生じる少ない電荷量も精度良く測定することができるようになってきた。

我々のグループは VA32C、TA32C を基に IDEAS 社と協力して VA32TA チップを開発した (図 4.1)。VA32TA は 0.35 μm の CMOS 技術を用いて製造された 32 チャンネルの読み出し系を持つ多チャンネル同時計測用アナログ LSI である。ひとつのチャンネルは、CSA とそれに続く slow shaping amplifier、サンプルホールド回路、マルチプレキサからなる VA 部と、fast shaping amplifier、ディスクリミネータからなる TA 部にわけられる。VA 部が ADC に入力するための波形生成を担当し、TA 部はトリガー信号を作り出す役割を持つ。ひとつのチャンネルのブロックダイアグラムを図 4.2 に示す。また、VA32TA の仕様を表 4.1 にまとめる。

VA32TA が持つ特徴を以下に挙げ、それぞれ説明していく。

1. 低ノイズ
   VA32TA は極めて低ノイズな設計であり、アンプノイズは

$$ENC_{amp}\ \ (\mathrm{e}^-) = (45 + 19 \times C(\mathrm{pF}))/\sqrt{\tau}\ \ (\mu\mathrm{sec}) \tag{4.1}$$

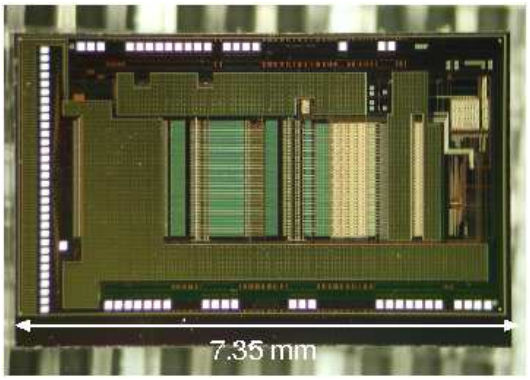


図 4.1: VA32TA チップの写真

表 4.1: VA32TA の基本仕様

サイズ	7.035×3.385×0.725 mm
チャンネル数	32
パッド間隔	100 μm
消費電力	6.3 mW/channel
Max Readout	10 MHz

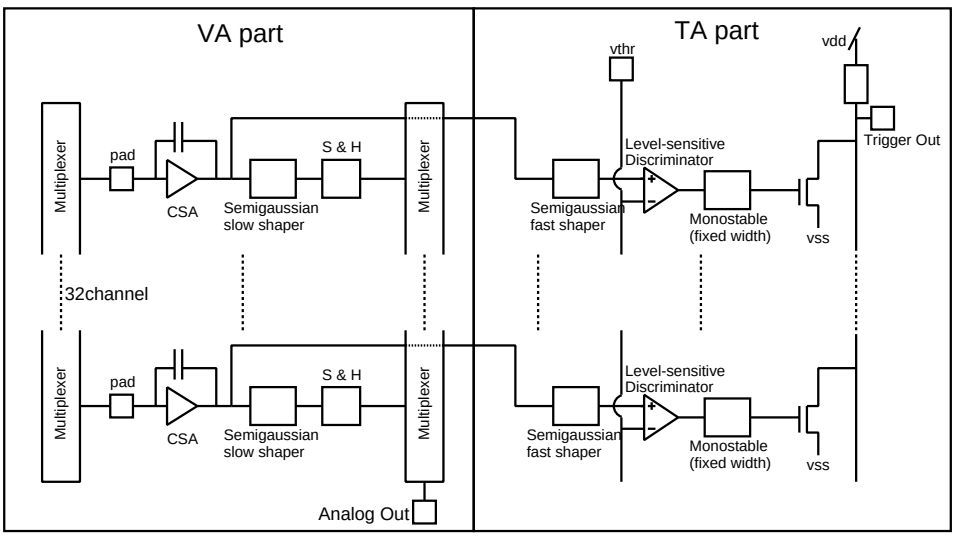


図 4.2: VA32TA のブロックダイアグラム

で表すことができる。C は CSA にロードされる容量である。

2. 電流補償機能

SSD の読み出しで最も良いノイズ特性を達成するためには、SSD と VA32TA を DC 結合しなければならない。その場合、SSD のリーク電流が CSA のフィードバック抵抗に流れ込み、正常な動作ができなくなることが大きな問題になってくる。この問題を解決するために、リーク電流と同じ大きさで逆向きの電流を CSA のフィードバック抵抗に流すことによってその影響を打ち消し、リーク電流の流れ込みが大きな環境でも VA32TA チップを動作可能にする機能を電流補償機能という。また、この機能を用いれば AC 結合したときのカップリングコンデンサがショートしたとしてもそのチャンネルで読み出し続けることが可能である。

3. Majority selection module for Single-Event Upset(SEU)
   宇宙空間には重い荷電粒子がバックグラウンドとして多く存在する。重い荷電粒子は FET の内部で局所的に強い電離作用をもたらし、その結果レジスタのビットを反転させてしまうことがある。もしセットアップ信号のビットが変わってしまうと VA32TA チップが誤動作してしまう。そこで、図 4.3 のようにレジスタの値を 1 ビットずつ 3 つのレジスタに入れ、Majority selection モジュールに送る。Majority selection モジュールは 3 つのレジスタに保存された値を比較し、多い方の値を返す。これによってビット反転が起こったとしてもその影響を取り除くことができる。

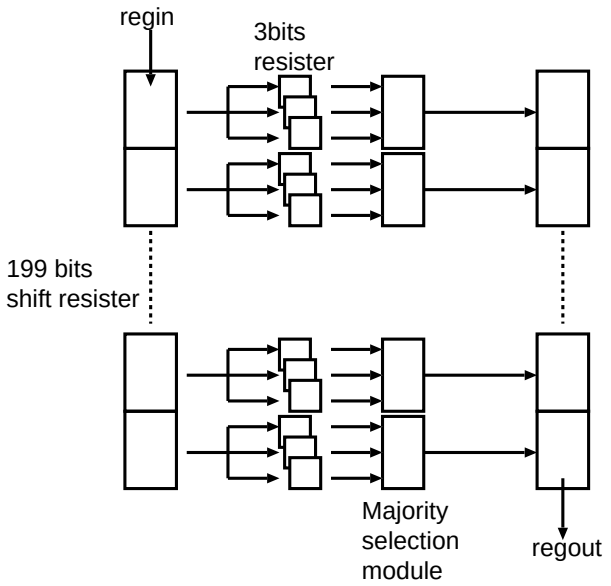


図 4.3: Majority selection module の概要

4. mbias
   電源系のバイアスを除き、VA32TA に与えなければならないバイアス電流は mbias のみである。その他全ての bias に流すバイアス電流は mbias を抵抗分割してつくり出される。それぞれの bias は 3 ~ 5 ビットの調整機能を持っており、抵抗分割の程度を決めることができる。この bias に与える電流を VA32TA 内部で調整するための

3 ~ 5 ビットを internal DACs(Digital to Analog Convertor) という。また、internal DACs の調整では足りない場合、VA32TA にはこれらの bias を外部から個々に供給することも可能な設計になっている。

5. 199 ビットシフトレジスタ
   VA32TA チップは 199 ビットのシフトレジスタを持っており、regin 信号と clkin 信号によって 199 ビットがロードされる。199 ビットの内訳は次の通りである。

   (a) internal DACs (35 ビット)
   今までの VA チップではさまざまな bias を外部に取り付けた可変抵抗などで制御してきたのに対し、DAC を用いることにより効率良く最適化、および制御が可能である。

   (b) スレッショルド調整用 DAC (4 ビット ×32 チャンネル)
   vthr で全てのチャンネルを同じスレッショルドに設定しても、各チャンネルのゲインの違いなどにより、入力電荷量に対して一定のスレッショルドをとらない。そこで、各チャンネルのスレッショルドを微調整するためにひとつのチャンネルにつき 4 ビットの DAC が設けられている。

   (c) Enable or Disable (32 ビット)
   各チャンネルに対して、イベントが起きたときにトリガーを立てる (Enable) か立てない (Disable) かを選択するための DAC。

   (d) Test_on (1 ビット)
   テストモードをオンにするかオフにするかを切替えるための DAC。

   (e) CC_on (1 ビット)
   電流補償機能をオンにするかオフにするかを切替えるための DAC。

   (f) Nside (1 ビット)
   入力電荷量が正か負かを選択するための DAC。

   (g) Tp300 (1 ビット)
   fast shaper の peaking time を選択するための DAC。“1” の場合 peaking time は 300 nsec、“0” の場合は 75 nsec である。

6. テストモード
   cal ピンに外部から電荷パルスを入力すると、指定したチャンネルの CSA に入力することができる。このモードを用いることで VA 部、TA 部が正常に動いているかチェックすることができる。

4.1.2 VA32TA の動作に必要な制御信号

VA32TA を動かすための主な入出力信号を以下にまとめる。

- 電源系

- dvdd　　デジタル系の電源。+1.5 V
- dvss　　デジタル系の電源。-2.0 V
- avdd　　アナログ系の電源。+1.5 V
- avss　　アナログ系の電源。-2.0 V
- GND　　グラウンド

- デジタル I/O
  - Holdb (IN)　　サンプルホールド回路をスタートさせる入力信号。
  - shift_in_b (IN)　　マルチプレキサで読み出しをスタートさせるための入力信号
  - shift_out_b (OUT)　　マルチプレキサでの読み出しを終了をつげる出力信号
  - Ckb (IN)　　マルチプレキサでの読み出しのときのクロック信号。読み出すチャンネルを変更するのに使われる。入力信号。
  - regin (IN)　　VA32TA のセットアップのための入力信号 (199 ビットシフトレジスタ)
  - regout (OUT)　　199 ビットシフトレジスタからの出力信号。今までレジスタに入力されていた信号を出力するので、そのチェックを行うことができる。
  - clkin (IN)　　199 ビットシフトレジスタに regin を書き込むときのクロック信号。入力信号。
  - ta、tb (OUT)　　トリガー出力信号。差動信号である。
  - Dreset (IN)　　デジタル系のリセット信号。入力信号。

- アナログ I/O
  - mbias (IN)　　全ての bias を作り出すメインとなる bias。初期値は 500 μA/chip
  - outp、outm (OUT)　　VA32TA の正出力と負出力。差動出力 (signal = outp - outm)。
  - vfp (IN)　　CSA のフィードバック抵抗にかかるバイアス電圧。(internal DACs)
  - ibuf (IN)　　差動出力の直前にあるバッファのバイアス電流。(internal DACs)
  - vfsf (IN)　　fast shaping amplifier のフィードバック抵抗にかかるバイアス電圧。(internal DACs)
  - vfs (IN)　　slow shpaing amplifier のフィードバック抵抗にかかるバイアス電圧。(internal DACs)

- sha_bias (IN)　slow shaping amplifier のバイアス電流。(internal DACs)
- pre_bias (IN)　CSA のバイアス電流。(internal DACs)
- vthr (IN)　ディスクリミネータのスレッショルド電圧。(internal DACs)
- trgWbias (IN)　トリガー出力のパルス幅を決めるバイアス電流。(internal DACs)
- cal (IN)　テストパルスの入力信号。

4.1.3 VA32TA の動作原理

SSD から VA32TA のあるチャンネルに電荷が入力されると、まず CSA を通り slow shaping amplifier(VA 部) と fast shaping amplifier(TA 部) にわかれる。fast shaping amplifier 出力がディスクリミネータで指定したスレッショルド (vthr) を超えると、そのディスクリミネータ出力は他のチャンネルのディスクリミネータ出力と or ゲートでつながれており、ta というトリガー出力に変換される。ta が生成されると図 4.4 のようにある遅延をおいて全てのチャンネルのサンプルホールド回路のスタートタイミングを表す Holdb 信号を送り、各チャンネルの波高値をホールドする。次に shift_in_b を送り、shift_in_b がオンになっているときに Clkb を 1 クロック入れる。するとマルチプレキサが最初のチャンネルとつながり、ホールドされていたデータを読み出す。あとは次々と Clkb 信号を送るとそれに同期して 1 チャンネルずつ読み出しが行われる。最後に shift_out_b を送ることで読み出しが終わる。

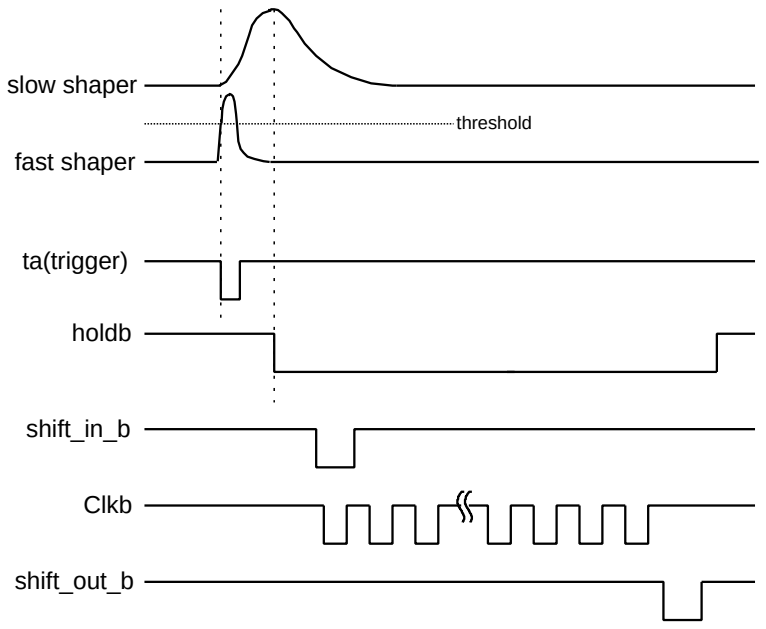


図 4.4: VA32TA の読み出しタイミングチャート

テストモードで動作させる場合もチャンネルの選択は読み出しのときと全く同じであ

り、shift_in_b と Clkb で選択する。cal に電荷パルスを入力すると、CSA の前にあるマルチプレキサ (図 4.2) で選択されたチャンネルに電荷が送られ、そのチャンネルの動作を確認することができる。

4.2 フロントエンドカード

VA32TA がマウントされている基板をフロントエンドカード (FEC) という。FEC には 2 枚の VA32TA チップがマウントされており、1 枚の FEC で 64 チャンネルの読み出しが可能である。FEC の写真を図 4.5 に示す。FEC のサイズは 30 mm×60 mm であり、2 枚の

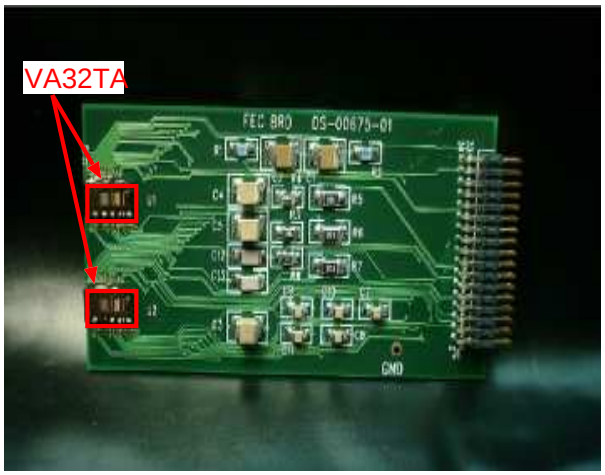


図 4.5: フロントエンドカードの写真

チップ間距離は 12.5mm である。後段の読み出しシステムとの接続には 34 ピンのフラットケーブルを用いている。また、VA32TA チップの横に SSD と RC チップにバイアスを供給するためのボンディングパッドを設けている。

図 4.5 を見るとわかるように、FEC 上にはたくさんの抵抗とコンデンサが実装されている。これらはローパスフィルターやデカップルコンデンサ、デジタル信号のターミネーションなどに使われている passive なものである。図 4.6 には FEC の回路設計を示す。図が繁雑になるのを避けるために図 4.6 中に明記していないが、コネクタ側と VA32TA#1 のみがつながれている全ての配線は VA32TA#2 とも配線を共有している。配線を共有していないのは regin、regout、shift_in_b、shift_out_b、cal である。2 枚の VA32TA を同時に制御し、64 チャンネルの読み出し系として動作させるためには、コネクタ側から送られてきた regin、shift_in_b をまず VA32TA#1 に入力し, #1 の regout、shift_out_b を#2 の regin、shift_in_b として入力しなければならない。cal は 51Ω でターミネートされてから二手にわかれ、1.8 pF のコンデンサを介して VA32TA の cal パッドに接続されている。これによりコネクタ側の cal からテストパルスが入力されると、テストパルスの電圧値を電荷量に変換し、VA32TA の cal パッドを通って CSA に入力することができる。

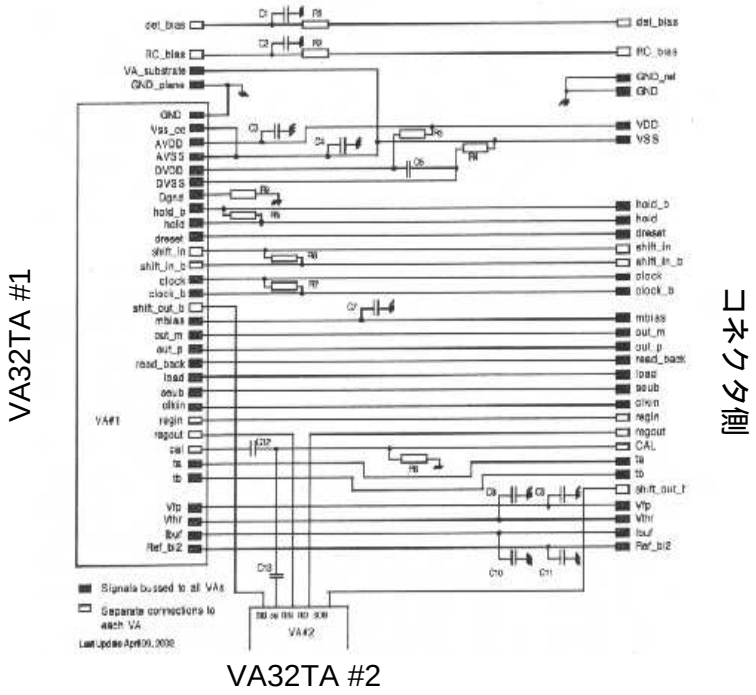


図 4.6: FEC の回路設計

FEC はノイズ特性を向上させるためにデカップルコンデンサに 22 μF というおおきな容量を持たせている。また、差動入出力は互いに並べて配線し、EMI(Electro Magnetic interference) の影響を小さくしている。

4.3 VA-DAQ

VA-DAQ は VA/TA チップの制御、読み出しを目的とした IDEAS 社製のデータ取得システムである。さまざまな研究機関ですでに使用されており、VA/TA チップの読み出しが行われている。VA-DAQ の写真を図 4.7 に示す。大きさは約 25 cm×25 cm、高さ 10 cm のケースに 2 枚の基板が入っている。VA-DAQ は主に 5 つのパートに分けられ、それぞれ PARIO、BIAS、SUPPLY、ADC、PULSE と呼ぶ。PARIO は PC と VA-DAQ をつなぐパラレルポートのインタフェースであり、BIAS は VA チップに必要なバイアスをつくり出すと同時にその電圧値と電流値のモニタリングを行う。SUPPLY は VA チップを動作させるのに必要な電源を作る。VA-DAQ の BIAS は今までの VA/TA チップに合わせて $\pm$2 V を作り出す設計になっていたが、今回は VA32TA に合わせて+1.5 V、-2 V の出力になるように改良を加えてある。VA チップからの出力の AD 変換を担当する ADC には 14 ビットの ADC7871 が使用されており、入力範囲は $\pm$3 V である。PULSE はさまざまなデジタル信号の生成と cal に入力するためのテストパルス生成を担っている。

VA-DAQ は PC とパラレルポートで接続し、LabView を用いて完全に制御できる。Lab-

図 4.7: VA-DAQ の写真

View は National Instruments 社が開発した graphical programable language で、視覚的な操作でプログラムを組むことができる。LabView プログラムを用いて VA/TA チップの基礎評価や読み出しを行うことができる。以下に LabView で設定できる主なものを挙げる。

- VA32TA に与えるバイアスを決定する。
- 199 ビットシフトレジスタの値を決め、デジタル信号を VA32TA に送る。
- Hold 信号のタイミングを 1 イベントごとに少しずつずらして、slow shaping amplifier 出力をサンプリングすることにより、slow shaping amplifier 出力の波形を確認できる。
- VA-DAQ 内でテストパルスを発生させ、VA32TA の cal に入力することで各チャンネルのゲインを測定できる。
- 全チャンネルのペデスタル (ゼロ点からのずれ) とノイズの大きさを測る。
- ノイズの大きさとゲインから各チャンネルの ENC を求める。
- 各チャンネルのスレッショルドのずれを測定、補正できる。
- SSD などの検出器を VA32TA に接続した場合、多チャンネル読み出しの制御し、リアルタイムでデータをヒストグラムにする。

VA-DAQ は 50 ピンの half-pitch コネクタが採用されている。我々のグループが製作した FEC は 34 ピンの half-pitch コネクタであるため、VA-DAQ と FEC を接続するためには VA-DAQ のコネクタから不必要なものをはぶき、34 ピンに変換することが必要である。

4.4　新しい読み出しシステム

4.4.1　システムの概要

多重コンプトンガンマ線カメラを考えた場合、VA-DAQ を用いた読み出し系ではいくつかの問題点がある。まず、衛星搭載に必要な省消費電力、省スペース、放射線耐性にマッチしていない。次に、多重コンプトンガンマ線カメラは SSD やピクセル検出器の組み合わせなので、読み出すチャンネルは相当な数になり、たくさんの FEC を扱わなければならない。VA-DAQ で複数の FEC を制御する場合はセットアップのための信号やデータを読み出すときの信号を直列につなげなければならないので、複数の FEC のうちどこかひとつの配線が切れてしまった場合、直列につながっている全ての FEC に信号を送れなくなってしまうため、安全性に欠ける。最後に、イベントがヒットした場合、直列につながっているので全てのチャンネルを読み出さなければならなず、高速読み出しが行えない。硬 X 線ガンマ線領域ではバックグラウンドが多いので、高速読み出しは必要不可欠である。

そこで、我々のグループは大阪大学とクリアパルス社を中心に多数の VA32TA チップの制御、読み出しを行える新しい読み出しシステムを開発した。この読み出しシステムは FEC(VA32TA)、バイアスボード、インタフェースカード (InterFace Card:IFC)、ROC(Read Out Controller) モジュール、SpaceWire VME モジュールから成り、非常にコンパクトな設計にもかかわらず、16 枚の FEC(1024 チャンネル) を並列に接続できる。新しい読み出しシステムのダイアグラムを図 4.8 に示す。

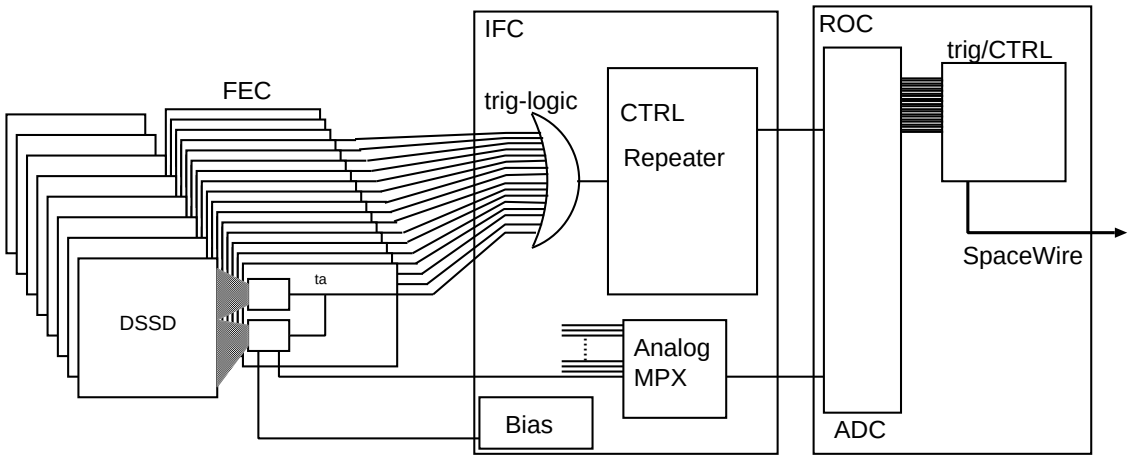


図 4.8: 新しい読み出しシステムのダイアグラム

バイアスボード

IFC に与える電源から VA32TA チップに必要な電源 (AVSS、AVDD) を作り、供給するためのボード。また、mbias、vfp に与えるバイアス電圧、バイアス電流を可変抵抗を用いて作り出すためのボード (図 4.9)。vthr、Ref_bi の値を VA32TA の internal DACs で調整で

きる範囲以上に設定する場合は、同じく可変抵抗で調整し、供給することができる。バイアスボードはこれら以外の信号に対して何の影響も与えない。

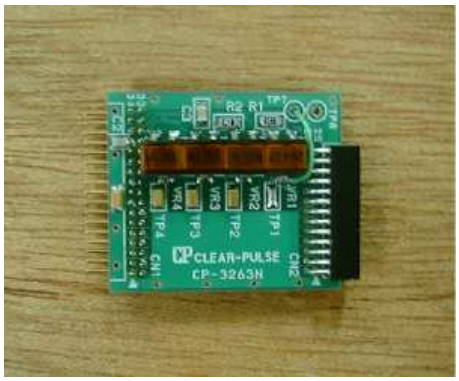


図 4.9: バイアスボードの写真

インタフェースカード (IFC)

IFC は FEC と ROC モジュール間のインターフェースとなるモジュールであり、クリアパルス社によって開発された (図 4.10)。FEC を 16 枚 (1024 チャンネル) 接続できるにもかかわらず、10 cm×10 cm の基板の 2 層構造になっており、極めてコンパクトな設計になっている。IFC には 16 個の 34 ピン half-pitch コネクタが並んでおり、フラットリボンケーブルで FEC と接続される。

IFC の役割は主に 3 つあり、ひとつは FEC-ROC 間でやりとりするデジタル信号 (regin、holdb など) のロジックレベルを+1.5 V、-2 V(VA32TA) から+3 V、GND(ROC) に変換することである。二つ目は 16 枚の FEC からのトリガー信号 (ta) を IFC に搭載されている CPLD で OR をとり、ひとつのトリガー信号として ROC に送ることである。最後は VA32TA 出力 (outp - outm) に対してオフセット調整、ゲイン調整である。

VA32TA 出力の差動電流は IFC に入ると 1 kΩ でターミネートされ、電圧値に変換される。その後、オフセット調整回路、ゲイン調整回路を通って差動電圧として ROC に送られる。

ROC モジュール

ROC は新しい読み出しシステムを制御するモジュールであり、大阪大学の能町グループによって開発された (図 4.11)。IFC と同じく 10 cm×10 cm の基板上に CPLD、フラッシュ ADC、SDRAM、48 MHz クロックジェネレータを搭載している。CPLD はプログラム可能な複合論理デバイスである。CPLD を用いることにより、複雑な論理回路を何度も書き換え可能となり、汎用性の高い極めてコンパクトな制御モジュールとなっている。ROC

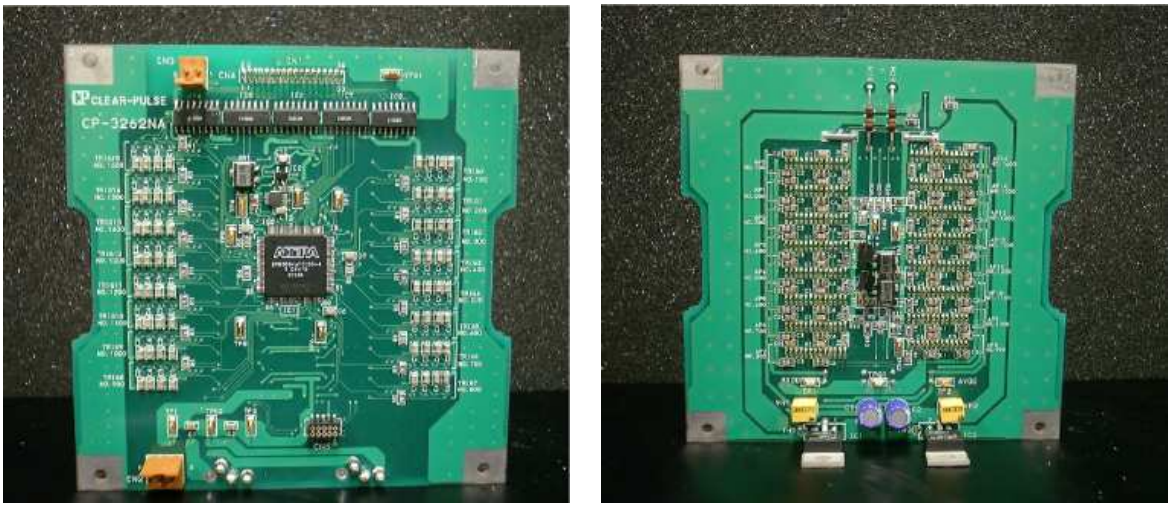


図 4.10: IFC の写真。左図が ROC と接続する基板。右図は 16 個の 34 ピン half-pitch コネクタが並んでおり、FEC と接続する基板

]

図 4.11: ROC の写真

は+3 V、GND の電源供給で動作し、デジタル信号のレベルは Low LevelTTL(LLTTL: +3 V、GND) である。IFC との接続は 34 ピンの half-pitch フラットケーブルを用いている。

ROC には主に 2 つのシーケンスがあり、ひとつはセットアップシーケンス、もうひとつが読み出しシーケンスである。セットアップシーケンスはセットアップする FEC のアドレスを選択した後、199 ビットシフトレジスタの値を設定し、Clkin 信号と同期させて VA32TA チップの regin 信号として送るモードである。このセットアップは 16 枚の FEC に対して並列に処理されるため、16 枚の FEC のセットアップを順に行うことが可能なだけでなく、FEC1 枚だけのセットアップ信号を書き換えることができる。FEC のアドレス、レジスタの値は SpaceWire VME モジュールを介して PC 上で設定できる。読み出しシー

ケンスは多チャンネル読み出しの制御とデータ取得を担当している。タイミングチャートは基本的に VA-DAQ と同じであるが、大きな特徴として 16 枚の FEC 全てを読み出さず、ヒットした FEC のデータのみを読み出す。それによって読み出しにかかる時間を短縮できるのである。これは読み出すチャンネル数が増えれば増えるほどその重要性は増していく。実際に ROC を用いて 16 枚の FEC からのデータを読み出す場合のタイミングチャートを図 4.12 に示す。IFC から ROC にトリガー信号が入力されると ROC が hold 信号を

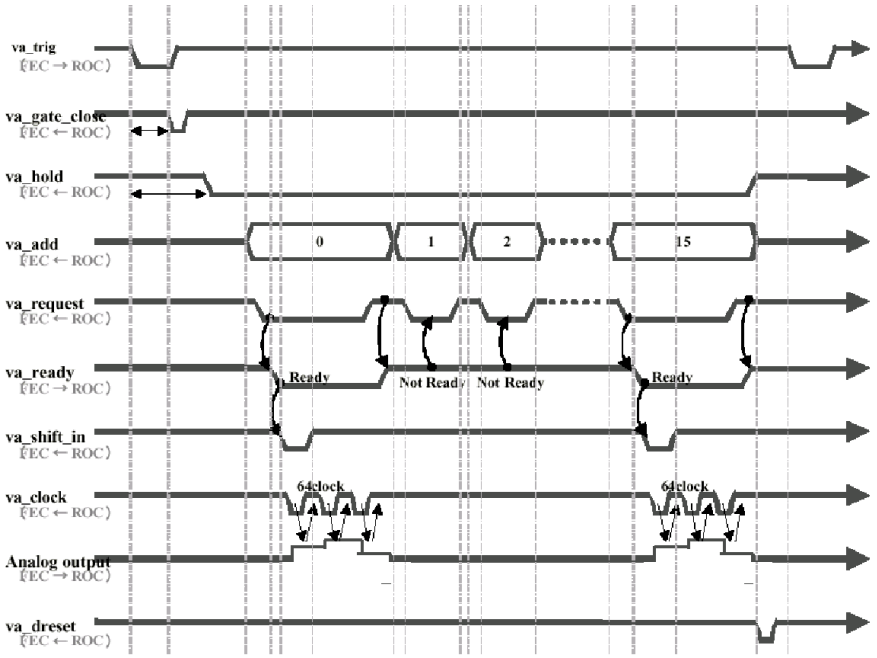


図 4.12: 16 枚の FEC からのデータを読み出すときのタイミングチャート

出して全てのチャンネルのデータをホールドする。その後、va_add 信号を IFC に送って FEC を指定し、IFC からの va_request 信号を用いてその FEC でヒットしたかどうかを確認する。ヒットしていた場合、IFC から ROC に va_ready 信号が送られ、64 チャンネルのデータを読み出す。読み出しが終われば va_add で次の FEC に移り、同様に FEC からの va_ready 信号を確認するが、もし va_ready 信号が返されなければその FEC のデータは読み出さず、va_add 信号で次の FEC へ移動する。トリガー信号が一回入ると、16 枚の FEC に対してこれらの動作を行い、終了した時点で ROC からデジタル系のリセット信号である va_dreset を IFC に送り、次のイベントに備える。現段階では 1 イベントのデータ取得にかかる時間は FEC1 枚あたりおよそ 6 msec である。

SpaceWire VME モジュール

ROC と PC のインタフェースには SpaceWire VME モジュールを用いる。データ転送速度は 2 ~ 100 Mbps と極めて高速通信が可能である。現在は 24 Mbps で動作を行ってい

る。ROC とは 100 Ω のツイストペアケーブルで接続している。

第5章　VA32TAを用いたシリコンストリップ検出器の多チャンネル同時計測

今までは1ストリップからのX線応答を単体のCSAで読み出し、SSDの性能を評価してきたが、実際には多チャンネルの同時計測をしなければならない。そこで、4章で述べたVA32TAとVA-DAQを用いた読み出しシステムを用いて3章で述べた片面SSD(Test structure)の多チャンネル同時計測を試みた。

5.1　実験セットアップ

VA32TAチップを用いた多チャンネル同時計測システムとして、次の二つのモジュールを製作した。

1)VA32TA - RCチップ - Test structure (AC結合モジュール)

2)VA32TA - Test structure (DC結合モジュール)

VA32TAからVA-DAQまでのバイパスに4.2で述べたFECは使わず、より構造の簡単なVA32TA評価ボードを用いた。この評価ボードには1つのVA32TAチップがマウントされている。それ以外には、calのコンデンサ(1.8 pF)と、AVDDとAVSSが10 μFのコンデンサで GNDにカップルされ、DVDDとDVSSが10 μFのコンデンサでカップルされているだけである。今回はノイズ特性を上げるためにAVDD、AVSSとGNDの間に100 μFのOSコンデンサを並列に付け加えた。VA32TAチップのinternal DACsの値は199ビットのシフトレジスタでのみ制御するものとし、外部からinternal DACsを調整するためのパッドにはワイヤボンドしていない。ひとつのTest structureには3種類の構造があるが、もっとも良いエネルギー分解能を達成するためにストリップギャップが130 μmと160 μmのストリップを使用した。VA32TA、RCチップ、Test structureは直径25 μmのアルミ線でワイヤボンドして接続をとった。読み出しシステム全体の写真を図5.1に示し、AC結合モジュールとDC結合モジュールの拡大写真を図5.2に示す。

5.2　データ解析の方法

Test structureと同じp^+側の構造を持つDSSD(P400×64)の全空乏層化電圧と同じ70 VをTest structureとRCchipのNsubにかけ、両者を完全に空乏化させる。読み出しを行

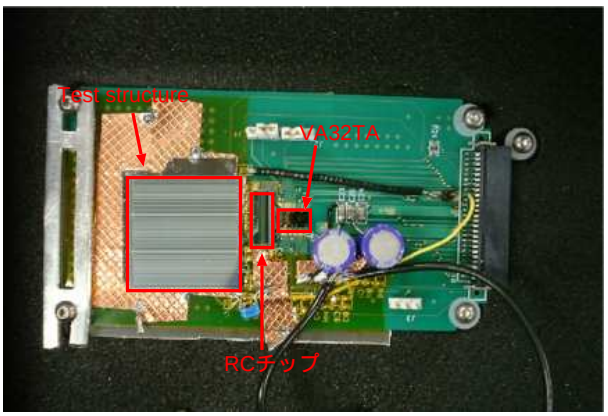


図 5.1: Test structure の複数チャンネル同時計測のためのセットアップ

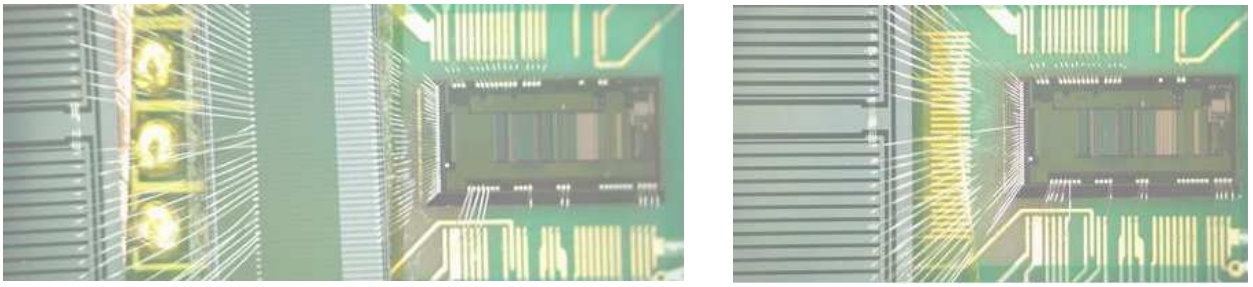


図 5.2: AC 結合モジュール (左図) と DC 結合モジュール (右図)

わないストリップとバイアスリングは GND へ落とした。電源は Keithley Instruments 社製の Model 6517 を用いた。始めに AC 結合モジュールを温度 20 度の恒温槽に入れ、slow shaper の peaking time を 2 μsec にして ^{241}Am を照射した。1 本のストリップで得られたそのままのスペクトルを図 5.3 に示す。この状態ではペデスタルがのっていて、ゼロ点があっていない。さらに、各イベント毎にコモンモードノイズがのっている。ペデスタルとは各チャンネル毎に存在するゼロ点からのずれ (オフセット) のことであり、コモンモードノイズは各イベントに対して全てのチャンネルが一斉に揺らぐノイズのことである。そこで、データ解析の方法として以下の手順をとった。

1. 他のチャンネルでトリガーをとったときのイベントを利用して各チャンネルのペデスタルレベルを求め、全てのデータからペデスタルを引くことで各チャンネルのゼロ点補正を行う。

2. 各イベントに対して波高値が最も高い 2 つと最も低い 2 つのデータを取り除き、残りのデータの平均値をコモンモードノイズとして全てのチャンネルのデータから引く。

3. 各チャンネルから得られた ^{241}Am の 59.54 keV のピーク位置 (ADCchannel) を求め、その値を 59.54 keV とすることで各チャンネルのゲイン補正を行う。

このような解析処理を施した後の同じストリップのエネルギースペクトルを図 5.4 に示す。図 5.3 と比較してもわかるように、コモンモードノイズを引くことによって、エネルギー

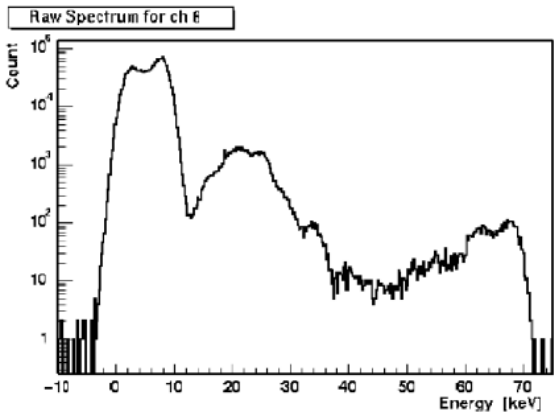


図 5.3: 得られたデータをそのまま用いたときの ^{241}Am のエネルギースペクトル

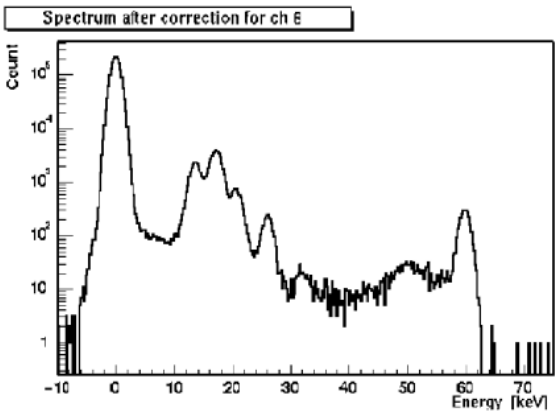


図 5.4: 一連のデータ解析をした後のエネルギースペクトル

分解能の向上が確認できた。同じ解析を全てのストリップで行い、全ストリップのゼロ点の揺らぎの大きさ、つまりノイズの大きさを求め、図 5.5 にまとめる。図 5.5 を見ると、ほとんどのチャンネルでエネルギー分解能は約 1.8 keV であるが、他のチャンネルと比べてエネルギー分解能が悪いチャンネルが存在する。0 チャンネルと 31 チャンネルは VA32TA チップの両端のチャンネルであり、12、13 チャンネルは Test structure のストリップギャップが 160 μm から 130 μm に変わるストリップであるため、少しノイズが大きい。24 チャンネルはうまくワイヤボンドすることができなかったため極端にノイズがのってしまい、その両隣のチャンネルにも影響を及ぼしていると思われる。これらの悪いチャンネルを除き、エネルギー分解能の良いチャンネルだけを用いて全てのデータを足し合わせた複数チャンネル加算スペクトルを図 5.6 に示す。加算スペクトルのエネルギー分解能はノイズの大きさで 1.7 keV、59.5 keV のピークに対しては 1.9 keV であった。

得られたエネルギー分解能が理論的に予想される値と等しいかどうかを考える。VA32TA のアンプノイズは式 4.1 で表すことができ、$\Delta E_{amp} = 1.4$ keV になる。RC チップのバイアス抵抗はおよそ 1 GΩ であり、ジョンソンノイズは $\Delta E_{bias} = 0.3$ keV、Test structure のリーク電流は 70 V で約 430 pA なので、ショットノイズは $\Delta E_{lc} = 0.8$ keV となる。よって、ノイズのエネルギー分解能はこれらの 2 乗和で表すことができるので、$\Delta E_{total} = 1.6$ keV となる。実際に得られたエネルギー分解能は 1.7 keV であり、ほぼ一致していることがわかった。

今後 AC 結合モジュールを用いるときはエネルギー分解能の悪いチャンネルではトリガーをたてずにデータを取得することにする。

5.3 VA32TA を用いた SSD 読み出しシステムの性能評価

SSD のノイズ成分をよく理解するために、AC 結合モジュールと DC 結合モジュールに対して、温度 20 度と 0 度、shaping time が 2 μsec と 4 μsec の条件でエネルギー分解能

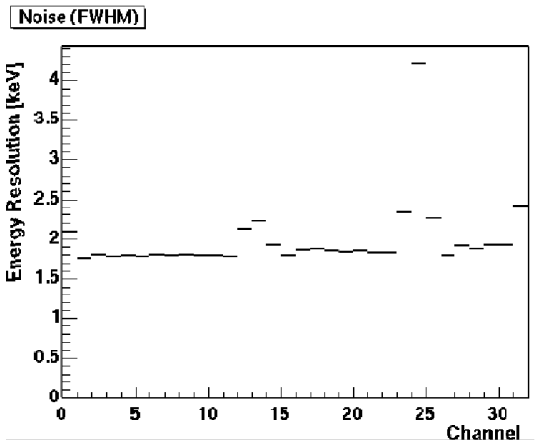


図 5.5: AC 結合モジュールのチャンネルとエネルギー分解能の関係

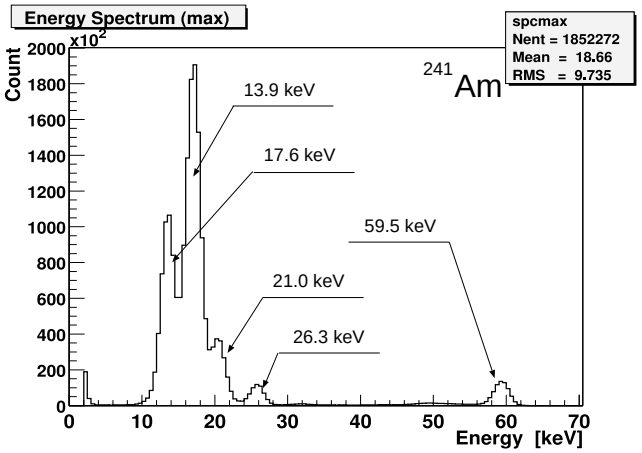


図 5.6: AC 結合モジュールを用いた ^{241}Am の複数チャンネル加算スペクトル。測定条件は温度 20 度、shaping time = 2 μsec

の測定を行った。使用した線源は ^{241}Am と ^{57}Co(122.1 keV、136.5 keV) である。DC 結合モジュールで測定する場合、VA32TA の両端のチャンネルと Test structure のストリップギャップが 160 μm から 130 μm に変わるストリップではトリガーをたてないようにした。それぞれの条件で得られたエネルギー分解能と理論的に予想されるエネルギー分解能の比較を表 5.1 にまとめる。DC 結合モジュールを 20 度で測定した結果がないのは、Test structure のリーク電流がそのまま VA32TA のフィードバック抵抗に流れ込んでしまい、正常に動作させることができなかったからである。

表 5.1: 実際に得られたエネルギー分解能と理論的に予想されるエネルギー分解能の比較

条件	温度	Peaking time	ノイズ (FWHM)		エネルギー分解能 (FWHM)	
			予想値	実測値	60 keV(^{241}Am)	122 keV(^{57}Co)
AC	20 度	2 μsec	1.6 keV	1.7 keV	1.9 keV	2.1 keV
		4 μsec	1.6 keV	1.7 keV	2.1 keV	2.3 keV
	0 度	2 μsec	1.4 keV	1.6 keV	1.8 keV	1.9 keV
		4 μsec	1.1 keV	1.4 keV	1.7 keV	1.8 keV
DC	0 度	2 μsec	1.1 keV	1.2 keV	1.6 keV	1.6 keV
		4 μsec	0.9 keV	1.0 keV	1.3 keV	1.3 keV

注目すべきなのは DC 結合モジュールを用いて温度 0 度、peaking time が 4 μsec で測定したときである。この条件で得られた ^{241}Am、^{57}Co の複数チャンネル加算スペクトルをそれぞれ図 5.7、図 5.8 に示す。予想されるノイズは 0.9 keV であり、実測値は 1.0 keV

であった。これは最終目標としているエネルギー分解能に達している。さらに、^{241}Am の 59.5 keV、^{57}Co の 122 keV のエネルギー分解能はともに 1.3 keV という高精度なエネルギー分解能を達成した (図 5.9)。硬 X 線の多チャンネル同時計測でこれほどのエネルギー分解能を達成した報告は世界的に見ても例がなく、VA32TA を用いた読み出しシステムが極めて有効であることを証明している。

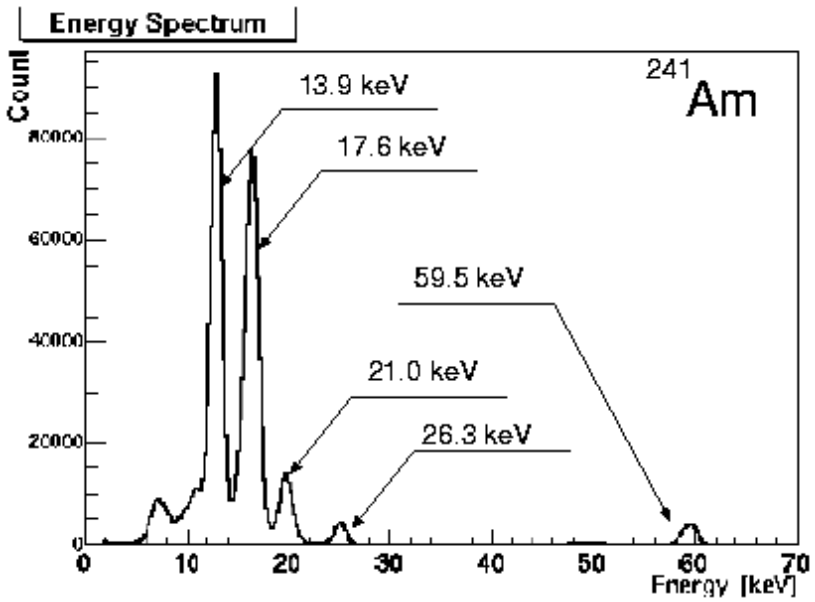


図 5.7: DC 結合モジュールを用いた ^{241}Am の複数チャンネル加算スペクトル。測定条件は温度 0 度、shaping time = 4 μsec

その他の条件で測定した結果を見ると、DC 結合モジュールではノイズのエネルギー分解能は予想値と実測値が近い値をとっている。このことは DC 結合モジュールにおけるノイズの成分を十分理解できていることを示している。これに対し、AC 結合モジュールでは特に 0 度のときに予想値と実測値が一致していない。DC 結合モジュールに RC チップを介しただけであり、RC チップによるノイズ成分を正しく理解できていないことになる。20 度になると予想値と実測値が近くなるのは、リーク電流によるショットノイズが大きくなり、RC チップの影響が小さくなるためと思われる。

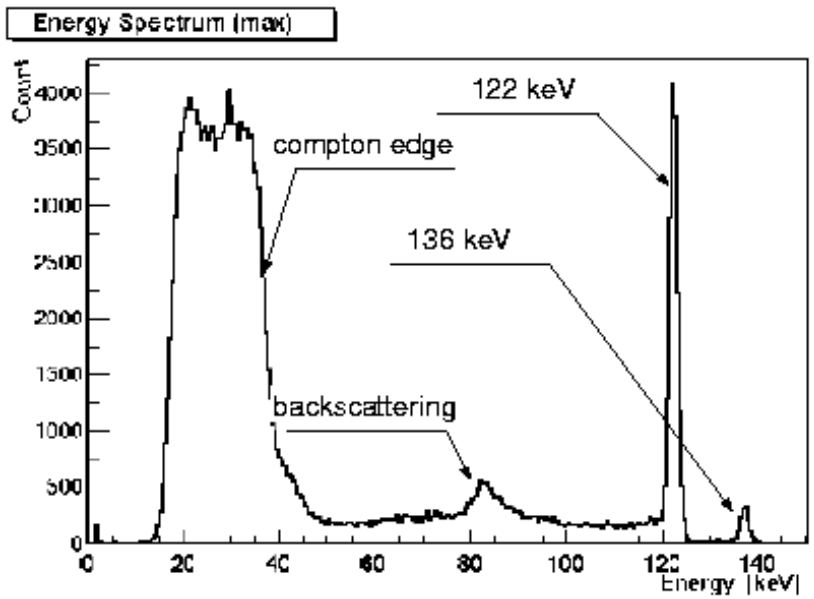


図 5.8: DC 結合モジュールを用いた ^{57}Co の複数チャンネル加算スペクトル。測定条件は温度 0 度、shaping time = 4 μsec

(a) (b)

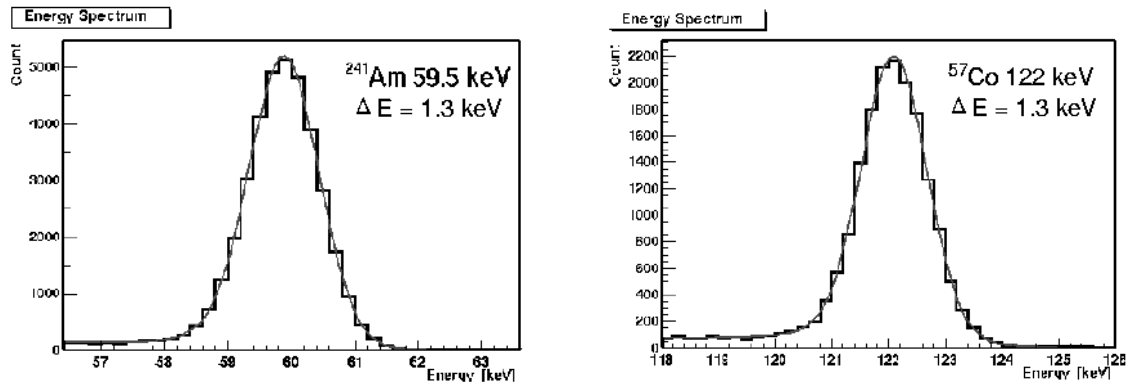


図 5.9: DC 結合モジュール、温度 0 度、shaping time = 4 μsec で得られた ^{241}Am59.5 keV のとフィッティング結果 (a) と ^{57}Co122 keV のフィッティング結果 (b)

第6章　シリコンストリップ検出器による硬X線の撮像

5章ではVA32TAで片面SSDを読み出し (FWHM = 1.3 keV)、VA32TAとVA-DAQを用いた読み出しシステムが極めて有効であることを証明した。そこで、この読み出しシステムを使ってDSSDを読み出し、光子の反応位置がわかることを確認し、その撮像能力について考察する。

6.1　両面シリコンストリップ検出器の読み出しに向けて

1枚のDSSDを読み出すためにはp^+側とn^+側でそれぞれ1枚、計2枚のFECが必要である。本来VA-DAQには1枚のFECを接続し、FECに搭載されている2枚のVA32TAチップを制御する。しかし、これではDSSDを読み出すためにVA-DAQが2つ必要であるだけでなく、p^+側とn^+側に用いた2枚のFECが独立に動作することになり、正確に同期させてイベントを取得することができない。この問題を解決するためには、2枚のFECをひとつのセットアップ信号で制御できなければならない。具体的には、1枚目のFECからのregout、shift_outをVA-DAQに返さず、2枚目のregin、shift_inとして送ることが必要である。そこで、34ピンから50ピンへの変換と、1枚目のFECからのregout、shift_outを2枚目のFECに送る機能を持ち合わせたアダプターボードを製作した (図6.1)。このアダプターボードは4つのhalf pitchコネクタを持ち、1つは50ピン (VA-DAQ用)、3つは34ピン (FEC用、アダプターボード間接続用) である。このボードを用いた読み出しの概念図を図6.2に示す。図6.2に示したように、このボードを用いるとregout、shift_inをVA-DAQに返さず、次のFECにまわすことで3枚以上のFECの読み出しを行うこともできる。regout、shift_inをVA-DAQに送るか、次のFECに送るかはジャンパーで選択できるようになっている。

6.2　両面シリコンストリップ検出器の両面同時読み出し

VA32TAチップ、VA-DAQ、§6.1で述べたアダプターボードを用いてDSSDの両面同時読み出しを行う。今回使用したDSSDはP800×32であり、リーク電流、Body Capacitance、Inter-strip Capacitanceは§3.7.2より、それぞれ470 pA、7.2 pF、2.7 pFである。全空乏層化させるためにDSSDには80 Vの逆バイアス電圧をかけなければならない。理想的な条件としては、高いエネルギー分解能が得られるp^+ストリップをGNDにしてVA32TA

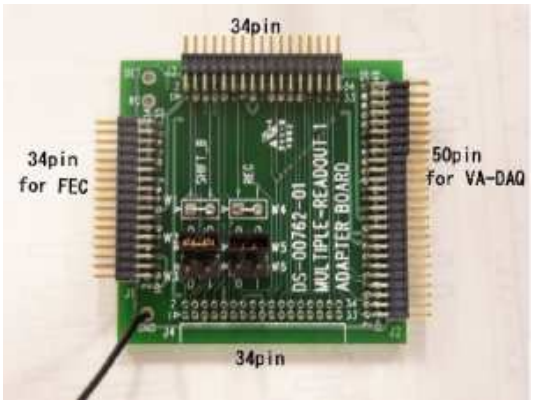


図 6.1: 複数の FEC を 1 つの VA-DAQ で制御するためのアダプターボード

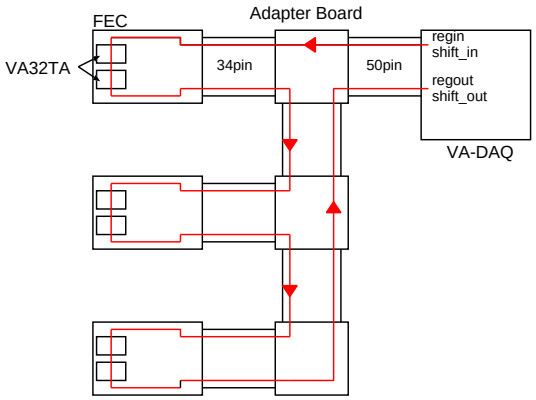


図 6.2: アダプターボードを用いた読み出しの概念図

チップと DC 結合し、位置情報のみを考えればよい n^+ ストリップは RC チップのバイアスパッドを用いて+80 V の電圧をかけることである。しかし、RC チップのカップリングコンデンサに 80 V の電位差がかかると、breakdown するカップリングコンデンサが現れ、動作が不安定になった。そこで、DSSD に 80 V の電位差を安定して供給するために、p^+ 側にも RC チップを用いて p^+ 側に-40 V、n^+ 側というように分割して電圧をかけるようにした。使用した RC チップは DSSD のストリップ間隔と同じ 800 μm 間隔のタイプであり、片面に 2 枚、計 4 枚使用する。この RC チップのリーク電流、Body Capacitance、Inter-strip Capacitance は §3.8 より、1 ストリップあたりそれぞれ約 110 pA、0.28 pF、1.4 pF である。測定セットアップの写真を図 6.3 に示す。

測定条件は DSSD、RC チップ、FEC を恒温槽に入れて 0 度に設定し、DSSD の両側から 80 V の逆バイアスをかけて全空乏層化した。^{241}Am を DSSD の 12 cm 上から照射し、peaking time は 2 μsec とした。また、今回は CSA にロードされる容量が大きいため Test structure を測定した場合と比べてノイズ特性が悪いことが予想されるので、スレッショルドを高くし、約 30 keV とした。解析方法は基本的に Test structure の場合と同じく、ペデスタル、コモンモードノイズの順で引き、59.5 keV のピークを用いてゲインの補正を行う。ただし、コモンモードノイズは VA32TA チップの個性に影響を受けるので、今回は 1 イベント毎に各チップのコモンモードノイズを求めて引いている。この測定から得られた各ストリップのノイズの大きさを図 6.4 に示す。チャンネル番号 0 ~ 31 が p^+ 側のストリップであり、32 ~ 63 が n^+ 側のストリップである。図 6.4 より、p^+ 側で約 2.9 keV、n^+ 側で約 4.0 keV である。n^+ 側の方がノイズ特性が悪いのは、p^+ 側よりも n^+ 側の方が Inter-strip Capacitance が大きいからである。また、n^+ 側の 45 番目のチャンネルは極端に分解能が悪いことがわかった。全ての p^+ ストリップで得られたデータを足し会わせた p^+ 側の多チャンネル加算スペクトルを図 6.5 に示す。同様に n^+ 側の多チャンネル加算スペクトルを図 6.6 に示す。加算スペクトルの 59.5 keV のエネルギー分解能はそれぞれ 2.9 keV、3.7 keV であることがわかった。

同じセットアップで ^{57}Co を照射し、得られた p^+ ストリップの加算スペクトルを図 6.7

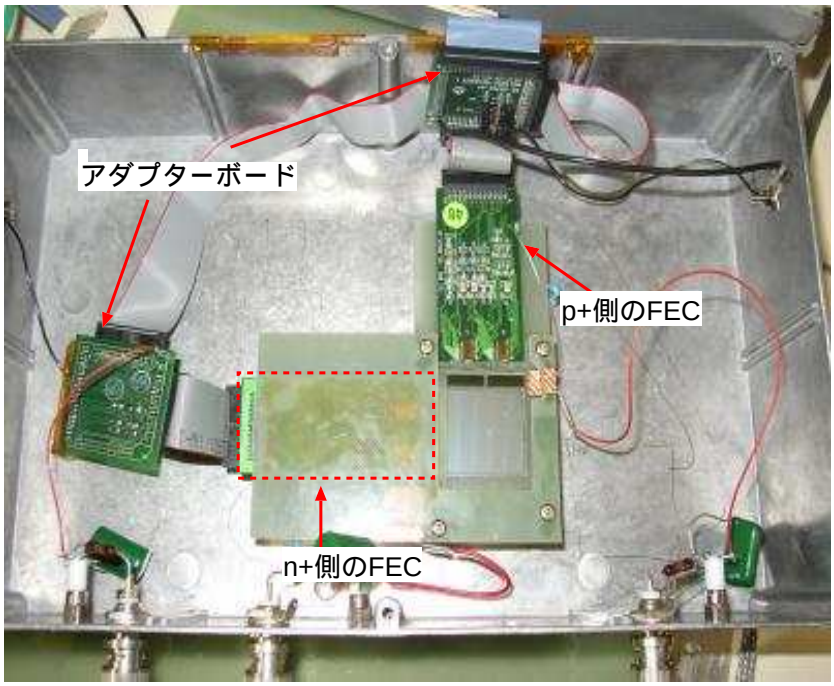


図 6.3: DSSD の両面同時読み出しのためのセットアップ

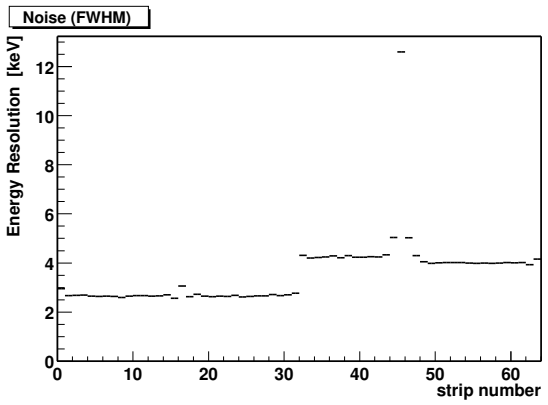


図 6.4: 各ストリップで得られたノイズの大きさ。チャンネル番号 $0 \sim 31$ が p^+ 側のストリップであり、$32 \sim 63$ が n^+ 側のストリップ。

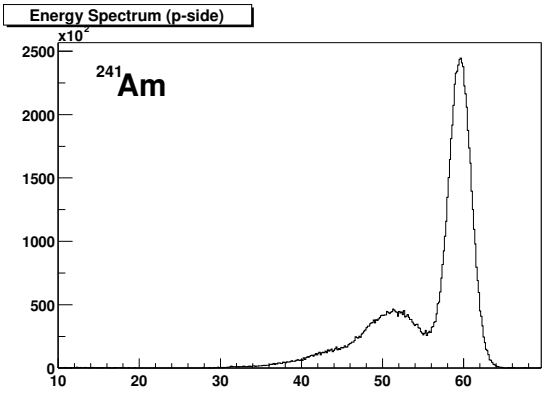


図 6.5: DSSD の両面同時読み出しで得られた p^+ 側の多チャンネル加算スペクトル。測定条件は $^{241}\mathrm{Am}$、peaking time $= 2\ \mu\mathrm{sec}$

に示す。122 keV のエネルギー分解能は 3.3 keV であった。この値は $^{241}\mathrm{Am}$ のエネルギー分解能と比較すると少し悪くなっている。原因としては、スペクトルの低エネルギー側でゲインの補正を行っていないため、高エネルギー側になるにつれてゲインのずれが大きくなっているとこが考えられる。

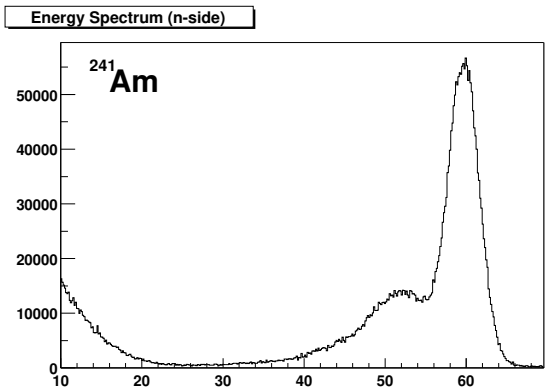


図 6.6: DSSD の両面同時読み出しで得られた n^+ 側の多チャンネル加算スペクトル。測定条件は ^{241}Am、peaking time $= 2$ μsec

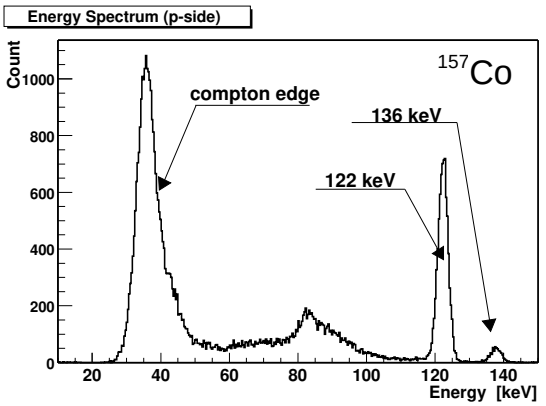


図 6.7: DSSD の両面同時読み出しで得られた p^+ 側の多チャンネル加算スペクトル。測定条件は ^{57}Co、peaking time $= 2$ μsec

6.3 フラットイメージ

DSSD は p 側のストリップ、n 側のストリップからの信号を検出することで、光子の反応位置を 2 次元で知ることができる撮像用のデバイスである。よって、今回使用した DSSD は片側に 32 本のストリップがあるので、 $32 \times 32 = 1024$ ピクセル相当の撮像用デバイスとなる。

撮像用デバイスの重要なパラメータのひとつにフラットネスがある。これは撮像感度の一様性を意味し、デバイスに対して均一に粒子が降り注がれた場合、1 ピクセルの領域で反応した回数を 2 次元のヒストグラムにしたときに、各ピクセルのカウント数がどれだけ同じ値をとっているかで表すことができる。そこで、1024 ピクセル相当の DSSD に対して 6.2 で測定した ^{241}Am、peaking time $= 2$ μsec のデータを用いてフラットネスを調べた。この解析で 2 次元ヒストグラムを作成する際のトリガー条件を以下に挙げる。

- X 線イベントで発生した電荷を隣のストリップと共有していない。
- 各ストリップのエネルギー分解能の違いからくる影響を取り除くために、エネルギーカットとして 59.5 keV $\pm$ (各チャンネルの 59.5 keV をガウス関数でフィッティングしたときの sigma) とする。

得られた 2 次元ヒストグラムを図 6.8 に示す。DSSD の中央と端とで線源までの距離が異なるが、線源は DSSD の 12 cm 真上に置いたので、その距離によるカウント数の違いは 1 %以下である。フラットネスを定量的に表すために、各ピクセル相当のカウント数の平均値と分散を求め、χ^2 検定を行った。その結果、reduced $\chi^2 = 1.2$ のレベルでヒストグラムがフラットであることが確認できた。

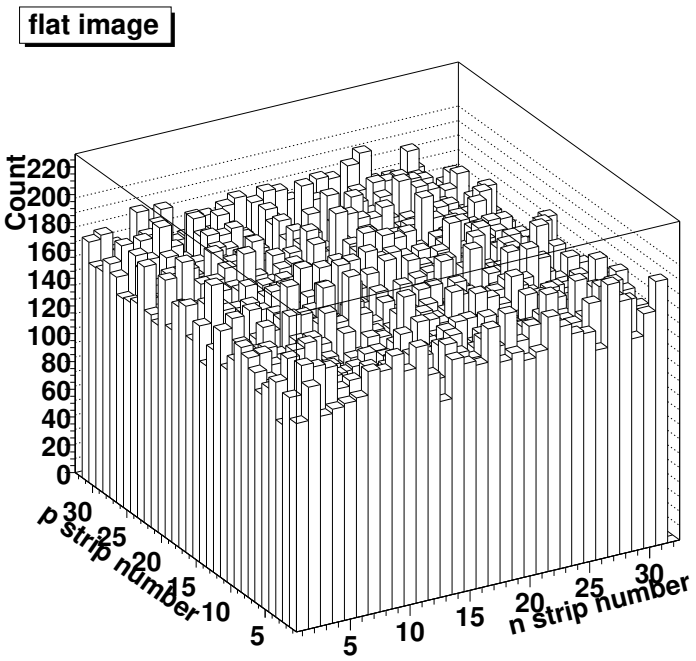


図 6.8: DSSD のフラットイメージ

6.4 位置情報の検定

撮像用のデバイスは粒子の反応位置を正しく検出できなければならない。p^+ 側、n^+ 側でそれぞれ正しく位置を検出することができているかを確認するために、コリメートした X 線を等間隔で DSSD に照射し、その応答を調べた。セットアップの概念図を図 6.9 に示す。X 線の広がりを押さえ、を DSSD の一部分に照射するために、1 mm × 1 mm の正方形の穴があいたタングステン (Z = 74) 製、厚さ 5 mm のコリメータ (図 6.10) を 3 層重ねた。線源と DSSD の距離は約 4.5 cm である。よってこの条件でコリメータを通した場合、線源からの X 線は DSSD の 4 ストリップ分にコリメートできることが期待される。また、この実験ではコリメータを高精度で動かす必要がある。使用した 2 次元精密ステージは神津精機の XA10-04 と ZA10-53 で、25 μm の位置分解能を持っている。800 μm のストリップを持つ DSSD に対して、このコリメータと 2 次元精密ステージを使ってストリップに垂直な方向に 200 μm 動かす毎に ^{133}Ba(30.9 keV) を照射した (図 6.11)。測定条件は温度 20 度、peaking time = 2 μsec で行い、30.9 keV ± (各チャンネルの 30.9 keV をガウス関数でフィッティングしたときの sigma) 内のイベント数を比較した。

p^+ ストリップに対して垂直にコリメータを移動させたときの結果を図 6.12、図 6.13 に示す。図 6.12 は横軸が p^+ ストリップ番号、縦軸はそのストリップでヒットしたイベント数である。ただし、図が繁雑になるのを避けるために 400 μm 毎のデータのみをプロットしている。図 6.12 より、1 回の測定で予想通り 4 本のストリップにヒットしていることがわかる。4 本のストリップのカウント数がガウス分布に従うと仮定し、全ての測定にた

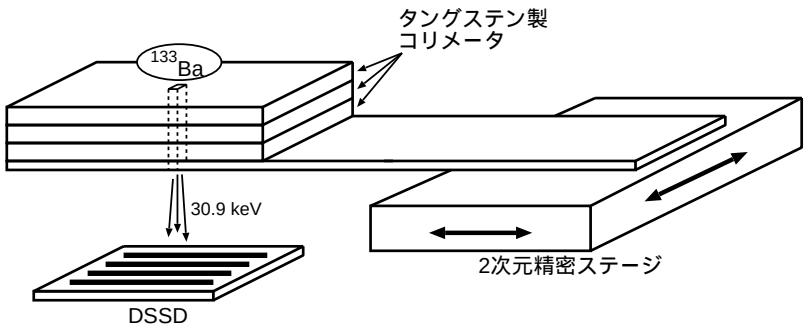


図 6.9: コリメートした X 線を 2 次元精密ステージを用いて測定するときのセットアップ図

図 6.10: タングステン製のコリメータ。中心に 1 mm×1 mm の正方形の穴があいている。

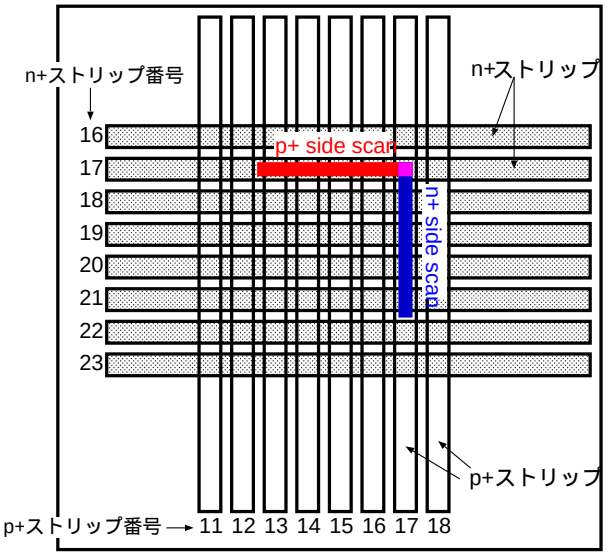


図 6.11: コリメートした X 線の照射位置。赤いラインが p^+ 側をスキャンしたときの照射位置。青いラインが n^+ 側をスキャンしたときの照射位置。

いしてガウス分布でフィッティングした。フィッティングしたガウス分布の平均値が測定データから求めた線源の位置となる。コリメータを動かしていくにつれ、ガウス分布の平均値も移動している。これを定量的に評価したものが図 6.13 である。横軸は p^+ ストリップに垂直な方向にコリメータを動かした距離。最初の測定ポイントを 0 としている。縦軸は図 6.12 で得られたガウス分布の平均値を mm の単位に変換したものである。0.2 mm ごとに得られた結果をプロットし、直線でフィッティングした。その結果、直線の傾きは 1.0 であることがわかった。これは実際にコリメータを動かした距離と、測定データから求めた線源の距離が一致していることを示しており、p^+ ストリップに対しては、X 線の反応位置を正しく検出できていることがわかった。同様の実験を n^+ ストリップに対しても行

い、得られた結果を図 6.14、図 6.15 に示す。これらの図より、n^+ ストリップにたいしても、1 回の測定で約 4 本のストリップにヒットがあり、それらをガウス分布でフィッティングしたときの平均値 (線源の位置) とコリメータの移動距離の相関が傾き 1.0 の直線で表すことができた。よって、n^+ ストリップも X 線の反応位置を正しく検出できている。

以上のことから、使用した DSSD は撮像に必要な光子の反応位置を正しく測定できていることがわかった。

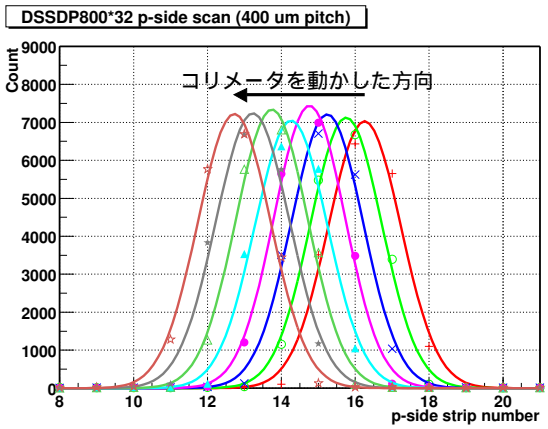


図 6.12: p^+ ストリップに対して垂直にコリメータを移動させたときの各ストリップのイベント数

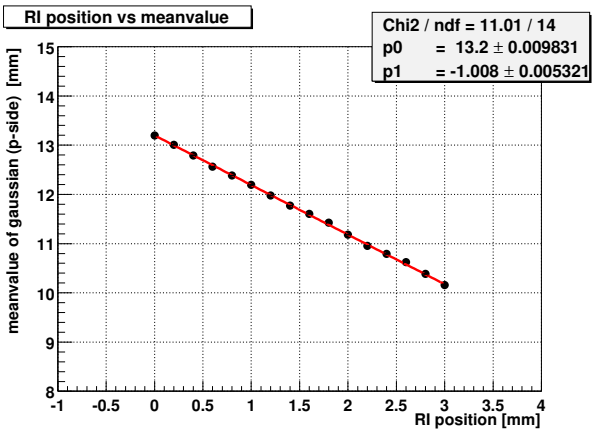


図 6.13: p^+ ストリップのイベント数をガウス分布でフィッティングしたときの平均値 (線源の位置) とコリメータの移動距離の相関

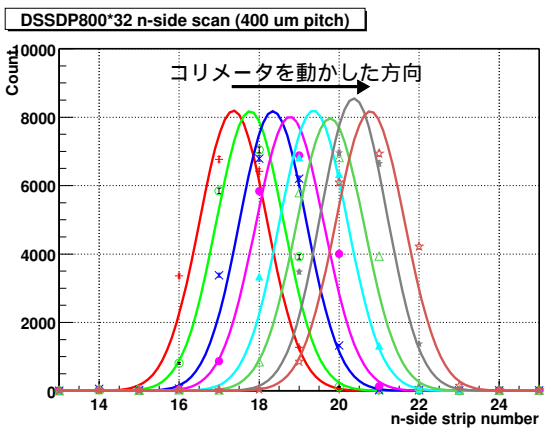


図 6.14: n^+ ストリップに対して垂直にコリメータを移動させたときの各ストリップのイベント数

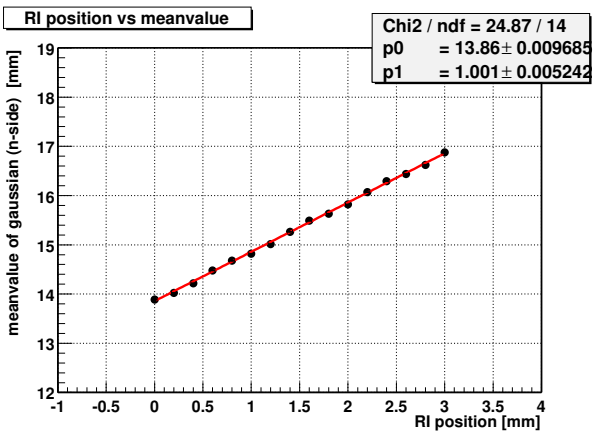


図 6.15: n^+ ストリップのイベント数をガウス分布でフィッティングしたときの平均値 (線源の位置) とコリメータの移動距離の相関

6.5 DSSD を用いた硬 X 線の撮像

DSSD が撮像用のデバイスとして十分に動作することが確認できたので、DSSD を用いて DSSD のストリップ間隔と同じ直径 (800 μm) をもった真鍮線で作ったリーフ (図 6.16) の撮像を試みた。真鍮は Cu と Zn の合金であるため阻止能が高く、X 線の撮像に向いている。真鍮線で作ったリーフは一辺の大きさが約 2.8 cm である。

実験のセットアップを図 6.17 に示す。DSSD の上約 5 mm に真鍮線で作ったリーフを置き、その約 12 cm 上から ^{241}Am を照射した。測定温度は 0 度、peaking time = 2 μsec である。エネルギーカットは 59.5 keV $\pm$ (チャンネルの 59.5 keV をガウス関数でフィッティングしたときの sigma) とした。ただし、エネルギーカットに使用したのは p^+ ストリップのエネルギー分解能のみであり、n^+ ストリップからのデータは位置情報得るためだけに利用している。得られた結果を図 6.18 に示す。はっきりと真鍮線のリーフの形を確認することができ、DSSD を用いて硬 X 線の撮像に成功した。

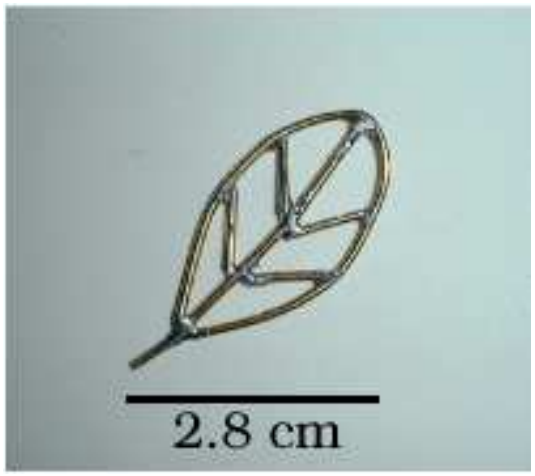


図 6.16: 直径 800 μm の真鍮線で製作したリーフ

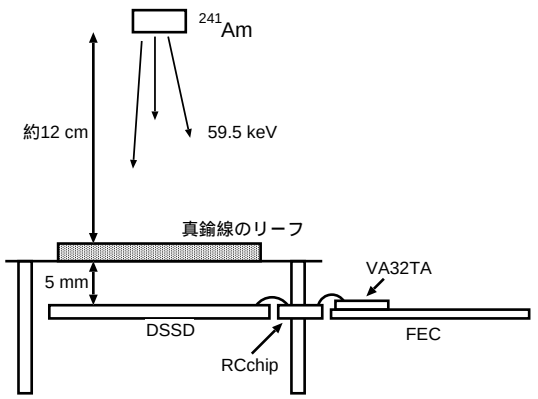


図 6.17: 真鍮線のリーフを撮像するときのセットアップ図

6.6 スプリットイベントに対する考察

X 線が SSD で反応して生成された電子、ホール対は最も近いストリップに集められる。しかし、例えば 60 keV の硬 X 線が SSD 内で光電吸収を起こした場合、反応した電子は SSD 内を約 12 μm 走り、その飛程に沿って電子、ホール対ができる。生成された電子、ホールは電場に沿って移動しながらも有限の時間で集められる限りどうしても拡散してしまう。そのため、隣合う 2 本のストリップの中央付近で生成された電子、ホールは 1 本のストリップで全ての電荷を収集することができず、2 本のストリップに分割して収集される。このようなイベントをスプリットイベントという (図 6.19)。また、X 線が SSD 内でコンプトン散乱し、すぐ隣のストリップで光電吸収、もしくは再度コンプトン散乱を起こ

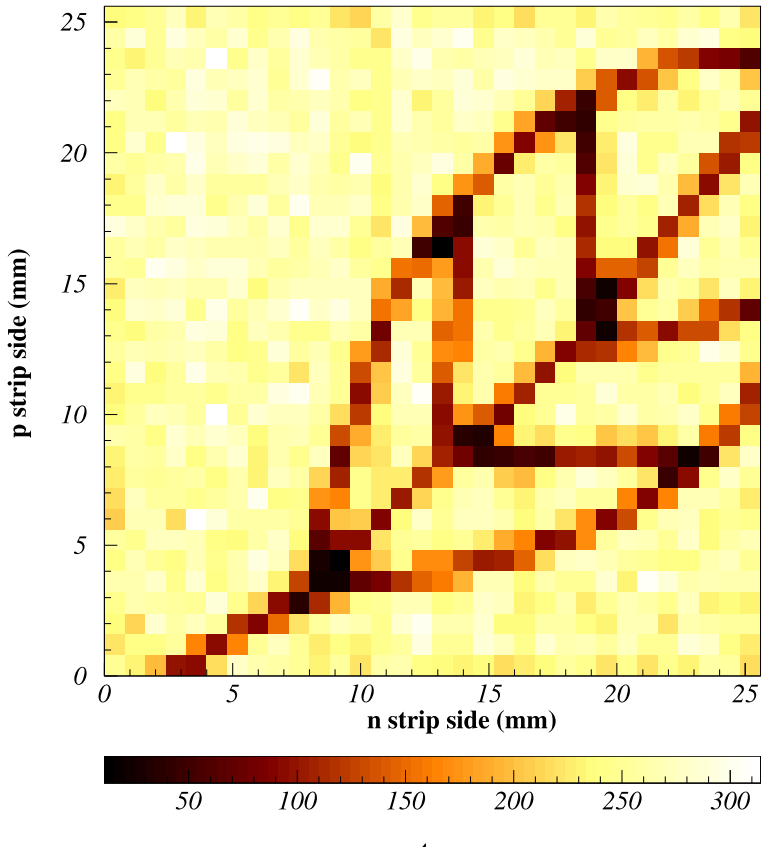


図 6.18: 真鍮線のリーフの撮像結果

した場合、得られた信号からはスプリットイベントと区別がつかないため、このようなイベントもスプリットイベントとする。スプリットイベントはふたつのチャンネルの信号を

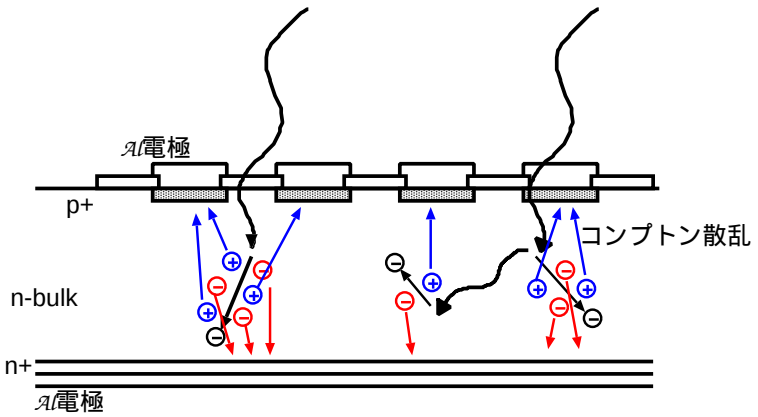


図 6.19: スプリットイベントの概念図

足し合わせると X 線イベントと同じ波高値になるが、ふたつの読み出し系を通しているため、エネルギー分解能が $\sqrt{2}$ 倍になってしまう。よって、より良いエネルギー分解能を

考えた場合、スプリットイベントはできるだけ少ない方がよい。そこで、§6.2 で測定した ^{241}Am、peaking time = 2 μsec で測定したデータを用いて、トリガーしたイベント (波高値が 30 keV 以上) に対する p^+ 側のスプリットイベントの割合、n^+ 側のスプリットイベントの割合、p^+ 側と n^+ 側の両方でスプリットイベントを起こしたの割合をを求めた。

p^+ 側の場合、32 本のストリップから最も大きい信号と 2 番目に大きい信号を選び、それらの信号が隣り合うストリップで得られたものだけを抜き出した。次に、2 番目に大きな信号が 5.0 keV 以上の波高値を持っているイベントをスプリットイベントとした。5.0 keV というのは、ノイズの大きさの 4σ に相当し、5.0 keV 以上の波高値を持ったイベントはノイズ以外の寄与が必ずあると判断できる。n^+ 側でも同様に、最も大きい信号と 2 番目に大きい信号が隣り合うストリップで得られたイベントを抜きだし、2 番目に大きい信号がノイズの大きさの 4σ に相当する 6.3 keV 以上のものをスプリットイベントと判断する。

解析の結果、p^+ 側でスプリットしたイベントは全体の約 2.7 %、n^+ 側でスプリットしたイベントは全体の約 3.7 %、p^+ 側と n^+ 側両方でスプリットしたイベントは約 0.2 %であることがわかった。n^+ 側でスプリットイベントが多いのは、n^+ ストリップ間の構造が複雑であり、p^+ ストリップ間と比べると n^+ ストリップ間は均一な電場ができていないためだと考えられる。スプリットイベントの割合は全体の数%であり、全体としてはあまり大きな影響を与えることはないと思われる。

得られたスプリットイベントについてもう少し詳しく考察する。あるエネルギーの硬 X 線がスプリットイベントになった場合、隣り合う 2 つのストリップの波高値の和をとればもとのエネルギーになっているかどうかを p^+ ストリップのスプリットイベントデータを用いて確かめる。そのために、横軸に最も大きい信号をとり、縦軸に 2 番目に大きい信号を表示した 2 次元ヒストグラムを作る。エネルギー E の硬 X 線がストリップイベントになると (最も大きい波高値) + (2 番目に大きい波高値) = E という式が成り立つので、2 次元ヒストグラム上に傾きが -1、切片 E の直線上に乗ることが期待される。^{241}Am、peaking time = 2 μsec のデータを用いて上記のような 2 次元ヒストグラムを作った。結果を図 6.20 に示す。

図 6.20 より、傾き -1、切片が約 60 keV の直線が見てとれ、59.5 keV のスプリットイベントは隣り合う 2 本のストリップからの信号を足し合わせると 59.5 keV になっていることが確認できた。一般的にスプリットイベントがどのような割合でエネルギーが分割されるかは、元のエネルギーに関係なく一定であると考えられるので、図 6.20 の直線を形成しているプロットの密度は一定であることが期待される。しかし、図 6.20 を見ると、エネルギーの分割の程度は一様ではなく、最も高い波高値が 50 keV 以上に偏っている。そこで、60 keV のスプリットイベントのみを取り出し、2 番目に大きい波高値が 5 keV 以上のイベントを抜き出して 2 次元ヒストグラムを作り、X 軸に射影した。その結果を図 6.21 に示す。図 6.21 より、約 50 keV 付近にピークがあることがわかった。ここで、SSD でコンプトン散乱した後、隣のストリップで光電吸収したイベントについて考えてみる。59.5 keV の硬 X 線のコンプトンエッジは約 11 keV であり、コンプトン散乱後の光子は必ず 48 keV 以上のエネルギーを持つ。よって、図 6.21 の 50 keV 付近のピークはコンプトン散乱した後、隣のストリップで光電吸収されたイベントである可能性がある。

このことを確認するために、^{57}Co、peaking time = 2 μsec で測定したデータについても解析を行った。122 keV のピークのコンプトンエッジは約 40 keV であるため、コンプトン散乱をした後、隣のストリップで光電吸収したイベントは同様の射影図を作ると 80 keV あたりからピークが現れることになる。作成した 2 次元ヒストグラムと、122 keV のストリップイベントに注目して X 軸に射影したヒストグラムをそれぞれ図 6.22、図 6.23 に示す。図 6.22 より、122 keV、136 keV のピークに対するスプリットイベントは、傾き -1、切片がそれぞれ 122 keV、136 keV の直線上に乗っていることがわかる。また、図 6.23 より、80 keV から 120 keV 付近にかけてカウント数が急に多くなっていることがわかる。よって、これらの結果より、スプリットイベントにはコンプトン散乱した後、隣のストリップで光電吸収したイベントを多く含むため、エネルギーの分割の程度が一様にはなっていないことがわかった。

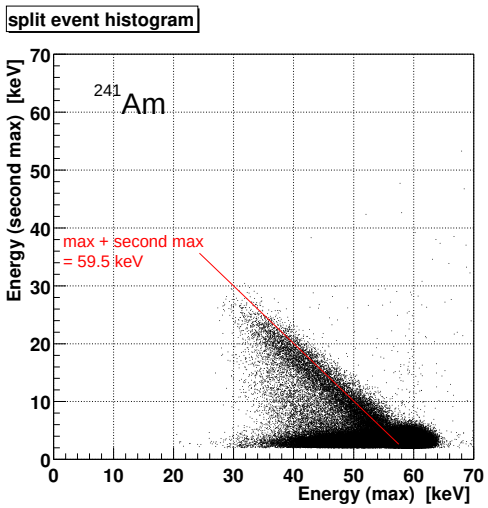


図 6.20: 最も大きい波高値と 2 番目に大きい波高値の 2 次元ヒストグラム。^{241}Am、peaking time = 2 μsec

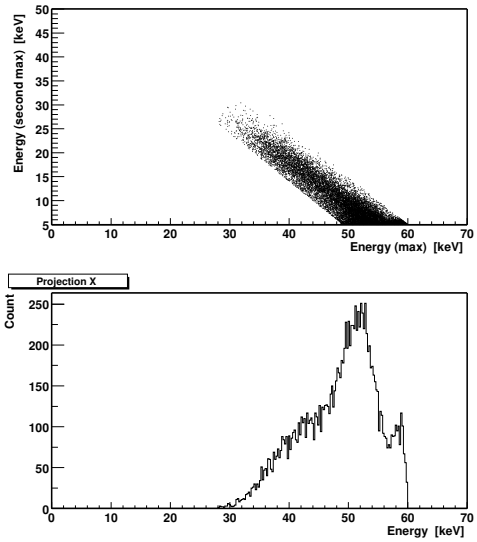


図 6.21: スプリットイベントを抜き出した 2 次元ヒストグラム (上) と上図の X 軸への射影 (下)

6.7 ROC を用いたシリコンストリップ検出器の読み出し

§4.4 でのべた新しい読み出しシステムを用いて SSD の読み出しを行った。ただし、現状では 64 チャンネル (FEC1 枚分) しか AD 変換できず、DSSD の読み出しではなく、TypeA の読み出しを試みた。セットアップの写真を図 6.24、図 6.25 に示す。図 6.24 のように 1 枚の VA32TA チップに 200 μm 間隔の RC チップを用いて TypeA を AC 結合させ、もう一方の VA32TA チップには TypeA を DC 結合させた。AC 結合側からデータをとるときには DC 結合側のチャンネルは全てトリガーをたてないようにし、逆に DC 結合側から読

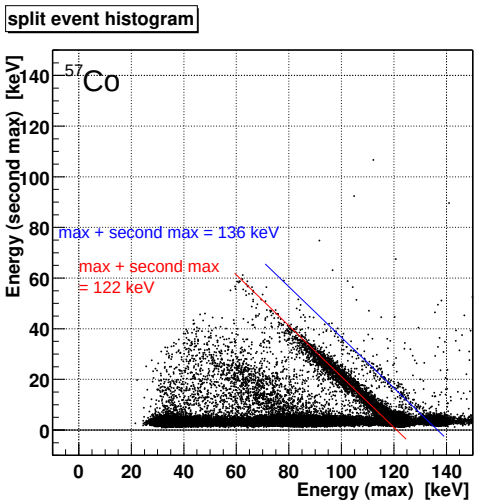


図 6.22: 最も大きい波高値と 2 番目に大きい波高値の 2 次元ヒストグラム。^{57}Co、peaking time $= 2$ μsec

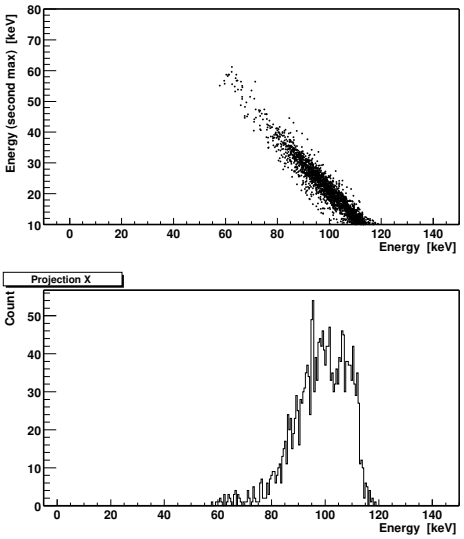


図 6.23: スプリットイベントを抜き出した 2 次元ヒストグラム (上) と上図の X 軸への射影 (下)

み出す場合には AC 結合したチャンネルではトリガーをたてないようにした。使用した線源は ^{241}Am で、測定条件は TypeA、RC チップともに 70 V の逆バイアス電圧をかけ、全空乏層化させ、peaking time $= 2$ μsec とした。ただし、AC 結合側を測定したときの温度は 20 度であるのに対し、DC 結合側を読み出すときはリーク電流をおさえるために 0 度に設定した。データの読み出しシーケンスは図 4.12 に示した通りである。

図 6.24: FEC と TypeA の接続。下側が DC 結合、上側が AC 結合である。

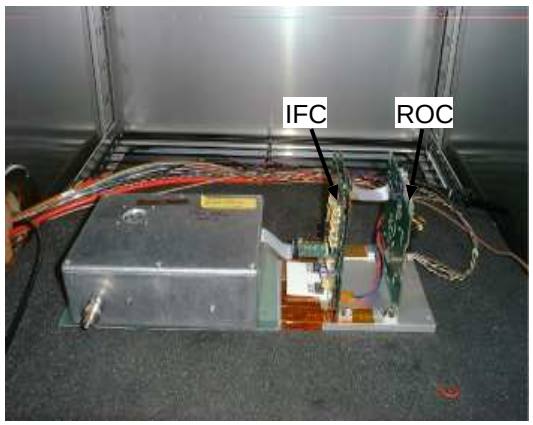


図 6.25: 新しい読み出しシステムを用いて TypeA を読み出すときのセットアップ

得られた結果を図 6.26、図 6.27 に示す。これらのスペクトルは多チャンネルの加算スペクトルであり、VA-DAQ を用いて測定していたときと同じ方法で解析を行った結果で

ある。59.5 keV の結果は AC 結合、DC 結合でそれぞれ 2.6 keV、1.6 keV となった。しかし、DC 結合した場合にのみ低エネルギー側にピークが現れている。また、^{241}Am の主なピークは 13,9 keV、17.6 keV、21.0 keV、26.3 keV、59.5 keV であるのに対し、DC 結合したスペクトルに現れたピークのエネルギーは、高エネルギー側にシフトしている。このように、ROC を用いた新しい読み出しシステムにはまだ不明瞭な点が多い。よって、実際のエネルギー分解能は得られた値よりも悪い可能性がある。このような問題を 1 つずつ解決して正しい評価をすることが今後の課題である。

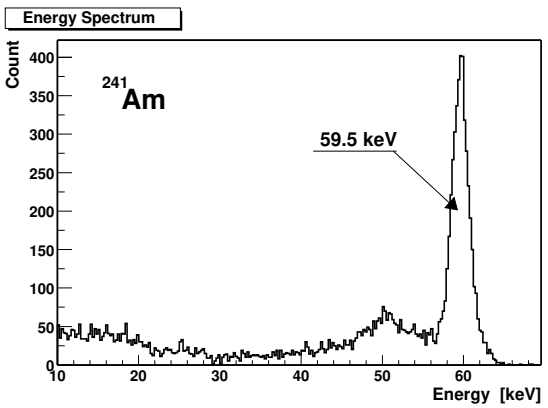


図 6.26: ROC を用いて TypeA、RC チップ、VA32TA チップを読み出したときの多チャンネル加算スペクトル (AC 結合)

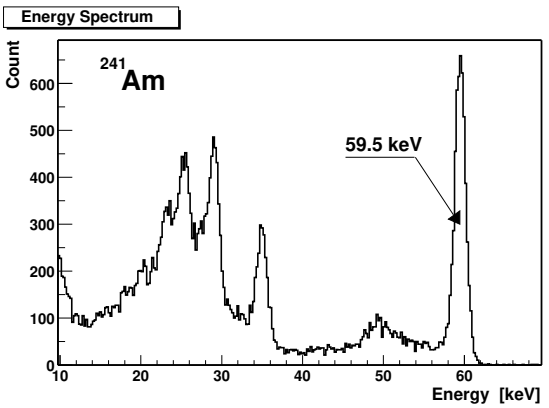


図 6.27: ROC を用いて TypeA、VA32TA チップを読み出したときの多チャンネル加算スペクトル (DC 結合)

第7章　まとめ

本研究では、多重コンプトンガンマ線カメラに向けた高エネルギー分解能を持つシリコンストリップ検出器の開発、および多チャンネル同時計測を行った。以下にその成果をまとめる。

- エネルギー分解能を向上させるために、ストリップを垂直に 2 等分した SSD を試作した。その結果、上側のストリップからの信号を読み出すための引き延ばした Al 電極部が太かったため、Al 電極と n バルクが SiO_2 層に大きなコンデンサを形成し、硬 X 線に感度を持つことがわかった。この部分で得られた電荷量は、p^+ ストリップで集められた電荷量に比べて 4%程度のカップリング損失があるため、結果としてエネルギー分解能が悪くなった。この現象は引き延ばした Al 電極を細くして SiO_2 層をはさむ容量を小さくすることによって解決すると考えられる。

- 3 種類のストリップギャップ (100 μm、130 μm、160 μm) を持った SSD を試作し、breakdown を起こさずに安全に全空乏層化電圧をかけることができるストリップギャップについて考察した。それぞれのギャップを持った SSD に対してリーク電流の電圧依存性を測定した結果、160 μm のストリップギャップを持つ SSD でも全空乏層化電圧の 2 倍以上にあたる 200 V まで breakdown を起こさないことを確認した。よって、ストリップギャップを現状の 100 μm から 160 μm にすることにより、Inter-strip Capacitance を減らすことができ、エネルギー分解能の向上が期待できる。

- VA32TA チップ (多チャンネル読み出し用アナログ LSI)、VA-DAQ を用いて片面 SSD の多チャンネル同時計測を行った。測定温度が 0 度、peaking time = 2 μsec の条件で 59.5 keV、122 keV の硬 X 線に対し、1.3 keV のエネルギー分解能 (FWHM) を達成した。SSD の多チャンネル同時計測でこのような良いエネルギー分解能は世界的に見ても例がなく、VA32TA チップを用いた多チャンネル読み出しシステムが極めて有効であることを証明した。

- VA32TA チップ、VA-DAQ を用いて DSSD の両面同時読み出しを行った。撮像感度の一様性を表すフラットネスを調べ、reduced $\chi^2 = 1.2$ のレベルでフラットであることがわかった。また、コリメートした硬 X 線を DSSD に照射し、その応答を調べることで、DSSD を用いて光子の反応位置を正しく検出できることを確認した。DSSD を使って硬 X 線の撮像を試み、DSSD のストリップ間隔 (800 μm) と同じ直径の真鍮線で作ったリーフの撮像に成功した。

- 我々のグループが開発したROCを用いた新しい読み出しシステムで片面SSDの多チャンネル同時計測を行った。その結果、59.5 keVの硬X線に対して1.6 keVのエネルギー分解能 (FWHM) を達成した。ただし、新しい読み出しシステムには不明瞭な点が多く、今後の課題としてそれらを把握し、正しく評価しなければならない。

謝辞

本研究を行うにあたり、半導体検出器の基礎物理を中心に御指導してくださった大杉教授に心から感謝致します。深沢助教授には博士課程前期の 2 年間を通して大変お世話になりました。実験に関しては毎回的確なアドバイスをいただき、実験が非常にはかどりました。また、研究室のさまざまなイベントにも何度も参加していただき、一緒に楽しめたことはとても良い思い出です。深く感謝しています。また、私を快く受け入れてくださった宇宙科学研究所の高橋教授にもお礼申し上げます。実験面はもちろん、それ以外のことでも声をかけていただいたことはとてもありがたく思っています。SLAC の田島先生にはシリコンストリップ検出器の読み出し、データ解析の方法などをとても丁寧に教えていただきました。ありがとうございます。吉田先生にはシリコンストリップ検出器の基礎特性に関して知識を分けていただきました。高橋研の中澤先生とは修論直前にその構成や考察についていろいろ相談にのっていただきました。

同期の川添さん、川埜さん、川本さん、大戸さんのおかげで 2 年間とても楽しく過ごすことができました。宇宙研への長期出張のときには心の支えとなりました。ありがとうございます。M1 の中本くんとは一緒にさまざまな実験を行い、手伝っていただきました。非常に心強いパートナーでした。その他、研究室の方々にはいろいろとお世話になりました。

高橋研の三谷さんには高橋研での快適な実験環境を整えていただいたことに深く感謝しております。また、共に実験を行っていく中で、同期とは思えないくらいの深い知識には驚嘆しました。阪大能町研の中村さんには新しい読み出しシステムの立ち上げなどで非常にお世話になりました。高橋研の渡辺さんにはさまざまな実験技術を教えていただきました。平賀さんと行ったミーティングからは非常の多くのことを学びました。とても感謝しています。その他、高橋研にみなさまには深く感謝しています。

この他にも、たくさんの方の協力や支えがあってこそ、2 年間を有意義に過ごすことができたと思っています。本当にありがとうございました。

関連図書

[1] T.Kamae, et al., A new method to measure energy,direction, and polarization of gamma rays, Nucl. Inst. and Meth A 260 (1987) 254

[2] H.Tajima, et al., Low noise double-sided silicon strip detector for multiple-Compton gamma-ray telescope, SPIE, Vol.4851, 2002

[3] H.Tajima, et al., Gamma-ray Polarimetry, 2003

[4] T.Mitani, et al., Large area Gannma-ray Imaging Detector Based on High Resoluton CdTe Diode, IEEE,2002

[5] O.Toker, et al., VIKING, a CMOS low noise monolithic 128 channel frontend for Si-strip detector readout, Nucl. Instr. Meth., vol. A 340,pp.572-579, 1994

[6] E.Nygard, et al., CMOS low noise amplifier for microstrip readout Design and results, Nucl. Instr. Meth., vol. A 301,pp.506-516, 1991

[7] T.Takahashi, et al., Future hard x-ray and gamma-ray observations, ASP 251,pp.210-213, 2002

[8] T.Takahashi, et al., High-resolution CdTe detectors for the next generation multi-Compton gamma-ray telescope, SPIE,2002

[9] 岡田 祐 テルル化カドミウム半導体を用いた高速ガンマ線検出器とそのイメージングへの応用, 東京大学 学位修士論文, 2002

[10] 中村 秀仁 二重ベーター崩壊測定のための多チャンネル読み出し回路開発, 大阪大学 学位修士論文, 2003

[11] 三谷 烈史 高分解能 CdTe アレイ検出器の開発と宇宙観測用ガンマ線イメージャーへの応用, 東京大学 学位修士論文, 2003

[12] A.Zoglauer, et al., Doppler Broadening as a Lower Limit to the Angular Resolution of Next Generation Compton Telescopes,

[13] V.Schoenfelder, et al., Instrument description and performance of the imaging gamma-ray telescope COMPTEL abroad the compton gamma-ray observatory, Astroph. J. Suppl. Series 86,p.657, 1993

[14] P.A.Milne, et al, Advanced Compton Telescope Designs and SN Science, Astroph,2001

[15] S.C.Seidel, et al., Studies of double sided silicon microstrip detectors, Nucl. Instr. Meth., vol. A 383,128-136, 1996

[16] M.A.Frautschi, et al., Capacitance measurements of double-sided silicon microstrip detectors, Nucl. Instr. Meth., vol. A 378,284-296, 1996

[17] ideas VA32TA specification Version 0.92,